



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I581270 B

(45)公告日：中華民國 106 (2017) 年 05 月 01 日

(21)申請案號：105102318

(22)申請日：中華民國 105 (2016) 年 01 月 26 日

(51)Int. Cl. : G11C16/14 (2006.01)

G11C8/08 (2006.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：陳宗仁 CHEN, CHUNG ZEN (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

US 5847999

US 6591327B1

US 6850439B1

US 7542353B2

US 9224462B2

US 2007/0247910A1

審查人員：蕭明椿

申請專利範圍項數：12 項 圖式數：3 共 28 頁

(54)名稱

資料抹除方法

DATA ERASING METHODS

(57)摘要

本發明提出一種資料抹除方法，用於記憶體裝置。在此資料抹除方法中，根據字元線數量來選取目標記憶體區域中一字元線組來作為目標字元線組。透過一抹除脈波來對耦接目標字元線組的記憶體胞進行抹除操作。依序對目標字元線組中的一目標字元線的所有位元組所耦接的記憶體胞進行抹除驗證。當判斷出任一抹除驗證未成功時，對所有位元線依序進行過度抹除驗證。當尚未執行過未通過過度抹除驗證而所導致的軟編程操作時，判斷字元線數量是否小於一最大數量。當判斷出字元線數量小於該最大數量時，增加該字元線數量，以重新執行字元線選取操作。

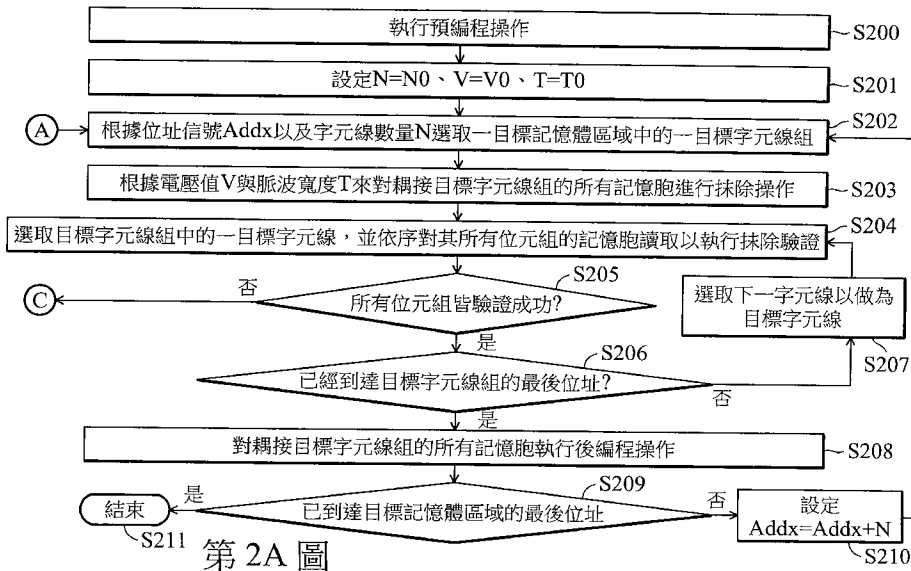
A data erasing method for a memory device is provided. In the data erasing method, a group of word lines in a target memory area is selected according to a word-line number to serve as a target group of word lines. An erasing operation is performed to the memory cells coupled to the target group of word lines by applying an erasing pulse. An erasing verification is performed to the memory cells coupled to all bytes of a target word line in the target group of word lines. When it is determined that the erasing verification for any one byte is not successful, an over-erasing verification is performed to all of the bit lines. When a soft-programming operation which is induced because the over-erasing verification for any one bit line is not passed, it is determined whether the word-line number is less than the maximum number. When it is determined that the word-line number is less than the maximum number, the word-line number is increased for the next word-line selection operation.

指定代表圖：

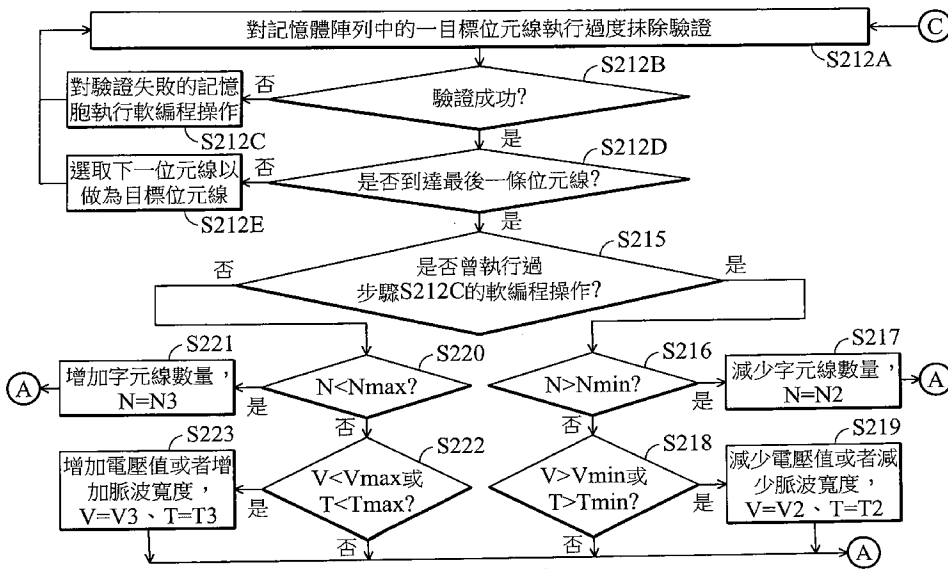
符號簡單說明：

S200...S223 . . . 方

法步驟



第 2A 圖



第 2B 圖

發明摘要



※ 申請案號：105102318

※ 申請日：

105. 1. 26

※IPC 分類：

G11C 16/14 (2006.01)

G11C 8/08 (2006.01)

【發明名稱】資料抹除方法

DATA ERASING METHODS

【中文】

本發明提出一種資料抹除方法，用於記憶體裝置。在此資料抹除方法中，根據字元線數量來選取目標記憶體區域中一字元線組來作為目標字元線組。透過一抹除脈波來對耦接目標字元線組的記憶體進行抹除操作。依序對目標字元線組中的一目標字元線的所有位元組所耦接的記憶體進行抹除驗證。當判斷出任一抹除驗證未成功時，對所有位元線依序進行過度抹除驗證。當尚未執行過未通過過度抹除驗證而所導致的軟編程操作時，判斷字元線數量是否小於一最大數量。當判斷出字元線數量小於該最大數量時，增加該字元線數量，以重新執行字元線選取操作。

【英文】

A data erasing method for a memory device is provided. In the data erasing method, a group of word lines in a target memory area is selected according to a word-line number to serve as a target group of word lines. An erasing operation is performed to the memory cells coupled to the target group of word lines by applying an erasing pulse. An erasing verification

is performed to the memory cells coupled to all bytes of a target word line in the target group of word lines. When it is determined that the erasing verification for any one byte is not successful, an over-erasing verification is performed to all of the bit lines. When a soft-programming operation which is induced because the over-erasing verification for any one bit line is not passed, it is determined whether the word-line number is less than the maximum number. When it is determined that the word-line number is less than the maximum number, the word-line number is increased for the next word-line selection operation.

【代表圖】

【本案指定代表圖】：第（2A、2B）圖。

【本代表圖之符號簡單說明】：

S200...S223 ~ 方法步驟。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】資料抹除方法

DATA ERASING METHODS

【技術領域】

【0001】本發明係有關於一種資料抹除方法，特別是有關於一種用於快閃記憶體資料抹除方法。

【先前技術】

【0002】一般而言，快閃記憶體（例如NOR快閃記憶體）在執行抹除操作時，會伴隨著執行後編程（post-program）操作以消除抹除操作的過度抹除所導致在位元線上的漏電現象。但是，當系統的電源在執行抹除或是後編程操作的期間關閉時，漏電現象將可能無法完全消除。因此，發展出藉由減少每一記憶體區域（sector）的抹除尺寸（即一次資料抹除所對應的字元線數量）來降低漏電現象發生的機率。舉例來說，一記憶體區域包括16條字元線，而每一次的資料抹除是透過4條字元線來完成。如此一來，對於此記憶體區域的抹除操作，則需要透過4次資料抹除來實現。然而，減少抹除尺寸將會延長了每一次抹除操作的時間。因此，如何能以適當的抹除尺寸來進行抹除操作並能減少漏電現象，在記憶體裝置的技術領域中是個重要的議題。

【發明內容】

【0003】因此，本發明提供一種資料抹除方法，用於一記憶體裝置。此記憶體裝置包括配置成一記憶體陣列的複數記憶胞、複數字元線、以及複數位元線。每一記憶胞耦接一組交錯

的字元線與位元線。記憶胞劃分成複數記憶體區域，且每一記憶體區域中的記憶胞對應一既定數量的字元線。此資料抹除方法包括以下步驟：初始設定關於抹除操作的字元線數量；執行字元線選取操作，以根據字元線數量來選取目標記憶體區域中一字元線組來作為目標字元線組；透過一抹除脈波來對耦接目標字元線組的記憶胞進行抹除操作；選取目標字元線組中一字元線來做為目標字元線，並依序對其所有位元組所耦接的多個記憶胞進行抹除驗證；判斷對目標字元線的所有位元組執行的抹除驗證是否皆成功；當判斷出任一抹除驗證未成功時，對記憶體陣列的所有位元線依序進行過度抹除驗證；判斷是否曾執行過未通過過度抹除驗證而導致的軟編程操作；當判斷出尚未執行過軟編程操作時，判斷字元線數量是否小於一最大數量；以及當判斷出字元線數量小於最大數量時，增加字元線數量，以重新執行字元線選取操作。

【0004】 本發明提供另一種資料抹除方法，用於一記憶體裝置。此記憶體裝置包括配置成一記憶體陣列的複數記憶胞、複數字元線、以及複數位元線。每一記憶胞耦接一組交錯的字元線與位元線。記憶胞劃分成複數記憶體區域，且每一記憶體區域中的記憶胞對應一既定數量的字元線。此資料抹除方法包括以下步驟：初始設定關於抹除操作的字元線數量；執行字元線選取操作，以根據字元線數量來選取目標記憶體區域中一字元線組來作為目標字元線組；透過一抹除脈波來對耦接目標字元線組的記憶胞進行抹除操作；選取目標字元線組中的一目標字元線，並依序對其所有位元組耦接的多個記憶胞進行抹除驗

證；判斷對目標字元線的所有位元組執行的抹除驗證是否皆成功；當判斷出任一抹除驗證未成功時，對記憶體陣列的所有位元線依序進行過度抹除驗證；判斷是否曾執行過未通過過度抹除驗證而導致的軟編程操作；當判斷出尚未執行過軟編程操作時，判斷抹除脈波的電壓值是否小於一最大值或判斷抹除脈波的脈波寬度是否小於一最大寬度；當判斷出抹除脈波的電壓值小於最大值或判斷出抹除脈波的脈波寬度小於最大寬度時，增加電壓值或增加脈波寬度，以重新執行抹除操作；當判斷出抹除脈波的電壓值並非小於最大值或判斷出抹除脈波的脈波寬度並非小於最大寬度時，判斷字元線數量是否小於一最大數量；當判斷出字元線數量小於最大數量時，增加字元線數量，以重新執行字元線選取操作。

【圖式簡單說明】

【0005】

第1圖表示記憶體裝置的一示範例。

第2A、2B圖表示根據本發明一實施例，用於記憶體裝置的控制方法。

第3A、3B圖表示根據本發明另一實施例，用於記憶體裝置的控制方法。

【實施方式】

【0006】為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【0007】第1圖係表示根據本發明一實施例的記憶體裝

置。參閱第1圖，記憶體裝置1包括記憶體陣列10、位址解碼器11、寫入/讀取電路12、以及控制器13。記憶體陣列10包括複數字元線WL0-WLX、複數位元線BL0-BLY、配置成複數行與複數列的複數記憶胞100。字元線WL0-WLX與位元線BL0-BLY相互交錯，且每一記憶胞100耦接一組交錯的字元線與位元線。這些記憶胞100劃分成多個記憶體區域（sector）S0~SN。每一記憶體區域S0-SN包括耦接既定數量的字元線的記憶胞。舉例來說，每一記憶體區域S0-SN包括耦接16條字線上記憶胞。位址解碼器11接收到來自控制器13的位址信號時，寫入/讀取電路12則配合位址解碼器11來將對選取的記憶胞進行讀取與寫入操作。控制器13可根據過度抹除驗證的結果來改變抹除操作的執行參數，以消除抹除操作的過度抹除所導致在位元線上的漏電現象。在本發明實施例中，記憶體裝置1為一快閃記憶體。

【0008】第2A、2B圖係表示根據本發明一實施例的資料抹除方法。此方式是當記憶體裝置1執行複數抹除操作時所採用的資料抹除方法。當控制器13選取一個記憶體區域做為目標記憶體區域時，是分次地透過至少一抹除脈波來對耦接該記憶體區域的記憶胞進行資料抹除。舉例來說，每一記憶體區域包括16條字元線，每一次的抹除操作是對耦接4條字元線的記憶胞進行資料抹除。因此，對於一記憶體區域而言，需要執行4次抹除操作。在本發明實施例中，上述每一次資料抹除所對應的字元線數量N（即4條， $N=4$ ），則稱為關於抹除操作的字元線數量N（以下簡稱為字元線數量N）。在其他實施例中，字元線

數量 N 可以為 4 條或 8 條或 16 條或以上。

【0009】請同時參閱第 1、2A、及 2B 圖，首先，控制器 13 對記憶體陣列 10 中的一目標記憶體區域執行預編程操作（步驟 S200），以將目標記憶體區域中的所有記憶胞編程為邏輯位準“0”。接著，控制器 13 也將字元線數量 N 初始設定為預設值 N_0 ，且將用於抹除操作的抹除脈波的電壓值 V 初始設定為預設值 V_0 並將抹除脈波的脈波寬度 T 初始設定為預設值 T_0 （設定 $N=N_0$ 、 $V=V_0$ 、 $T=T_0$ ）（步驟 S201）。在其他實施例中，步驟 S200 與 S201 可互相交換，即可以先執行步驟 S201 再執行 S200。之後，控制器 13 根據位址信號 $Addx$ 以及字元線數量 N （此時 $N=N_0$ ）來執行一字元線選取操作，以選取一目標記憶體區域中的一目標字元線組（即選取具有 N_0 條字元線的一組字元線）（步驟 S202）。控制器 13 根據電壓值 V （此時 $V=V_0$ ）與脈波寬度 T （此時 $T=T_0$ ）來對耦接目標字元線組的所有記憶胞進行抹除操作（步驟 S203），也就是，控制器 13 透過寫入/讀取電路 12 而以具有電壓值 V 與脈波寬度 T 的抹除脈波來將信號寫入目標字元線組所對應的複數記憶胞，即將目標字元線組所對應的複數記憶胞編程為邏輯位準“1”。在對目標字元線組進行抹除操作後，控制器 13 選取目標字元線組中的第一條字元線作為目標字元線並控制寫入/讀取電路 12 以位元組為單位依序對目標字元線的所有位元組所耦接的多個記憶胞讀取信號以執行抹除驗證，並判斷抹除驗證是否成功（步驟 S204）。當位元組中的多個記憶胞讀出的信號皆為邏輯位準“1”時，控制器 13 則判斷抹除驗證成功。控制器 13 接著判斷目標字元線中的所有位元組是

否皆抹除驗證成功（步驟S205）。若目標字元線中的所有位元組皆通過抹除驗證，控制器13接著判斷目標字元線的位址是否已經到達目標字元線組的最後位址（步驟S206）。若尚未到達最後位址，控制器13則選取下一字元線以作為目標字元線（步驟S207），且方法回到步驟S204繼續進行抹除驗證。

【0010】 若已經到達最後位址時，控制器13則對耦接目標字元線組的所有記憶體胞執行後編程操作（步驟S208）以消除抹除操作的過度抹除所導致在位元線上的漏電現象，即對目標字元線組執行過度抹除驗證以及軟編程操作。之後，控制器13判斷目標字元線組的位址是否已到達目標記憶體區域的最後位址（步驟S209）。若尚未到達最後位址，控制器13則設定 $Addr = Addr + N$ （步驟S210），且方法回到步驟S202來執行下一次的字元線選取操作，以選取目標記憶體區域中的另一字元線組以作為目標字元線組。若已到達最後位址，則此方法結束（步驟S211）。

【0011】 在一實施例中，當在步驟S205中控制器13判斷出目標字元線中的任一位元組抹除驗證未成功時，控制器13則逐一對記憶體陣列10中的所有位元線BL0-BLY執行過度抹除驗證，以偵測位元線BL0-BLY上是否有漏電。詳細而言，控制器13對記憶體陣列10中的一目標位元線執行過度抹除驗證（步驟S212A）並判斷驗證是否成功（步驟S212B）。當控制器13判斷出過度抹除驗證不成功時，控制器13則進一步界定驗證失敗的記憶體胞，並對驗證失敗的記憶體胞執行軟編程操作（步驟S212C），以調整該記憶體胞的臨界電壓值。在執行步驟S212C的

軟編程操作之後，方法回到步驟S212A，控制器13再次對目標位元線執行過度抹除驗證，並再次判斷驗證是否成功。當控制器13判斷出過度抹除驗證成功時，控制器13判斷目標位元線是否為最後一條位元線（步驟S212D）。當控制器13判斷出目標位元線並非為最後一條位元線時，控制器13選取下一位元線以作為目標位元線（步驟S212E），且方法回到步驟S212A。當控制器13判斷出目標位元線為最後一條位元線時，控制器13則判斷是否已執行過步驟S212C的軟編程操作（步驟S215）。根據上述，控制器13逐一對所有位元線執行過度抹除驗證。當某一位元線未通過過度抹除驗證時，則進一步界定驗證失敗的記憶胞，並對其執行軟編程操作，以調整該記憶胞的臨界電壓值。

【0012】當控制器13判斷出曾執行過步驟S212C的軟編程操作時，控制器13則判斷目前的字元線數量 N 是否大於最小值 N_{min} ($N > N_{min}?$) (步驟S216)。當控制器判斷出目前的字元線數量 N 大於最小值 N_{min} 時，控制器13則減少字元線數量 N 使其等於 N_2 ($N = N_2$) (步驟S217)。接著，方法回到步驟S202，控制器13再次執行字元線的選取操作，以根據位址信號 $Addx$ 以及改變過的字元線數量 N (此時 $N = N_2$) 來調整原本的目標字元線組中的字元線數量 (即重新根據位址信號 $Addx$ 選取具有 N_2 條字元線的一字元線組來做為目標字元線組)。當控制器13判斷出目前的字元線數量 N 並非大於最小值 N_{min} 時，控制器13判斷電壓值 V 是否大於最小值 V_{min} 或判斷脈波寬度 T 是否大於最小值 T_{min} ($V > V_{min}$ 或 $T > T_{min}?$) (步驟S218)。當控制器13判斷出電壓值 V 大於最小值 V_{min} 或判斷出脈波寬度 T 大於最小值

T_{min} 時，控制器 13 則減少電壓值 V 使其等於 V_2 或者減少脈波寬度 T 使其等於 T_2 (步驟 S219)。接著，方法回到步驟 S202，控制器 13 先根據位址信號 $Addx$ 及字元線數量 N (此時 $N=N_0$) 選取目標字元線組後 (步驟 S202)，再根據改變過的電壓值 V 與脈波寬度 T (此時 $V=V_2$ 或者 $T=T_2$) 來對目標字元線組的所有記憶胞進行抹除操作 (步驟 S203)。此外，當控制器 13 判斷出電壓值 V 並非大於最小值 V_{min} 或判斷出脈波寬度 T 並非大於最小值 T_{min} 時，方法也回到步驟 S202，此時，控制器 13 根據先根據位址信號 $Addx$ 及原字元線數量 N (此時 $N=N_0$) 選取目標字元線組後 (步驟 S202)，再根據原電壓值 V 與原脈波寬度 T (此時 $V=V_0$ 且 $T=T_0$) 來對目標字元線組的所有記憶胞進行抹除操作 (步驟 S203)。

【0013】 當控制器 13 判斷出未執行過步驟 S212C 的軟編程操作時，控制器 13 則判斷目前的字元線數量 N 是否小於最大值 N_{max} ($N < N_{max}?$) (步驟 S220)。當控制器 13 判斷出目前的字元線數量 N 小於最大值 N_{max} 時，控制器 13 則增加字元線數量 N 使其等於 N_3 (步驟 S221)。接著，方法回到步驟 S202，控制器 13 再次執行字元線的選取操作，以根據位址信號 $Addx$ 以及改變過的字元線數量 N (此時 $N=N_3$) 來調整原本的目標字元線組中的字元線數量 (即重新根據位址信號 $Addx$ 選取具有 N_3 條字元線的一組字元線來做為目標字元線組)。當控制器 13 判斷出目前的字元線數量 N 並非小於最大值 N_{max} ，控制器 13 判斷電壓值 V 是否小於最大值 V_{max} 或判斷脈波寬度 T 是否小於最大值 T_{max} ($V < V_{max}$ 或 $T < T_{max}?$) (步驟 S222)。當控制器 13 判斷出

電壓值 V 小於最大值 V_{max} 或判斷出脈波寬度 T 小於最大值 T_{max} 時，控制器 13 則增加電壓值 V 使其等於 V_3 或者增加脈波寬度 T 使其等於 T_3 (步驟 S223)。接著，方法回到步驟 S202，控制器 13 先根據位址信號 $Addx$ 及字元線數量 N (此時 $N=N_0$) 選取目標字元線組後 (步驟 S202)，再根據改變過的電壓值 V 與脈波寬度 T (此時 $V=V_3$ 或者 $T=T_3$) 來對目標字元線組的所有記憶胞進行抹除操作。此外，當控制器 13 判斷出電壓值 V 並非小於最大值 V_{max} 或判斷出脈波寬度 T 並非小於最大值 T_{max} 時，方法也回到步驟 S202，此時，控制器 13 先根據位址信號 $Addx$ 及原字元線數量 N (此時 $N=N_0$) 選取目標字元線組後 (步驟 S202)，再根據原電壓值 V 與原脈波寬度 T (此時 $V=V_0$ 且 $T=T_0$) 來對目標字元線組的所有記憶胞進行抹除操作 (步驟 S203)。

【0014】 在逐一對記憶體陣列的所有位元線 BL_0 - BLY 執行過度抹除驗證的步驟 S212A-S212E 中，施加檢測電壓至被選取的字元線組，此時，控制器 13 檢測目標位元線上是否具電流，藉以判斷是否發生漏電現象。在本發明的實施例中，檢測電壓是大於 0 伏特的電壓。由於記憶體裝置 1 可能在不同的環境 (例如，不同的環境溫度) 下操作，同一檢測電壓在不同的操作環境下不一定都會導致漏電或者漏電程度不同。而大於 0 伏特的檢測電壓對於各種操作環境而言，相對地容易導致在位元線上發生漏電。因此，本案實施例採用大於 0 伏特的檢測電壓是為較嚴格的檢測漏電的條件。

【0015】 根據上述實施例，本案抹除操作所採用的字元線數量是可變的，其可隨著目前在位元線上漏電狀態而適應性的

增加或減少。如此一來，不僅可降低抹除操作導致漏電現象的機率，也可讓執行抹除操作所需的時間更能符合目前記憶體裝置1的操作狀態。

【0016】第3A、3B圖係表示根據本發明另一實施例的資料抹除方法。第3A、3B圖的資料抹除方法與第2A、2B圖的資料抹除方法中相同的步驟係以相同的符號來表示。除了判斷是否曾執行的軟編程操作（步驟S215）之後的步驟以外，第3A、3B圖的資料抹除方法大致上具有與第2A、2B圖的資料抹除方法相同的步驟。相同的步驟S200-S215在此省略敘述。請同時參閱第1、3A、及3B圖，當在步驟S215中判斷出曾執行過步驟S212C的軟編程操作時，控制器13判斷電壓值 V 是否大於最小值 V_{min} 或判斷脈波寬度 T 是否大於最小值 T_{min} （ $V > V_{min}$ 或 $T > T_{min}$ ？）（步驟S316）。當控制器13判斷出電壓值 V 大於最小值 V_{min} 或判斷出脈波寬度 T 大於最小值 T_{min} 時，控制器13則減少電壓值 V 使其等於 V_2 或者減少脈波寬度 T 使其等於 T_2 （步驟S317）。接著，方法回到步驟S202，控制器13先根據位址信號 $Addx$ 及字元線數量 N （此時 $N=N_0$ ）選取目標字元線組後（步驟S202），再根據改變過的電壓值 V 與脈波寬度 T （此時 $V=V_2$ 或者 $T=T_2$ ）來對目標字元線組的所有記憶胞進行抹除操作。當控制器13判斷出電壓值 V 並非大於最小值 V_{min} 或判斷出脈波寬度 T 大於最小值 T_{min} 時，控制器13則判斷目前的字元線數量 N 是否大於最小值 N_{min} （ $N > N_{min}$ ？）（步驟S318）。當控制器13判斷出目前的字元線數量 N 大於最小值 N_{min} ，控制器13則減少字元線數量 N 使其等於 N_2 （步驟S319）。接著，方法回到步驟S202，

控制器 13 再次執行字元線的選取操作，以根據位址信號 $Addx$ 以及改變過的字元線數量 N （此時 $N=N_2$ ）來調整原本的目標字元線組中的字元線數量（即重新根據位址信號 $Addx$ 選取具有 N_2 條字元線的一組字元線來做為目標字元線組）。此外，當控制器 13 判斷出目前的字元線數量 N 並非大於最小值 N_{min} 時，方法也回到步驟 S202，此時，控制器 13 先根據位址信號 $Addx$ 及原字元線數量 N （此時 $N=N_0$ ）選取目標字元線組後（步驟 S202），再根據原電壓值 V 與原脈波寬度 T （此時 $V=V_0$ 且 $T=T_0$ ）來對目標字元線組的所有記憶胞進行抹除操作（步驟 S203）。

【0017】當在步驟 S215 中控制器 13 判斷出未執行過步驟 S212C 的軟編程操作時，控制器 13 判斷電壓值 V 是否小於最大值 V_{max} 或判斷脈波寬度 T 是否小於最大值 T_{max} （ $V < V_{max}$ 或 $T < T_{max}$ ？）（步驟 S320）。當控制器 13 判斷出電壓值 V 小於最大值 V_{max} 或判斷出脈波寬度 T 小於最大值 T_{max} 時，控制器 13 則增加電壓值 V 使其等於 V_3 或者增加寬度 T 使其等於 T_3 （步驟 S321）。接著，方法回到步驟 S202，控制器 13 先根據位址信號 $Addx$ 及字元線數量 N （此時 $N=N_0$ ）選取目標字元線組後（步驟 S202），再根據改變過的電壓值 V 與脈波寬度 T （此時 $V=V_3$ 或者 $T=T_3$ ）來對耦接目標字元線組的所有記憶胞進行抹除操作。當控制器 13 判斷出電壓值 V 並非小於最大值 V_{max} 或判斷出脈波寬度 T 並非小於最大值 T_{max} 時，控制器 13 則判斷目前的字元線數量 N 是否小於最大值 N_{max} （ $N < N_{max}$ ？）（步驟 S322）。當控制器 13 判斷出目前的字元線數量 N 小於最大值 N_{max} 時，控制器 13 則增加字元線數量 N 使其等於 N_3 （步驟 S323）。接著，方法回

到步驟S202，控制器13再次執行字元線的選取操作，以根據位址信號Addx以及改變過的字元線數量N（此時 $N=N3$ ）來調整原本的目標字元線組中的字元線數量（即重新根據位址信號Addx選取具有N3條字元線的一組字元線來作為目標字元線組）。此外，當控制器13判斷出目前的字元線數量N並非小於最大值Nmax時，方法也回到步驟S202，此時，控制器13先根據位址信號Addx及原字元線數量N（此時 $N=N0$ ）選取目標字元線組後（步驟S202），再根據原電壓值V與原脈波寬度T（此時 $V=V0$ 且 $T=T0$ ）來對目標字元線組的所有記憶胞進行抹除操作（步驟S203）。

【0018】本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0019】

- 1～記憶體裝置；
- 10～記憶體陣列；
- 11～位址解碼器；
- 12～寫入/讀取電路；
- 100～記憶胞；
- BL0-BLY～位元線；
- S0-SN～記憶體區域；
- WL0-WLX～字元線；

S200...S223 ~ 方法步驟；

S316...S323 ~ 方法步驟。

申請專利範圍

1. 一種資料抹除方法，用於一記憶體裝置，該記憶體裝置包括配置成一記憶體陣列的複數記憶胞、複數字元線、以及複數位元線，每一該記憶胞耦接一組交錯的該字元線與該位元線，該等記憶胞劃分成複數記憶體區域，且每一該記憶體區域中的該等記憶胞對應一既定數量的該等字元線，該資料抹除方法包括：

初始設定關於一抹除操作的一字元線數量；

執行一字元線選取操作，以根據該字元線數量來選取一目標記憶體區域中一字元線組來作為一目標字元線組；

透過一抹除脈波來對耦接該目標字元線組的該等記憶胞進行該抹除操作；

選取該目標字元線組中一字元線來做為一目標字元線，並依序對其所有位元組所耦接的多個記憶胞進行一抹除驗證；

判斷對該目標字元線的所有位元組執行的該等抹除驗證是否皆成功；

當判斷出任一該等抹除驗證未成功時，對記憶體陣列的所有位元線依序進行一過度抹除驗證；

判斷是否曾執行過未通過該等過度抹除驗證而導致的一軟編程操作；

當判斷出尚未執行過該軟編程操作時，判斷該字元線數量是否小於一最大數量；以及

當判斷出該字元線數量小於該最大數量時，增加該字元線

數量，以重新執行該字元線選取操作。

2. 如申請專利範圍第1項所述之資料抹除方法，更包括：
當判斷出該字元線數量並非小於該最大數量時，判斷該抹除脈波的一電壓值是否小於一最大值或判斷該抹除脈波的一脈波寬度是否小於一最大寬度；以及
當判斷出該抹除脈波的該電壓值小於該最大值或判斷出該抹除脈波的該脈波寬度小於該最大寬度時，增加該電壓值或增加該脈波寬度，以重新執行該抹除操作。
3. 如申請專利範圍第1項所述之資料抹除方法，更包括：
當判斷出曾執行過該軟編程操作時，判斷該字元線數量是否大於一最小數量；以及
當判斷出該字元線數量大於該最小數量時，減少該字元線數量，以重新執行該字元線選取操作。
4. 如申請專利範圍第3項所述之資料抹除方法，更包括：
當判斷出該字元線數量並非大於該最小數量時，判斷該抹除脈波的一電壓值是否大於一最小值或判斷該抹除脈波的一脈波寬度是否大於一最小寬度；以及
當判斷出該抹除脈波的該電壓值大於該最小值或判斷出該抹除脈波的該脈波寬度大於該最小寬度時，減少該電壓值或減少該脈波寬度，以重新執行該抹除操作。
5. 如申請專利範圍第1項所述之資料抹除方法，其中，當判斷出任一該等抹除驗證未成功時，對該記憶體陣列的所有位元線依序進行該過度抹除驗證的步驟包括：
對該記憶體陣列的一目標位元線執行該過度抹除驗證；

判斷該過度抹除驗證是否成功；

當判斷出該過度抹除驗證不成功時，界定過度抹除驗證失敗的該等記憶胞並對該等記憶胞進行該軟編程操作；

當判斷出該過度抹除驗證成功時，判斷該目標位元線是否為該記憶體陣列的最後位元線；以及

當判斷出該目標位元線並非為該記憶體陣列的最後位元線時，選取下一位元線以作為該目標位元線；

其中，當判斷出該目標位元線為該記憶體陣列的最後位元線時，則執行判斷是否曾執行過該軟編程操作的步驟。

6. 如申請專利範圍第1項所述之資料抹除方法，更包括：

判斷出該等抹除驗證皆成功時，判斷該目標字元線的位址是否已經到達該目標字元線組的最後位址；以及

當判斷出該目標字元線的位址尚未到達該目標字元線組的最後位址時，選取該目標字元線組的下一字元線，以做為該目標字元線。

7. 如申請專利範圍第6項所述之資料抹除方法，更包括：

當判斷出該目標字元線的位址已經到達該目標字元線組的最後位址時，對耦接該目標字元線組的該等記憶胞執行一後編程操作；

判斷該目標字元線組的位址是否已到達該目標記憶體區域的最後位址；以及

當判斷出該目標字元線組的位址尚未到達該目標記憶體區域的最後位址時，執行該字元線選取操作，以根據該字元線數量來選取該目標記憶體區域中另一字元線組以作為該

目標字元線組。

8. 一種資料抹除方法，用於一記憶體裝置，該記憶體裝置包括配置成一記憶體陣列的複數記憶胞、複數字元線、以及複數位元線，每一該記憶胞耦接一組交錯的該字元線與該位元線，該等記憶胞劃分成複數記憶體區域，且每一該記憶體區域中的該等記憶胞對應一既定數量的該等字元線，該資料抹除方法包括：
 - 初始設定關於一抹除操作的一字元線數量；以及
 - 執行一字元線選取操作，以根據該字元線數量來選取一目標記憶體區域中一字元線組來作為一目標字元線組；
 - 透過一抹除脈波來對耦接該目標字元線組的該等記憶胞進行該抹除操作；
 - 選取該目標字元線組中的一目標字元線，並依序對其所有位元組耦接的多個記憶胞進行一抹除驗證；
 - 判斷對該目標字元線的所有位元組執行的該等抹除驗證是否皆成功；
 - 當判斷出任一該等抹除驗證未成功時，對該記憶體陣列的所有位元線依序進行一過度抹除驗證；
 - 判斷是否曾執行過未通過該等過度抹除驗證而導致的一軟編程操作；
 - 當判斷出尚未執行過該軟編程操作時，判斷該抹除脈波的一電壓值是否小於一最大值或判斷該抹除脈波的一脈波寬度是否小於一最大寬度；
 - 當判斷出該抹除脈波的該電壓值小於該最大值或判斷出該

抹除脈波的該脈波寬度小於該最大寬度時，增加該電壓值或增加該脈波寬度，以重新執行該抹除操作；

當判斷出該抹除脈波的該電壓值並非小於該最大值或判斷出該抹除脈波的該脈波寬度並非小於該最大寬度時，判斷該字元線數量是否小於一最大數量；

當判斷出該字元線數量小於該最大數量時，增加該字元線數量，以重新執行該字元線選取操作。

9. 如申請專利範圍第8項所述之資料抹除方法，更包括：

當判斷出曾執行過該軟編程操作時，判斷該抹除脈波的該電壓值是否大於一最小值或判斷該抹除脈波的該脈波寬度是否大於一最小寬度；

當判斷出該抹除脈波的該電壓值大於該最小值或判斷出該抹除脈波的該脈波寬度大於該最小寬度時，減少該該電壓值或減少該脈波寬度，以重新執行該抹除操作；

當判斷出該抹除脈波的該電壓值並非大於該最小值或判斷出該抹除脈波的該脈波寬度並非大於該最小寬度時，判斷該字元線數量是否大於一最小數量；以及

當判斷出該字元線數量大於該最小數量時，減少該字元線數量，以重新執行該字元線選取操作。

10. 如申請專利範圍第8項所述之資料抹除方法，其中，當判斷出任一該等抹除驗證未成功時，對該記憶體陣列的所有位元線依序進行該過度抹除驗證的步驟包括：

對該記憶體陣列的一目標位元線執行該過度抹除驗證；

判斷該過度抹除驗證是否成功；

當判斷出該過度抹除驗證不成功時，界定過度抹除驗證失敗的該等記憶胞並對該等記憶胞進行該軟編程操作；

當判斷出該過度抹除驗證成功時，判斷該目標位元線是否為該記憶體陣列的最後位元線；以及

當判斷出該目標位元線並非為該記憶體陣列的最後位元線時，選取下一位元線以作為該目標位元線；

其中，當判斷出該目標位元線為該記憶體陣列的最後位元線胞時，則執行判斷是否曾執行過未通過該過度抹除驗證而導致的該軟編程操作的步驟。

11. 如申請專利範圍第8項所述之資料抹除方法，更包括：

判斷出該等抹除驗證皆成功時，判斷該目標字元線的位址是否已經到達該目標字元線組的最後位址；以及

當判斷出該目標字元線的位址尚未到達該目標字元線組的最後位址時，選取該第目標元線組的下一字元線，以做為該目標字元線。

12. 如申請專利範圍第11項所述之資料抹除方法，更包括：

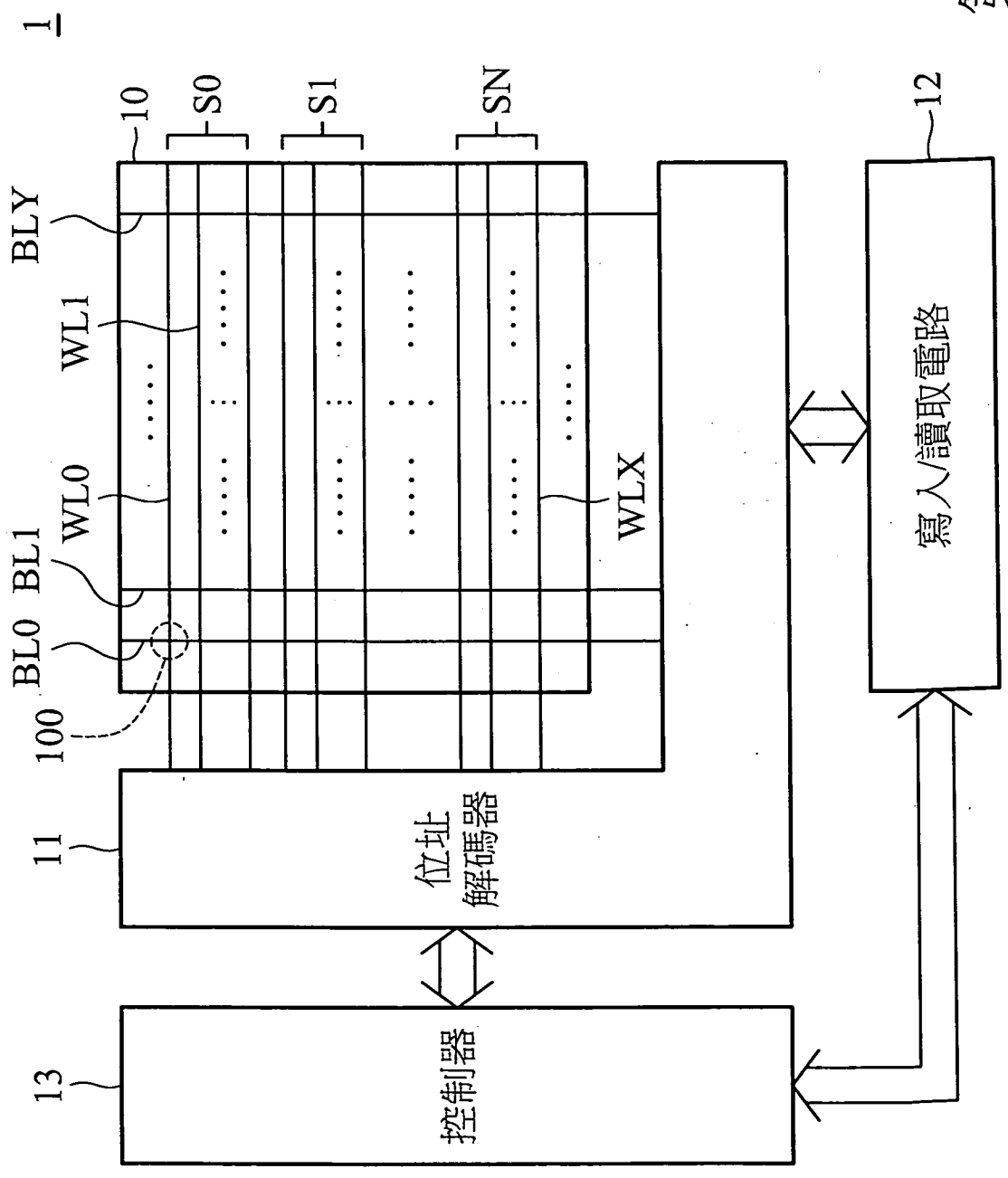
當判斷出該目標字元線的位址已經到達該目標字元線組的最後位址時，對耦接該目標字元線組的該等記憶胞執行一後編程操作；

判斷該目標字元線組的位址是否已到達該目標記憶體區域的最後位址；以及

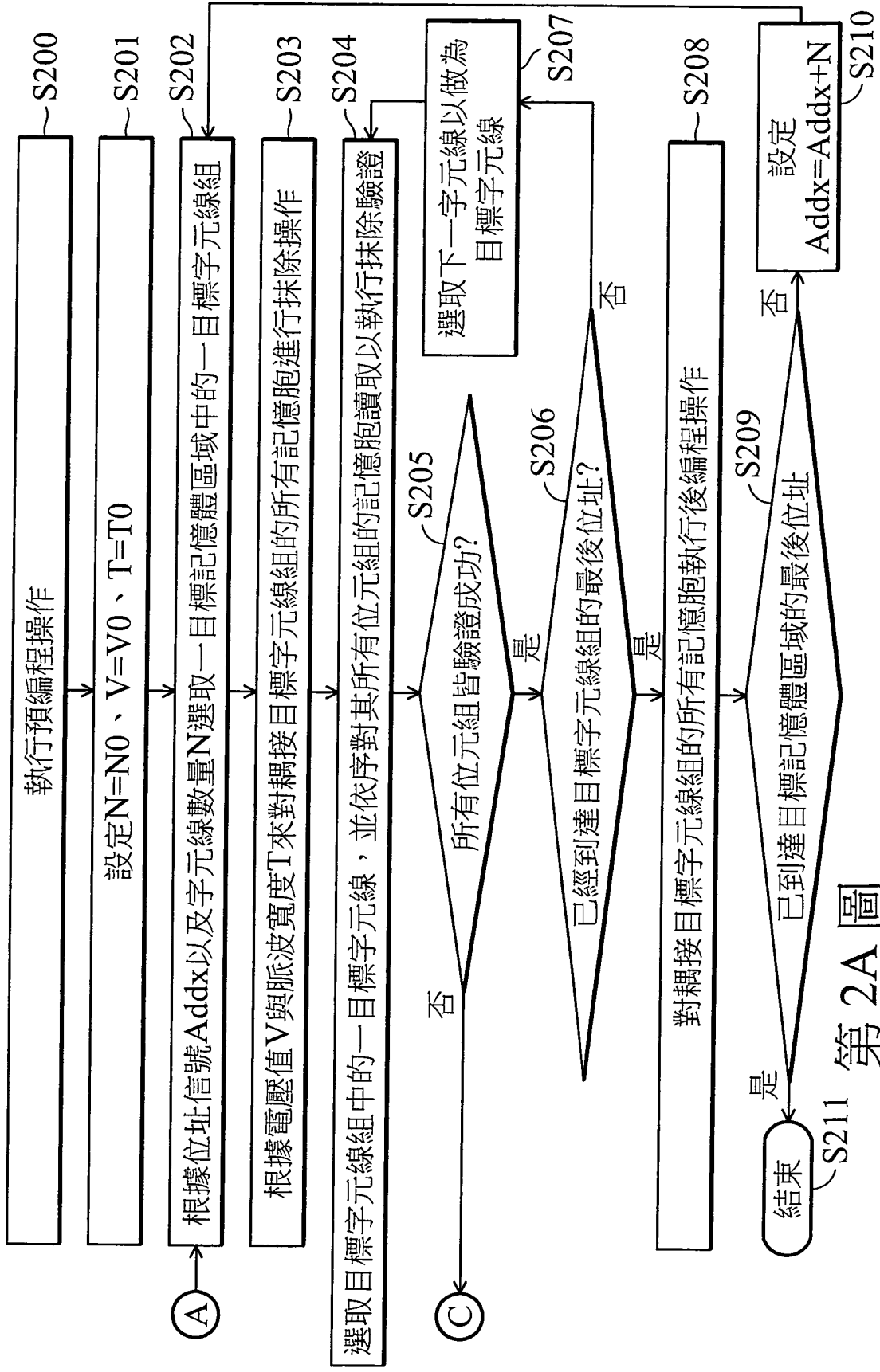
當判斷出該目標字元線組的位址尚未到達該目標記憶體區域的最後位址時，執行該字元線選取操作，以根據該字元線數量來選取該目標記憶體區域中另一字元線組以作為該

目標字元線組。

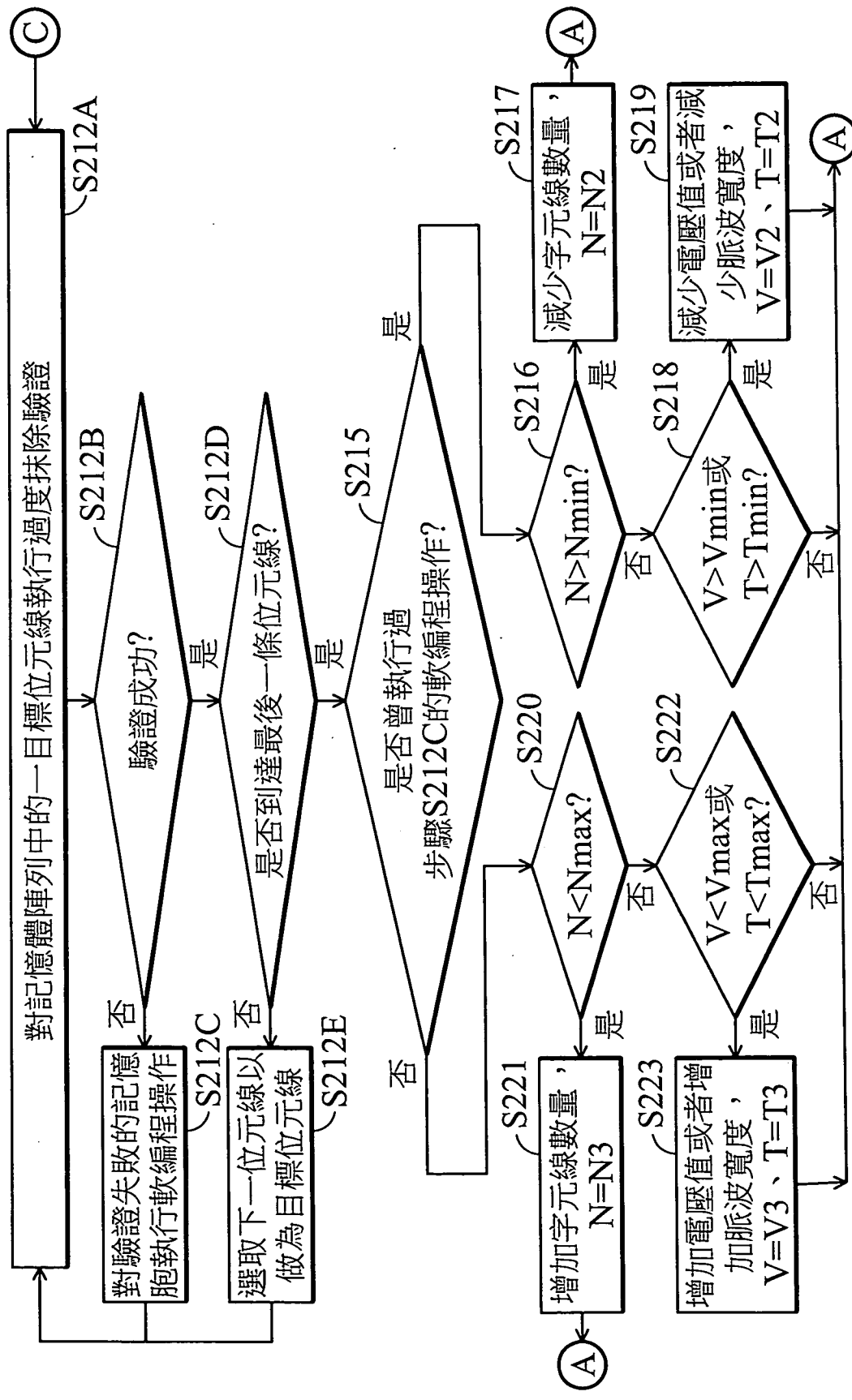
圖式



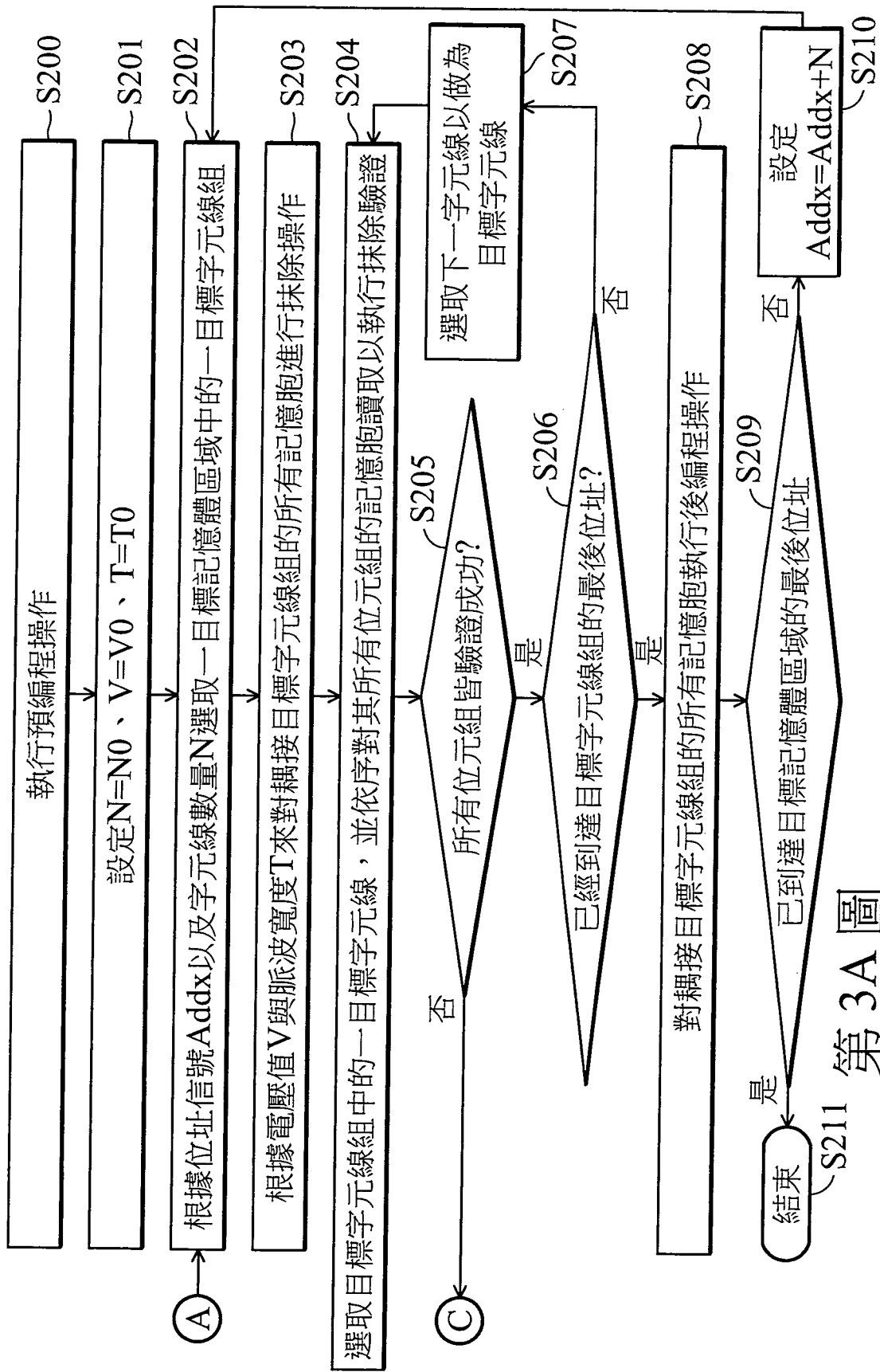
第 1 圖



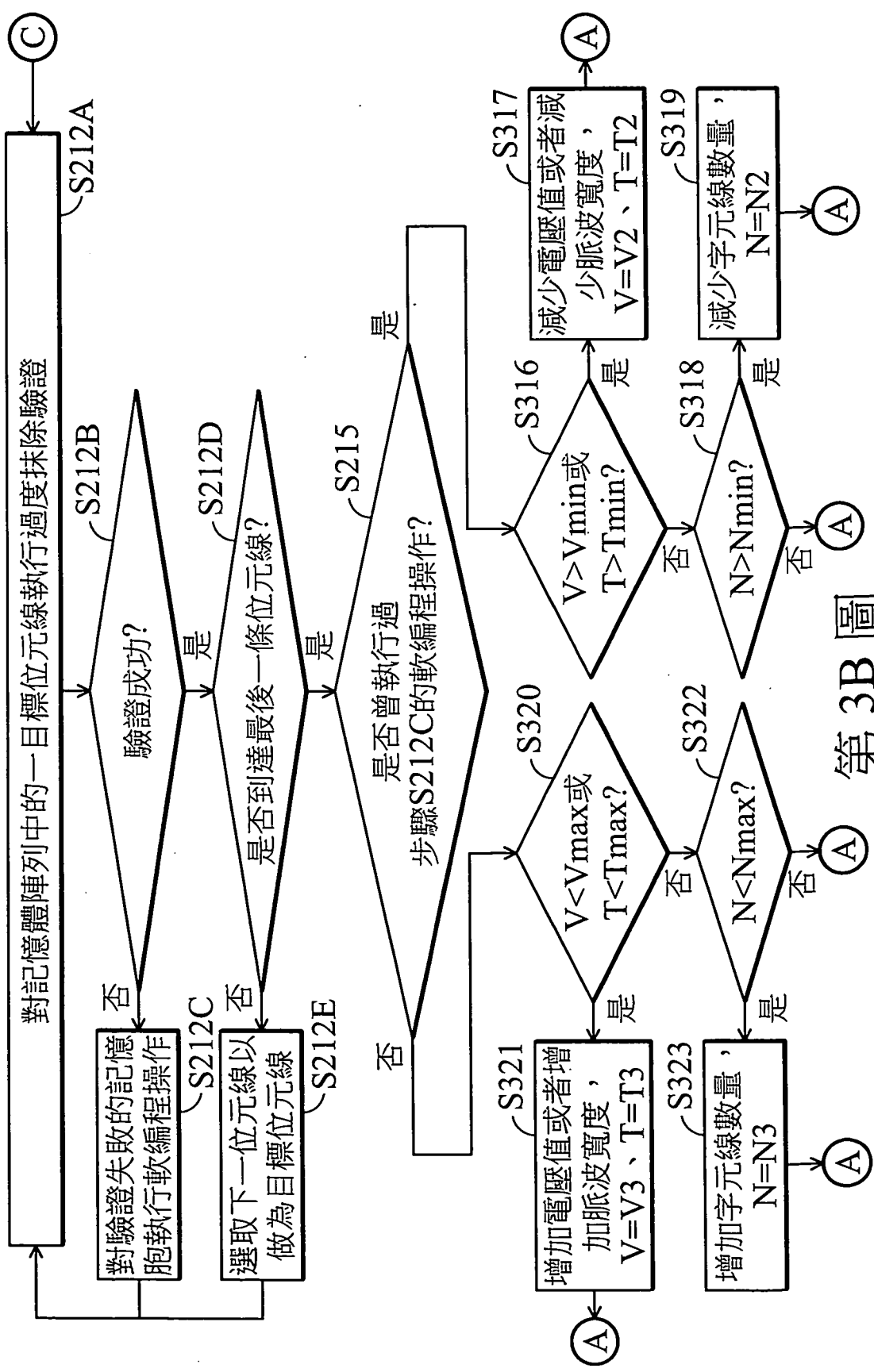
第 2A 圖



第 2B 圖



第 3A 圖



第3B圖