

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-89816

(P2012-89816A)

(43) 公開日 平成24年5月10日(2012.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 S	5 F 0 4 1
HO 1 L 23/14 (2006.01)	HO 1 L 23/14 S	
HO 1 L 33/64 (2010.01)	HO 1 L 33/00 4 5 0	
	HO 1 L 23/12 F	
	HO 1 L 23/14 M	
審査請求 有 請求項の数 31 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2011-68063 (P2011-68063)
 (22) 出願日 平成23年3月25日 (2011.3.25)
 (31) 優先権主張番号 099135494
 (32) 優先日 平成22年10月19日 (2010.10.19)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 511077591
 聯京光電股▲ふん▼有限公司
 台湾 新竹縣 竹東鎮 中興路4段669
 號1樓
 (74) 代理人 100071054
 弁理士 木村 高久
 (72) 発明者 錢文正
 台湾 新竹縣 竹東鎮 中興路4段669
 號1樓
 (72) 発明者 蔡佳倫
 台湾 新竹縣 竹東鎮 中興路4段669
 號1樓
 Fターム(参考) 5F041 AA33 AA44 DA20 DC23 DC66
 EE11

(54) 【発明の名称】 パッケージ基板及びその製造方法

(57) 【要約】 (修正有)

【課題】 パッケージ基板及びその製造方法を提供する。
 【解決手段】 パッケージ基板202は、基板220と、複数の導電薄膜パターン230と、絶縁薄膜パターン240と、を含む。基板は、主に導電材質又は半導体材質により構成され、その表面にダイ固定領域及び複数の導電領域を含む。各導電薄膜パターンは、異なる導電領域上にそれぞれ分布し、絶縁薄膜パターンは、導電薄膜パターン及び基板の間に位置するが、絶縁薄膜パターンは、ダイ固定上に設置されない。そのうち、半導体チップ210は、ダイ固定領域上に取り付けられ、導電薄膜パターンと電気接続する。パッケージ基板のダイ固定領域は、絶縁薄膜パターンに塗布されないので、パッケージ基板により半導体パッケージ構造の放熱効果を増強することができる。

【選択図】 図7A

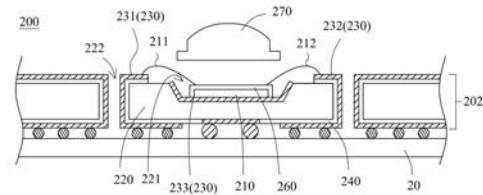


図7A

【特許請求の範囲】**【請求項 1】**

回路基板に取り付けられるパッケージ基板であって、該パッケージ基板上に少なくとも 1 つの半導体チップを取り付け、該パッケージ基板は、

導電材質又は半導体材質から構成され、表面にダイ固定領域及び複数の導電領域を含む基板と、

それぞれ異なる導電領域に分布する複数の導電薄膜パターンと、

該導電薄膜パターンと該基板との間に位置する絶縁薄膜パターンと、

を含み、該半導体チップは、該ダイ固定領域上に取り付けられ、且つ該導電薄膜パターンと電気接続されるパッケージ基板。

10

【請求項 2】

前記半導体チップが発光ダイオードであり、該導電領域は、第 1 導電領域及び第 2 導電領域を含み、該導電薄膜パターンは、第 1 導電薄膜パターン及び第 2 導電薄膜パターンを含み、該第 1 導電薄膜パターン及び該第 2 導電薄膜パターンは、それぞれ該第 1 導電領域及び該第 2 導電領域上にそれぞれ位置し、且つ該第 1 導電薄膜パターン及び該第 2 導電薄膜パターンは、相互に接触しない請求項 1 に記載のパッケージ基板。

【請求項 3】

前記基板上に複数の貫通孔を設置し、この貫通孔は、該基板を貫通し、且つ異なる導電領域上に位置し、且つ該貫通孔の孔壁上に該導電薄膜を分布する請求項 1 又は 2 に記載のパッケージ基板。

20

【請求項 4】

前記基板は、凹穴を含み、該凹穴は、該ダイ固定領域に位置し、且つ該基板上に一体に成形され、且つ該半導体チップは、該凹穴内に位置する請求項 2 に記載のパッケージ基板。

【請求項 5】

前記導電薄膜パターンは、第 3 導電薄膜パターンを含み、該第 3 導電薄膜パターンは、該ダイ固定領域上に位置し、且つ該第 3 導電パターンは、該基板と直接接触する請求項 2 に記載のパッケージ基板。

【請求項 6】

前記第 3 導電薄膜パターンは、該第 2 導電薄膜パターンと電気接続し、且つ該半導体チップのうちの 1 つの電極は、該第 3 導電薄膜パターンと直接接触し、該半導体チップのもう 1 つの電極は、第 1 接続線により該第 1 導電薄膜パターンと接触する請求項 5 に記載のパッケージ基板。

30

【請求項 7】

前記基板の材質は、銅又はアルミニウム又は以上の何れか 1 つの成分を含む合金である請求項 1 又は 2 に記載のパッケージ基板。

【請求項 8】

前記基板の材質がシリコンである請求項 1 又は 2 に記載のパッケージ基板。

【請求項 9】

前記導電薄膜パターンの材質が主に銅、ニッケル、金、銀、又は以上の何れか 1 つの成分を含む合金を含む請求項 1 又は 2 に記載のパッケージ基板。

40

【請求項 10】

前記絶縁薄膜パターンが重合体である請求項 1 又は 2 に記載のパッケージ基板。

【請求項 11】

前記絶縁薄膜パターンの材質がエポキシ樹脂、シリコンゲル、ポリイミド、又ははんだ塗料である請求項 10 に記載のパッケージ基板。

【請求項 12】

前記絶縁薄膜パターンの厚さが 2 μm より大きい請求項 1 又は 2 に記載のパッケージ基板。

【請求項 13】

50

前記パッケージ基板は、表面実装技術を利用し、回路基板と電気接続する請求項 1 又は 2 に記載のパッケージ基板。

【請求項 1 4】

前記半導体チップ上に第 1 接続線及び第 2 接続線を接続し、該第 1 接続線は、該第 1 導電層パターン及び該半導体チップの間に接続され、該第 2 接続線は、該第 2 導電層パターン及び該半導体チップの間に接続される請求項 2 に記載のパッケージ基板。

【請求項 1 5】

更に、第 3 接続線及び第 4 接続線を含み、該第 3 接続線は、該第 1 導電層パターン及び該回路基板の間に接続され、該第 4 接続線は、該第 2 導電層パターン及び該回路基板の間に接続される請求項 2 に記載のパッケージ基板。

10

【請求項 1 6】

該基板の側壁上に該導電薄膜を分布する請求項 1 又は 2 に記載のパッケージ基板。

【請求項 1 7】

(a) 基板を提供し、該基板は、主に導電材質または半導体材質から構成され、該基板の表面は、ダイ固定領域及び複数の導電領域に分けられ、

(b) 該基板上に絶縁薄膜パターンを形成し、該絶縁薄膜パターンは、該ダイ固定領域上に形成されず、

(c) 複数の導電薄膜パターンを形成し、これら導電薄膜パターンは、異なる導電領域上に分布され、

(d) 半導体チップを該ダイ固定領域内に取り付けられ、

20

(e) 該半導体チップを該導電薄膜パターンと電気接続する、
ことを含むパッケージ基板の製造方法。

【請求項 1 8】

前記ステップ (b) において、該絶縁薄膜パターンは、電気メッキ、電気泳動、又は電気化学蒸着を利用し、該基板上に形成される請求項 1 7 に記載のパッケージ基板の製造方法。

【請求項 1 9】

前記導電領域は、第 1 導電領域及び第 2 導電領域を含み、該導電薄膜パターンは、第 1 導電薄膜及び第 2 導電薄膜パターンを含み、該第 1 導電薄膜パターン及び該第 2 導電薄膜パターンは、それぞれ該第 1 導電領域及び該第 2 導電領域上に分布され、該半導体チップは、発光ダイオードである請求項 1 7 に記載のパッケージ基板の製造方法。

30

【請求項 2 0】

前記基板は、複数の貫通孔を含み、これらの貫通孔は、該基板を貫通し、且つ異なる導電領域上にそれぞれ位置し、且つ該貫通孔の孔壁上に該導電薄膜を分布する請求項 1 7 乃至請求項 1 9 の何れか 1 項に記載のパッケージ基板の製造方法。

【請求項 2 1】

前記基板は、更に、凹穴を含み、該凹穴は、該ダイ固定領域に位置し、且つ該基板上に一体に成形され、且つ該半導体チップは、該凹穴内に位置する請求項 1 7 乃至請求項 1 9 の何れか 1 項に記載のパッケージ基板の製造方法。

40

【請求項 2 2】

前記 (d) のステップの前に、更に下記のステップ：

第 3 導電薄膜パターンを該ダイ固定領域に形成する、を含む請求項 1 9 に記載のパッケージ基板の製造方法。

【請求項 2 3】

前記 (c) のステップ中に更に以下のステップ：

(c 1) シード層を形成し、

(c 2) 該シード層を基底とし、電気メッキ又は電気泳動を利用し、導電薄膜パターンを形成する、

を含む請求項 1 7 乃至請求項 1 9 の何れか 1 項に記載のパッケージ基板の製造方法。

【請求項 2 4】

50

前記(c1)のステップに置いて、該シード層は、浸せきメッキ法又はスパッタリング法で形成される請求項22に記載のパッケージ基板の製造方法。

【請求項25】

前記基板の材質が銅又はアルミニウム又は以上の何れか1つの成分を含む合金である請求項17乃至請求項19の何れか1項に記載のパッケージ基板の製造方法。

【請求項26】

前記基板の材質がシリコンである請求項17乃至請求項19の何れか1項に記載のパッケージ基板の製造方法。

【請求項27】

前記導電薄膜パターンの材質が銅、ニッケル、金、又は銀又は以上の何れか1つの成分を含む合金である請求項17乃至請求項19の何れか1項に記載のパッケージ基板の製造方法。

10

【請求項28】

前記絶縁薄膜パターンの材質が重合物である請求項17乃至請求項19の何れか1項に記載のパッケージ基板の製造方法。

【請求項29】

前記絶縁薄膜パターンの材質がエポキシ樹脂、シリコンゲル、ポリイミド、又ははんだ塗料である請求項27に記載のパッケージ基板の製造方法。

【請求項30】

前記絶縁薄膜パターンの厚さが2 μ mより大きい請求項17乃至請求項19の何れか1項に記載のパッケージ基板の製造方法。

20

【請求項31】

前記(b)のステップにおいて、前記絶縁薄膜パターンを形成する方法は、印刷塗布法、スパッタリング法、又は噴霧法を含む請求項17に記載のパッケージ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パッケージ基板及びその製造方法に関し、特に、半導体パッケージに用いるパッケージ基板及びその製造方法に関する。

【背景技術】

30

【0002】

急速な技術の発展に伴い、半導体の応用分野が益々広がり、論理演算(例えば、CPU)及びデータ保存(例えば、DRAM)以外に、発光ダイオード(Light Emitting Diode, 俗称:LED)の応用も益々普遍になっている。しかしながら、半導体の性能が益々強大になるに伴い、その発熱量も増加し、従って、放熱技術も益々重要になっている。

【0003】

発光ダイオードを例とすると、発光ダイオードの発光効率と輝度は、既に大衆に受け入れられることができる水準に達しているので、現在、発光ダイオードは、既にバックライトモジュール、車両ランプ、街灯等に応用されている。しかしながら、発光ダイオードの輝度の向上に伴い、その膨大な発熱量が当業者を悩ませてきている。熱量を効率的に排除できなければ、発光ダイオードの輝度が低下し、且つ使用寿命も短縮される。

40

【0004】

現在、発光ダイオード装置において、それが使用されるパッケージ基板は、主にプリント回路板(Print Circuit Board, PCB)、メタルコアプリント回路板(Metal Core Print Circuit Board, MCPCB)、セラミック基板(Ceramic Substrate)、シリコン基板(Silicon Substrate)の4種に分けることができる。この4種のパッケージ基板において、プリント回路板のコストが最も低い、その放熱能力は良好でない。また、技術及びコスト上の制限により、シリコン基板上の絶縁薄膜は往々にして比較的薄く、絶縁破壊(Dielectrical Breakdown)を起し易い。このほか、現在市場におけるAl2O3基板、Al2O3基板を主とするセラミック基板の放熱能力は、良好でない。更に、同じくセラミック基板に属するAlN基板

50

は、放熱能力が良好であるが、コストが高いという欠点がある。

【0005】

MCPCB基板は、PCB基板よりも高い放熱能力を有するが、金属層と発光ダイオードチップの間に依然として誘電層が存在するので、放熱能力の向上は、依然として相当制限される。

【0006】

図1を参照すると、図1は、従来の発光ダイオード装置の正面図である。この発光ダイオード装置100は、回路基板10上に取り付けられ、発光ダイオード装置100は、発光ダイオード110及びパッケージ基板102を含み、そのうち、パッケージ基板102は、基板120と、反射部材130と、絶縁体140と、を含み、そのうち、基板120は、MCPCB基板である。発光ダイオード110及び反射部材130は、何れも基板120上に設置され、反射部材130は、杯状の凹穴132を構成し、発光ダイオード110は、凹穴132中に位置する。該凹穴132の壁面は、滑らかな反射面であり、発光ダイオード110が発する光を反射し、光線の指向性を向上させる。しかしながら、反射部材130及び基板120は、2つの異なる個体に属するので、使用時間の増長に伴い、反射部材130及び基板120の間に位置のずれ又は離脱の現象が発生する可能性がある。

10

【0007】

また、発光ダイオード110上に更に接続線112及び接続線114を接続し、そのうち、接続線112は、基板120の正導電領域121に接続し、接続線114は、基板120の負導電領域122に接続し、発光ダイオード110は、基板120のダイ固定領域123上に位置し、そのうち、正導電領域121、負導電領域122、及びダイ固定領域123は、絶縁体140により相互に隔離される。絶縁体140は、接着剤を注入することにより基板120の開孔中に形成されるので、該開孔は、一定の大きさの幅を有する必要がある、そうでなければ、接着剤が流れ込むことが困難であるが、このように、基板120の幅を増加する以外に、更に、正導電領域121及び負導電領域122と、発光ダイオード110との距離をそれぞれ増加させ、これにより、接続線112、114の長さも比較的長くする必要はある。更に、発光ダイオード装置100が回路基板10上に取り付けられる時もワイヤーボンディング(wire bonding)方式を利用して回路基板10と電気接続され、発光ダイオード装置100が回路基板10上で占める面積を増加させる。

20

【0008】

従って、好適な放熱効果、比較的長い寿命を有し、占有面積が比較的小さい発光ダイオード装置又はその他の半導体装置に用いるパッケージ基板を如何に設計するかは、業者が思慮するに値する問題となっている。

30

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の目的は、パッケージ基板及びその製造方法を提供することであり、該パッケージ基板は、良好な放熱効果、比較的長い使用寿命、及び占有面積が小さい等の利点を有する。

【課題を解決するための手段】

40

【0010】

上記の目的及びその他の目的に基づき、本発明は、パッケージ基板を提供し、このパッケージ基板は、回路基板に取り付けられ、且つパッケージ基板上に少なくとも1つの半導体チップを取り付け、該パッケージ基板は、基板と、複数の導電薄膜パターンと、絶縁薄膜パターンと、を含む。基板は、主に導電材質又は半導体材質から構成され、その表面がダイ固定領域及び複数の導電領域を含む。各導電薄膜パターンは、それぞれ異なる導電領域上に分布し、絶縁薄膜パターンは、導電薄膜パターン及び基板の間に位置するが、絶縁薄膜パターンは、ダイ固定領域上に設置されない。そのうち、半導体チップは、ダイ固定上に取り付けられ、且つ導電薄膜パターンと電気接続する。

【0011】

50

上記のパッケージ基板において、半導体チップが発光ダイオードであり、導電領域は、第1導電領域及び第2導電領域を含む。半導体薄膜パターンは、第1導電薄膜パターン及び第2導電薄膜パターンを含み、該第1導電薄膜パターン及び該第2導電薄膜パターンは、それぞれ第1導電領域及び第2導電領域上に位置し、且つ第1導電薄膜パターン及び第2導電薄膜パターンは、相互に接触しない。

【0012】

上記のパッケージ基板において、基板上に複数の貫通孔を設置し、これら貫通孔は、基板を貫通し、且つそれぞれ異なる導電領域に位置し、且つこれら貫通孔の孔壁上に導電薄膜を分布する。

【0013】

上記のパッケージ基板において、更に、凹穴を含み、該凹穴は、ダイ固定領域に位置し、且つ基板上に一体に成形され、且つ半導体チップが凹穴内に位置する。

【0014】

上記のパッケージ基板において、導電薄膜パターンは、更に、第3導電薄膜パターンを含み、第3導電薄膜パターンは、ダイ固定領域に塗布され、且つ第3導電薄膜パターンは、直接基板と接触する。また、第3導電薄膜パターンは、例えば、第2導電パターンと電気接続し、且つ半導体チップのそのうち1つの電極は、第3導電薄膜パターンと直接接触し、半導体チップのもう1つの電極は、第1接続線により第1導電薄膜パターンと接触する。

【0015】

上記のパッケージ基板において、基板の材質は、銅又はアルミニウム、又は銅又はアルミニウムの何れか1つの成分を含む合金である。或いは、半導体材質、例えば、シリコンであることもできる。また、導電薄膜パターンの材質は、主に銅であるが、その他の材質、例えば、ニッケル、金、又は銀、又は以上のいずれか1つの成分を含む合金を含むことができる。

【0016】

上記のパッケージ基板において、絶縁薄膜パターンの材質は、重合物であることができ、この重合物は、例えば、エポキシ樹脂(Epoxy)、シリコンゲル(Silicone)、ポリイミド(Polyimide)、又ははんだ塗料等であり、且つ厚さが好ましくは、2 μ mより大きいものである。

【0017】

上記のパッケージ基板において、該パッケージ基板は、例えば、表面実装技術を利用してマザーボードと電気接続を行うものである。

【0018】

上記の目的及びその他の目的に基づき、本発明は、パッケージ基板の製造方法を提供し、該製造方法は、以下(a)~(e)に記載するステップを含む：

(a) 基板を提供し、該基板は、主に導電材質又は半導体材質で構成される。更に、基板上に、複数の貫通孔を有し、且つ基板は、ダイ固定領域及び複数の導電領域に分けられる。

(b) 基板上に絶縁薄膜パターンを形成し、該絶縁薄膜パターンは、ダイ固定領域上に形成されず、この絶縁薄膜パターンは、電気メッキ(Electrolytic deposition)、電気泳動(Electrophoretic deposition)、又は電気化学蒸着(Electrical Chemical Deposition)により基板上に形成される。

(c) 複数の導電薄膜パターンを形成し、これら導電薄膜パターンは、異なる導電領域上に分布される。

(d) 半導体チップをダイ固定領域内に取り付ける。

(e) 半導体チップ及び導電薄膜パターンを電気接続する。

【発明の効果】

【0019】

パッケージ基板のダイ固定領域に絶縁薄膜パターンを塗布しないことにより、パッケージ基板は、半導体パッケージ構造の放熱効果を増強することができる。

10

20

30

40

50

【図面の簡単な説明】

【0020】

【図1】従来の発光ダイオード装置の正面図である。

【図2A】～

【図2E】本発明の発光ダイオード装置の製造方法の実施例を示す図である。

【図3A】～

【図3C】絶縁薄膜パターンのうちの1種の製造過程を示す図である。

【図4A】～

【図4C】絶縁薄膜パターンの他の1種の製造過程を示す図である。

【図5A】～

【図5D】絶縁薄膜パターンのうちの1種の製造過程を示す図である。

【図6A】～

【図6D】絶縁薄膜パターンの他の1種の製造過程を示す図である。

【図7A】本発明の発光ダイオード装置の第1実施例を示す断面図である。

【図7B】本発明の発光ダイオード装置の第1実施例を示す平面図である。

【図8A】本発明の発光ダイオード装置の第2実施例の説明図である。

【図8B】本発明の発光ダイオード装置の第3実施例の説明図である。

【図9】本発明の発光ダイオード装置の第4実施例の説明図である。

【図10】本発明の発光ダイオード装置の第5実施例の説明図である。

【発明を実施するための形態】

【0021】

図2A～図2Eを参照し、図2A～図2Eが示すのは、本発明の発光ダイオード装置の製造方法の実施例である。先ず、図2Aに示すように、基板220を提供し、この基板220の材質は、銅である。基板220上に凹穴221及び複数の貫通孔222を設置し（於実施例中は2つである）、そのうち、凹穴221は、基板220上に一体に成型され、且つ貫通孔222は、基板220を貫通する。また、基板220の表面は、ダイ固定領域223と、第1導電領域224と、第2導電領域225と、に分けられ、そのうち、凹穴221は、ダイ固定領域223に位置し、2つの貫通孔222は、それぞれ第1導電領域224及び第2導電領域225に位置する。ダイ固定領域223、第1導電領域224、及び第2導電領域225について、如何に分けるかは、下方の文で詳細に説明する。

【0022】

更に、図2Bに示すように、電気メッキ、電気泳動、又は電気化学蒸着を利用し、基板220上に絶縁薄膜パターン240を形成する。そのうち、基板220のダイ固定領域223は、絶縁薄膜パターン240に覆われていない。電気メッキ、電気泳動、又は、電気化学蒸着は、基板220上に電圧を印加し、基板220自身に正の電荷又は負の電荷を帯電させ、相反する電荷を帯びた粒子又はイオンを基板220上に堆積させる。電気メッキ及び電気泳動は、当業者にとって周知の技術であるので、ここでは、詳細を記載しない。従来のスパッタリング、陽極酸化、又は熱酸化に比較し、本実施例の製造方法が採用する電気メッキ、電気泳動、又は電気化学蒸着は、比較的高い成形速度を有するので、比較的短い時間内で厚さが比較的厚い絶縁薄膜パターン240を形成することができる。本実施例において、絶縁薄膜パターン240の厚さは、2 μ mより大きく、好ましくは、5 μ mより大きい。絶縁薄膜パターン240は、比較的大きな厚さを有するので、その後、使用時に絶縁破壊の現象が発生し難い。

【0023】

続いて、図2Cに示すように、基板220上に導電薄膜パターン230を形成し、そのうち、導電薄膜パターン230は、第1導電薄膜パターン231、第2導電薄膜パターン232、及び第3導電薄膜パターン233を含む。そのうち、第1導電薄膜パターン231及び第2導電薄膜パターン232は、それぞれ基板220の第1導電領域224及び第2導電領域225上に塗布され、第3導電薄膜パターン233は、ダイ固定領域223に塗布される。図2Cから分かるように、第1導電薄膜パターン231及び第2導電薄膜パ

10

20

30

40

50

ターン 232 は、絶縁薄膜パターン 240 上を覆う。また、第 1 導電薄膜パターン 231、第 2 導電薄膜パターン 232、及び第 3 導電薄膜パターン 233 は、相互に接触しない。このように、パッケージ基板 202 の製造を完成することができる。

【0024】

図 2A 及び図 2C を同時に参照し、当業者であれば分かるように、基板 220 上の第 1 導電領域 224 は、第 1 導電薄膜パターン 231 に覆われた領域であり、基板 220 上の第 2 導電領域 225 は、第 2 導電薄膜パターン 232 により覆われた領域であり、ダイ固定領域 223 は、第 1 導電領域 224 及び第 2 導電領域 225 の間に位置する。また、本実施例において、ダイ固定領域 223 上に絶縁薄膜パターン 240 を塗布していない。

【0025】

更に、図 2D を参照し、発光ダイオード 210 を凹穴 221 内に取り付ける。その後、第 1 接続線 211 を発光ダイオード 210 及び第 1 導電薄膜パターン 231 の間に接続し、同時に、第 2 接続線 212 を発光ダイオード 210 及び第 2 導電薄膜パターン 232 の間に接続する。また、発光ダイオード 210 上に更に蛍光粉層 260 を塗布する。続いて、図 2E を参照し、レンズ 270 を発光ダイオード 210 上方に取り付け、このレンズ 270 は、プラスチック射出成型の方式で形成される。このように、発光ダイオード装置 200 の製造を完成する。

【0026】

続いて、絶縁薄膜パターン 240 に形成方式をより詳しく紹介する。図 3A ~ 図 3C を参照し、図 3A ~ 図 3C が示すのは、絶縁薄膜パターンの形成過程である。先ず、図 3A を参照し、電気メッキ、電気泳動、又は電気化学蒸着を利用し、基板 220 上に絶縁薄膜 240' を形成し、本実施例において、絶縁薄膜 240' の材質は、重合物、例えば、エポキシ樹脂、シリコンゲル、ポリイミド、又ははんだ塗料である。続いて、図 3B を参照し、絶縁薄膜 240' 上にフォトレジスト層 50 を塗布し、そのうち、ダイ固定領域 223 上の絶縁薄膜 240' は、フォトレジスト層 50 に覆われていない。その後、エッチングプロセスを行い、フォトレジスト層 50 に覆われていない絶縁薄膜 240' を除去する。更に、図 3C に示すように、フォトレジスト層 50 を除去し、絶縁薄膜パターン 240 を形成する。

【0027】

或いは、図 4A ~ 図 4C に示すように、先に、絶縁薄膜パターンを形成しない箇所（図 4A 中では、ダイ固定領域 223 である）にフォトレジスト層 50 を形成することもできる。その後、図 4B に示すように、電気メッキ、電気泳動、又は電気化学蒸着を利用し、基板 220 上に絶縁薄膜 240' の堆積を行い、絶縁薄膜 240' は、フォトレジスト層 50 上に形成されないの、フォトレジスト層 50 を除去した後、絶縁薄膜パターン 240 が形成される（図 4C 参照）。

【0028】

以下は、導電薄膜パターン 230 の製造過程についてより詳細に紹介する。図 5A ~ 図 5D を参照し、図 5A ~ 図 5D が示すのは、導電薄膜パターンの製造過程である。先ず、図 5A に示すように、基板 220 上にシード層 230'' を形成し、このシード層 230'' の材質は、銅であり、それは、基板 220 全体に分布し、且つ絶縁薄膜パターン 240 全体を覆う。本実施例において、浸せきメッキ法 (immersion plating) 或スパッタリング法を利用し、シード層 230'' を形成し、このシード層 230'' の材質は、例えば、銅である。更に、図 5B に示すように、シード層 230'' 上にフォトレジスト層 50' を塗布し、そのうち、一部のシード層 230'' は、フォトレジスト層 50' に覆われていない。その後、エッチングプロセスを行い、フォトレジスト層 50' に覆われていないシード層 230'' を除去し、図 5C に示すようなシード層パターン 230' を形成する。フォトレジスト層 50' を除去した後、電気メッキ、電気泳動、又は電気化学蒸着を利用し、シード層パターン 230' 上に銅の堆積を継続して行き、図 5D に示すような導電薄膜パターン 230 を形成する。また、当業者は、銅を堆積した後、更に、その他の種類の金属、例えば、ニッケル、金、及び銀又は以上の何れか 1 つの成分を含んだ合金等を堆積し、導電薄

10

20

30

40

50

膜パターン 230 の物理性質を増進させることもできる。

【0029】

また、導電薄膜パターン 230 の形成方式は、図 5 A ~ 図 5 D に示す製造過程に制限しない。図 6 A ~ 図 6 D を参照し、図 6 A ~ 図 6 D が示すのは、導電薄膜パターンのもう 1 種の製造過程である。まず、図 6 A に示すように、基板 220 上にシード層 230'' を形成し、このシード層 230'' の材質は、銅であり、それは、絶縁薄膜パターン 240 全体を覆う。更に、図 6 B に示すように、シード層 230'' 上にフォトレジスト層 50' を塗布し、そのうち、一部のシード層 230'' は、フォトレジスト層 50' により覆われていない。その後、電気メッキ又は電気泳動を利用し、フォトレジスト層 50' で覆われていないシード層 230'' 上に銅及びその他の種類の金属（例えば、ニッケル及び金）の堆積を継続して行い、それを増厚し、増厚した部分が導電薄膜パターン 230 となる。続いて、フォトレジスト層 50' を除去した後、エッチングプロセスを行い、残りのシード層 230'' を除去し、図 6 D に示すような導電薄膜パターン 230 を形成することができる。

10

【0030】

注意すべきことは、図 5 A ~ 図 5 D 及び図 6 A ~ 図 6 D は、何れも説明に用いるのみであり、実際の比例寸法に基づき作成されたものではなく、例えば、導電薄膜パターン 230 は、実際には、シード層パターン 230' 又はシード層 230'' に比べ更に厚みが大きくなる。一般的に、シード層パターン 230' 又はシード層 230'' は、1 μm より小さく、導電薄膜パターン 230 は、10 μm より大きい。また、当業者は、シード層 230'' 上に直接、電気メッキ、電気泳動、電気化学蒸着の方式で導電薄膜を形成し、その後、導電薄膜上にフォトレジスト層を塗布し、エッチングを行い、導電薄膜パターン 230 を形成することもできる。

20

【0031】

図 7 A 及び図 7 B が示すのは、本発明の発光ダイオード装置の第 1 実施例の説明図であり、図 7 A が示すのは、断面図であり、図 7 B が示すのは、平面図である。この発光ダイオード装置 200 は、図 2 A ~ 図 2 D が示す製造方法により製造され、且つそれは、回路基板 20 上に取り付けられる。この回路基板 20 は、例えば、プリント回路基板であり、回路基板 20 上に発光ダイオード装置 200 を取り付けると共に、更に、その他の電子部品（図示せず）を取り付けるか、より多くの発光ダイオード装置 200 を取り付けることができる。

30

【0032】

図 7 A から分かるように、発光ダイオード 210 の直下には、如何なる絶縁薄膜パターン 240 も塗布しておらず、第 3 導電薄膜パターン 233 が銅、ニッケル、金、又は銀等の金属から構成され、基板 220 の材質が銅であるので、発光ダイオード 210 が発生する熱量は、第 3 導電薄膜パターン 233 及び基板 220 から容易に伝導して放出されることができ、発光ダイオード 210 が過度の熱を持つ状況を発生し難くする。また、発光ダイオード 210 上に塗布する蛍光粉層 260 は、発光ダイオード装置 200 が発する色光を制御することに用い、例えば、発光ダイオード 210 が発する光が青色光であり、蛍光粉層 260 が黄色の蛍光粉で形成されるものであれば、発光ダイオード装置 200 は、白色光を発することができる。

40

【0033】

凹穴 221 が基板 220 上に一体に成型されることにより、図 1 の発光ダイオード装置 100 が発生する問題、即ち、使用時間が長くなった後、反射部材 130 及び基板 120 間で離脱の現象が発生し得る問題が生じることがない。従って、発光ダイオード装置 100 に比較し、発光ダイオード装置 200 は、比較的長い使用寿命を有することができる。また、凹穴 221 の孔壁上に第 3 導電薄膜パターン 233 を塗布し、その表面に反射の効果をも有するので、発光ダイオード 210 が発する光線が反射され、且つレンズ 270 も集光の作用を有し、これらが発光ダイオード装置 200 の発光品質を向上することができる。

【0034】

50

図 1, 図 7 A 及び図 7 B を参照し、パッケージ基板 2 0 2 上において、パッケージ基板 1 0 2 のような一般に設置する絶縁体 1 4 0 を必要としないので、基板 2 2 0 の面積が比較的小さく、且つ第 1 接続線 2 1 1 及び第 2 接続線 2 1 2 の長さが接続線 1 1 2 及び接続線 1 1 4 と比較し短く、従って、発光ダイオード装置 2 0 0 が比較的小さな面積を有することができる。また、パッケージ基板 1 0 2 は、接続線を接合する方式を利用し、回路基板 1 0 と接続し、パッケージ基板 2 0 2 は、表面実装技術(surface mount technology)を利用し、回路基板 2 0 と電気接続するので、図 1 及び図 7 A と比較し、明確に以下のことが分かる：発光ダイオード装置 2 0 0 が回路基板 2 0 上で占める面積は、発光ダイオード装置 1 0 0 が回路基板 1 0 上で占める面積より小さい。発光ダイオード装置 2 0 0 が回路基板 2 0 上で占める面積が比較的小さいことにより、回路基板 2 0 上により多くの電子部品又はより多くの発光ダイオード装置 2 0 0 を取り付けすることも可能である。

10

【 0 0 3 5 】

上記の実施例において、ダイ固定領域 2 2 3 は、基板 2 2 0 表面の中央箇所に位置しているが、当業者にとって、ダイ固定領域 2 2 3 は、中央箇所に設置することに限らないことが明白である。また、基板 2 2 0 の材質が銅であるが、当業者は、その他の材質を使用し、基板 2 2 0 を製造することもでき、例えば、アルミニウム、又は銅とアルミニウムの何れか 1 つの成分を含む合金である。また、基板 2 2 0 の材質は、半導体材質であることもでき、例えば、シリコンであり、基板 2 2 0 に導電の性質を持たせれば、何れも可能である。また、ダイ固定領域 2 2 3 上に凹穴 2 2 1 を設置せずに平面状を呈するようにすることもできる。

20

【 0 0 3 6 】

図 8 A を参照し、図 8 A が示すのは、本発明の発光ダイオード装置の第 2 実施例の説明図である。図 7 A の発光ダイオード装置 2 0 0 に比べて、図 8 A の発光ダイオード装置 2 0 0 ' は、第 3 導電薄膜パターン 2 3 3 を設置しておらず、即ち、発光ダイオード 2 1 0 は、基板 2 2 0 と直接接触している。

【 0 0 3 7 】

また、図 7 A において、第 1 導電薄膜パターン 2 3 1、第 2 導電薄膜パターン 2 3 2、及び第 3 導電薄膜パターン 2 3 3 は、相互に接触しておらず、且つ発光ダイオード 2 1 0 は、接続線の方式で第 1 導電薄膜パターン 2 3 1 及び第 2 導電薄膜パターン 2 3 2 と電気接続する。しかしながら、図 8 B を参照し、図 8 B が示すのは、本発明の発光ダイオード装置の第 3 実施例の説明図である。本実施例において、第 2 導電薄膜パターン 2 3 2 及び第 3 導電薄膜パターン 2 3 3 は、一体に成形され、即ち、相互に 1 つに接続される。また、発光ダイオード装置 2 0 0 ' の発光ダイオード 2 1 0 の中の 1 つの電極（本実施例では正極である）は、第 3 導電薄膜パターン 2 3 3 と直接接触するが、発光ダイオード 2 1 0 のもう 1 つの電極（在本実施例為負極）は、第 1 接続線 2 1 1 により第 1 導電薄膜パターン 2 3 1 と接触する。

30

【 0 0 3 8 】

図 9 を参照し、図 9 が示すのは、本発明の発光ダイオード装置の第 4 実施例の説明図であり、発光ダイオード装置 3 0 0 のパッケージ基板 3 0 2 は、回路基板 3 0 上に取り付けられる。図 7 A のパッケージ基板 2 0 2 に比べて、パッケージ基板 3 0 2 の基板 3 1 0 は、凹穴 2 2 1 及び如何なる貫通孔 2 2 2 も設置しておらず、且つ発光ダイオード装置 3 0 0 は、更に第 3 接続線 3 0 3 及び第 4 接続線 3 0 4 を含む。第 3 接続線 3 0 3 は、第 1 導電層パターン 3 3 1 及び回路基板 3 0 の間に接続され、第 4 接続線 3 0 4 は、第 2 導電層パターン 3 3 2 と回路基板 3 0 の間に接続される。

40

【 0 0 3 9 】

基板 3 1 0 上に如何なる凹穴 2 2 1 及び貫通孔 2 2 2 も設置しておらず、その表面が平坦の表面であるので、本実施例において、電気泳動、電気メッキ、又は電気化学蒸着を使用できる以外に、更に、印刷塗布法、スパッタリング法、又は噴霧法等の方式を使用し、基板 3 1 0 上に絶縁薄膜パターン 3 4 0 及び導電薄膜パターン 3 3 0 を形成することもできる。

50

【 0 0 4 0 】

図 1 0 を参照し、図 1 0 が示すのは、本発明の発光ダイオード装置の第 5 実施例の説明図であり、発光ダイオード装置 4 0 0 のパッケージ基板 4 0 2 は、回路基板 2 0 上に取り付けられる。図 7 A に比較し、発光ダイオード装置 4 0 0 の基板 4 1 0 は、如何なる貫通孔も設置されておらず、その第 1 導電薄膜パターン 4 3 1 及び第 2 導電薄膜パターン 4 3 2 は、基板 4 1 0 の上表面及び下表面に分布する以外に、更に、基板 4 1 0 の側壁上に分布する。従って、基板 4 1 0 上表面の導電薄膜 4 3 0 は、側壁上に位置する導電薄膜 4 3 0 により、下表面に位置する導電薄膜 4 3 0 と相互に導通する。本実施例において、パッケージ基板 4 0 2 は、表面実装技術(surface mount technology)を利用し、回路基板 2 0 と電気接続する。

10

【 0 0 4 1 】

上記の実施例において、全ての発光ダイオード装置は、何れもただ 1 つの発光ダイオードのみを取り付けているが、当業者は、状況に応じて、より多くの発光ダイオードを取り付けることができ、これら発光ダイオードは、並列の方式を利用し、1 つに接続することができる。

【 0 0 4 2 】

更に、上記の発光ダイオード以外に、パッケージ基板は、更にその他の半導体パッケージ構造上に応用することができる。即ち、パッケージ基板のダイ固定領域上に、発光ダイオードを取り付ける以外に、更にその他の形態の半導体チップ、例えば、論理 IC、メモリ IC、アナログ IC、CMOS イメージセンサ部材を取り付けることができる。また、取り付けた半導体チップの違いに応じて、導電薄膜パターンの個数も異なり、主にその半導体チップの接続ピン数を取り決め、例えば、接続ピンが 1 0 個であれば、導電薄膜パターンの個数は、1 0 個となる。パッケージ基板のダイ固定領域に絶縁薄膜パターンを塗布していないので、パッケージ基板により半導体パッケージ構造の放熱効果を増強することができる。

20

【 0 0 4 3 】

本発明では好適な実施形態を前述の通り開示したが、これらは決して本発明を限定するものではなく、当該技術を熟知するものなら誰でも、本発明の主旨と領域を脱しない範囲内で各種の変更や修正を加えることができる。従って本発明の保護の範囲は、特許請求の範囲で指定した内容を基準とする。

30

【 符号の説明 】

【 0 0 4 4 】

- 1 0 回路基板
- 1 0 0 発光ダイオード装置
- 1 0 2 パッケージ基板
- 1 1 0 発光ダイオード
- 1 1 2 , 1 1 4 接続線
- 1 2 0 基板
- 1 2 1 正導電領域
- 1 2 2 負導電領域
- 1 2 3 ダイ固定領域
- 1 3 0 反射部材
- 1 3 2 凹穴
- 1 4 0 絶縁体
- < 実施方式 >
- 2 0 0 , 2 0 0 ' , 2 0 0 '' 発光ダイオード
- 2 0 2 パッケージ基板
- 2 2 0 基板
- 2 2 1 凹穴
- 2 2 2 貫通孔

40

50

2 2 3	ダイ固定領域	
2 2 4	第 1 導電領域	
2 2 5	第 2 導電領域	
2 3 0	導電薄膜パターン	
2 3 1	第 1 導電薄膜パターン	
2 3 2	第 2 導電薄膜パターン	
2 3 3	第 3 導電薄膜パターン	
2 3 0'	シード層パターン	
2 3 0''	シード層	
2 4 0	絶縁薄膜パターン	10
2 4 0'	絶縁薄膜	
2 6 0	蛍光粉層	
2 7 0	レンズ	
2 0	回路基板	
5 0 , 5 0' , 5 0''	フォトリジスト層	
3 0 0	発光ダイオード装置	
3 0 2	パッケージ基板	
3 0 3	第 3 接続線	
3 0 4	第 4 接続線	
3 3 0	導電薄膜パターン	20
3 3 1	第 1 導電層パターン	
3 3 2	第 2 導電層パターン	
3 0	回路基板	
4 0 0	発光ダイオード装置	
4 0 2	パッケージ基板	
4 1 0	基板	
4 3 0	導電薄膜	

【 図 1 】

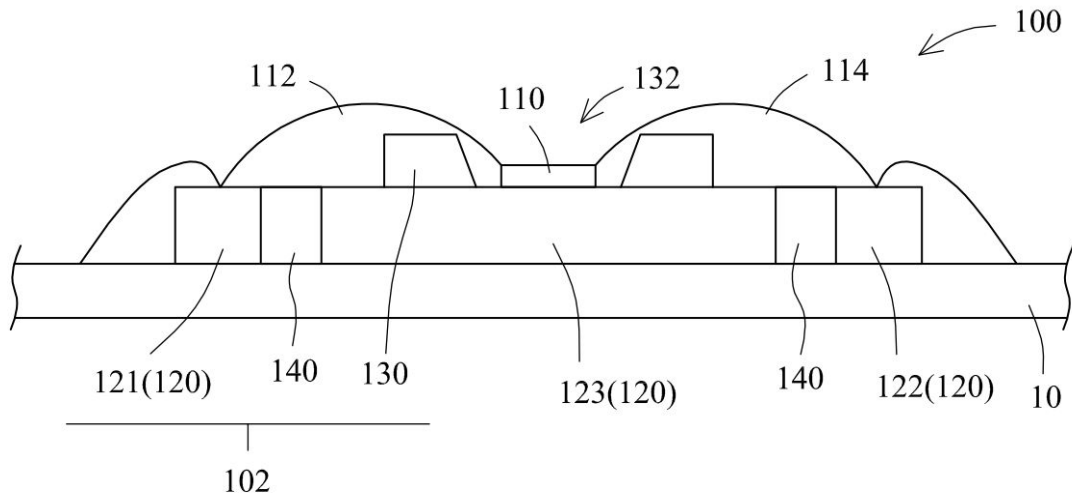


図 1

【 図 2 A 】

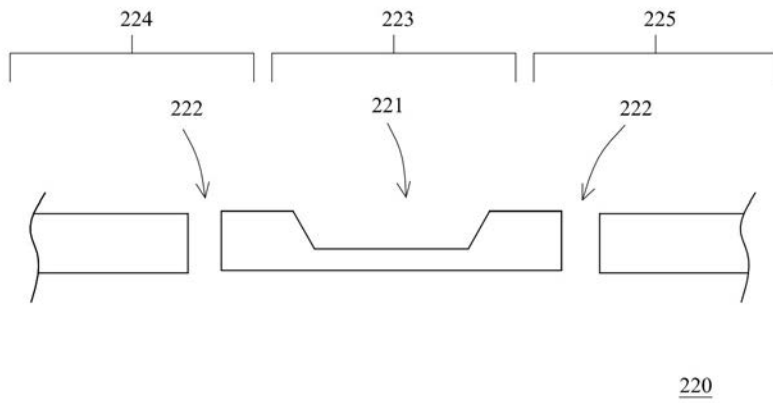


図 2A

【図 2 B】

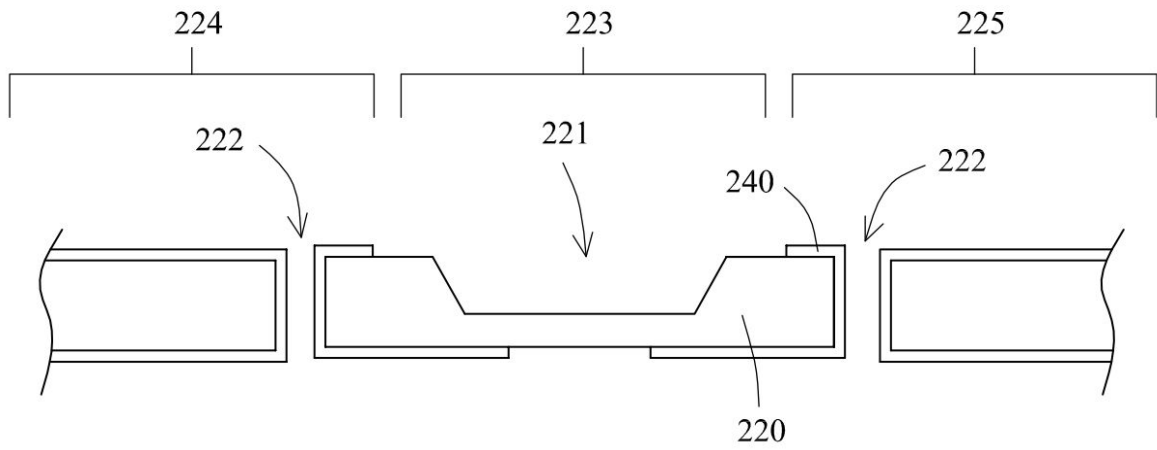


図2B

【図 2 C】

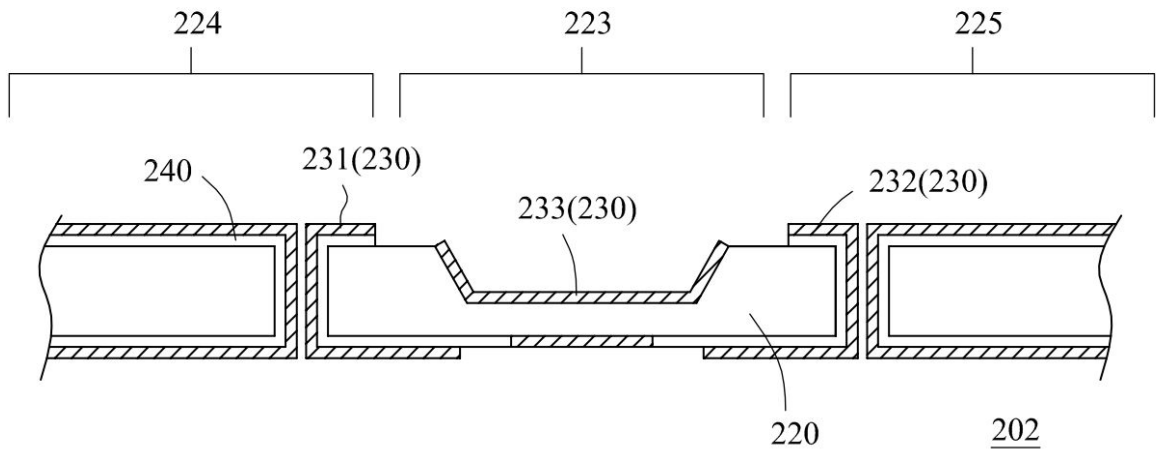


図2C

【図 2 D】

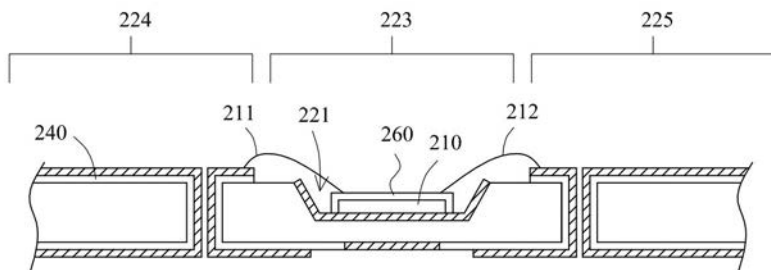


図2D

【図 2 E】

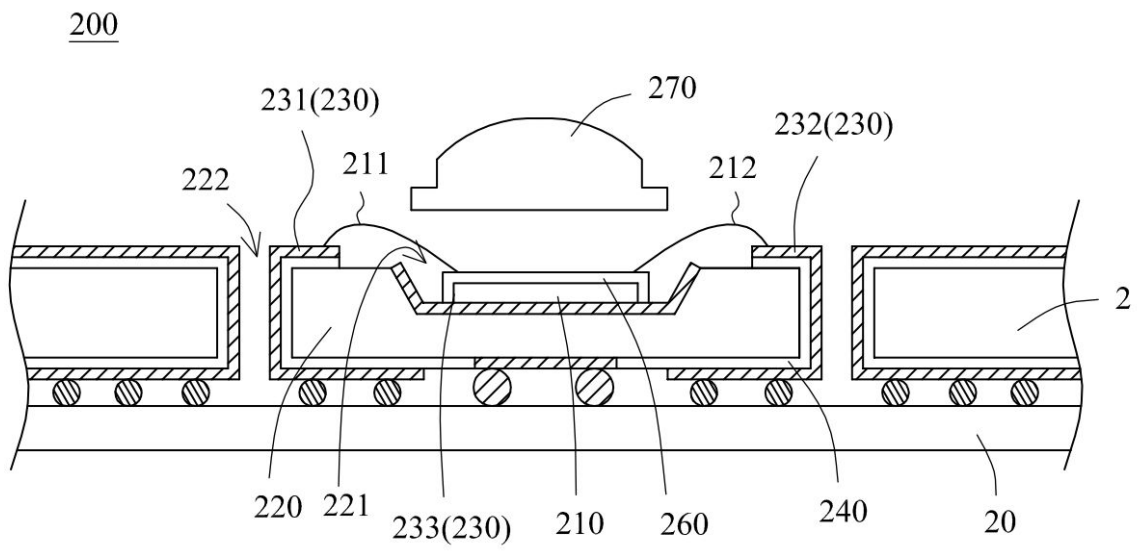


図2E

【図 3 A】

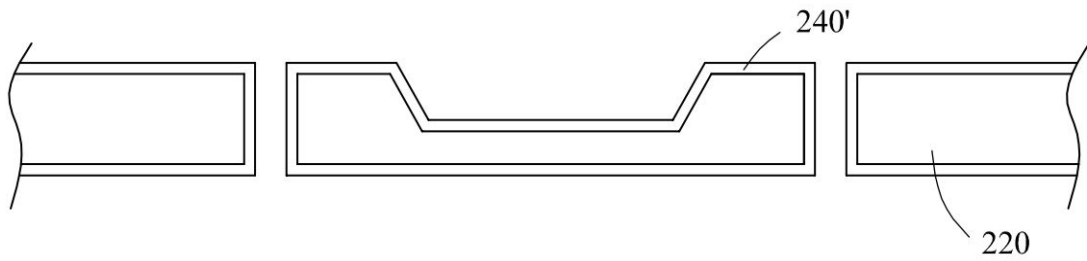


図3A

【図3B】

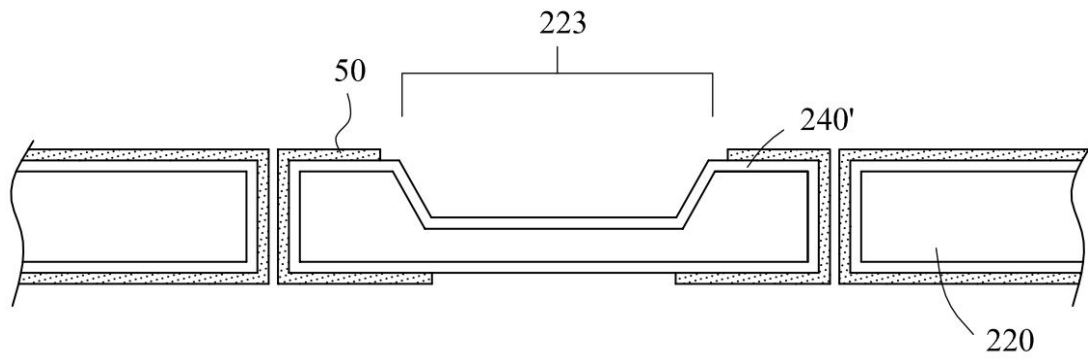


図3B

【図3C】

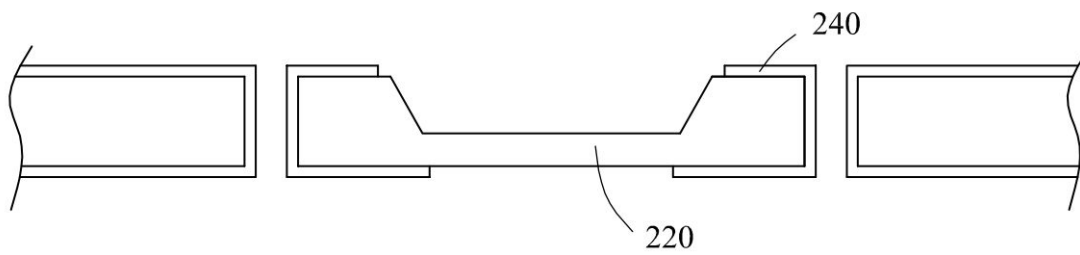


図3C

【図4A】

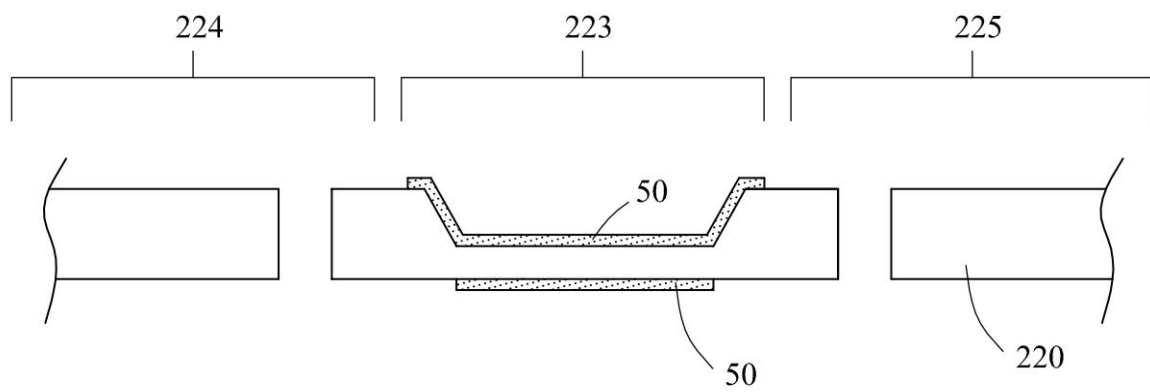


図4A

【図4B】

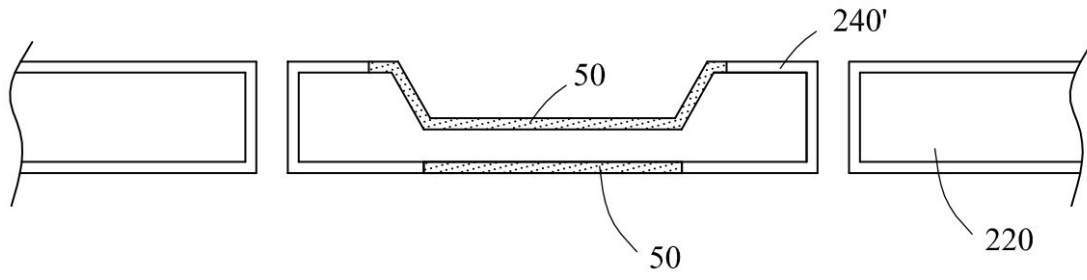


図4B

【図4C】

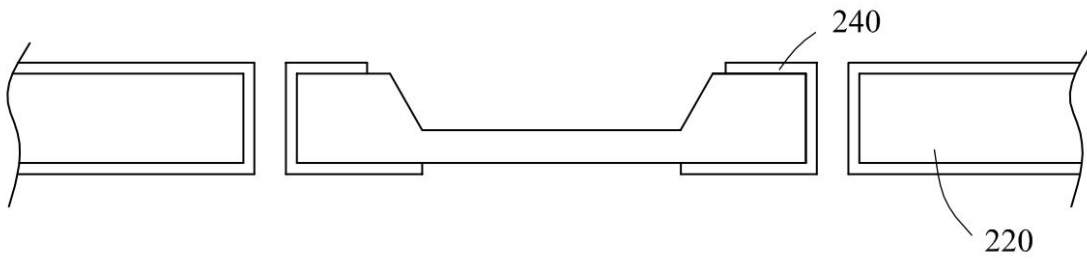


図4C

【図5A】

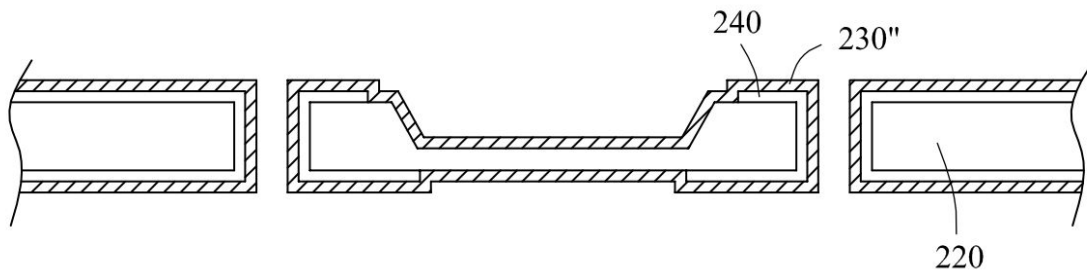


図5A

【図 5 B】

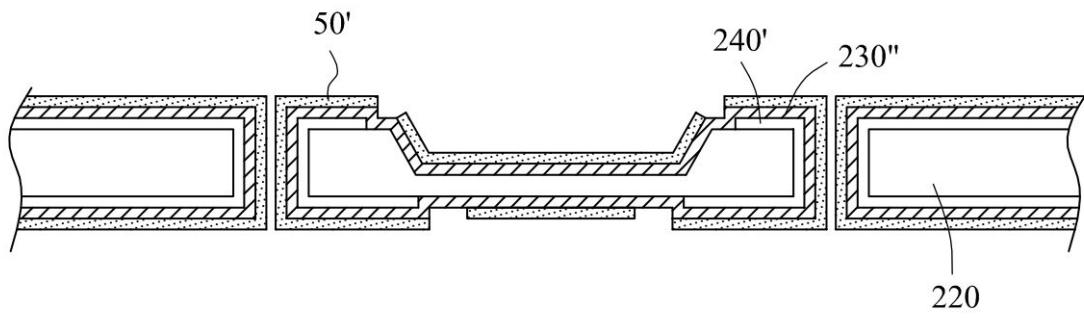


図5B

【図 5 C】

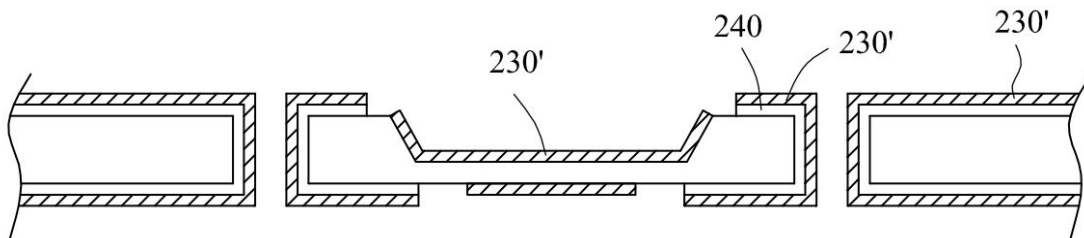


図5C

【図 5 D】

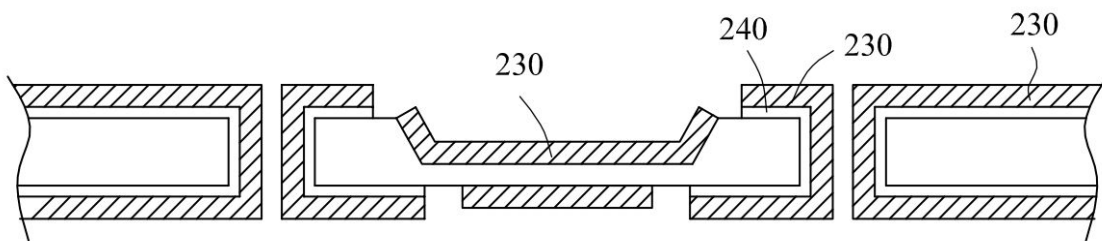


図5D

【図 6 A】

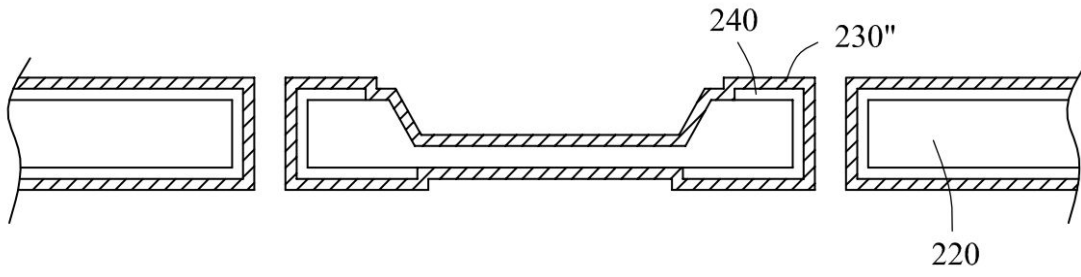


図6A

【図 6 B】

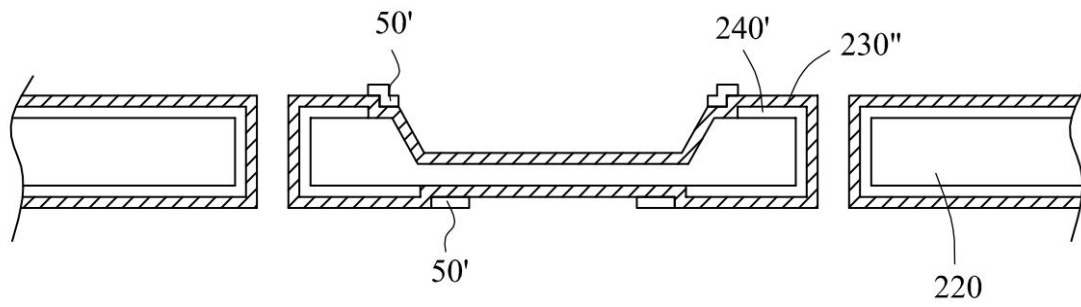


図6B

【図 6 C】

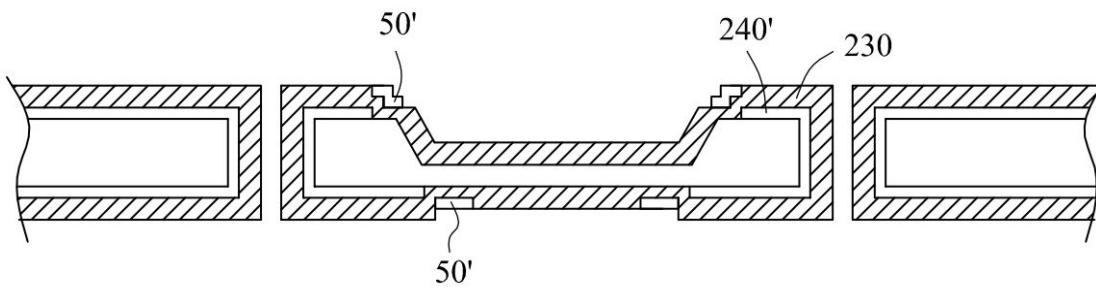


図6C

【図6D】

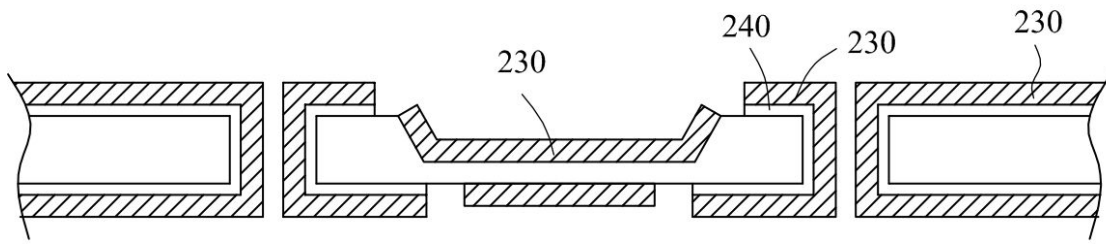


図6D

【図7A】

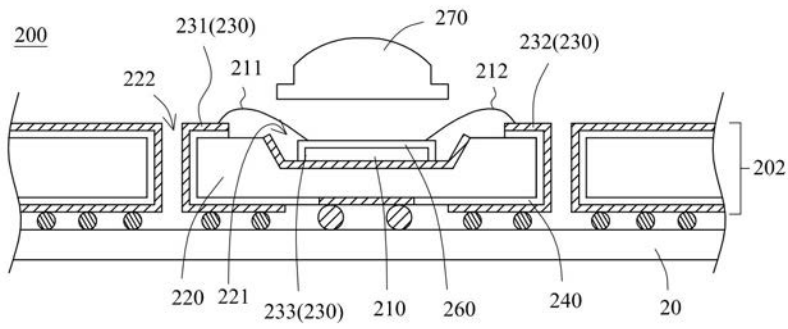


図7A

【図7B】

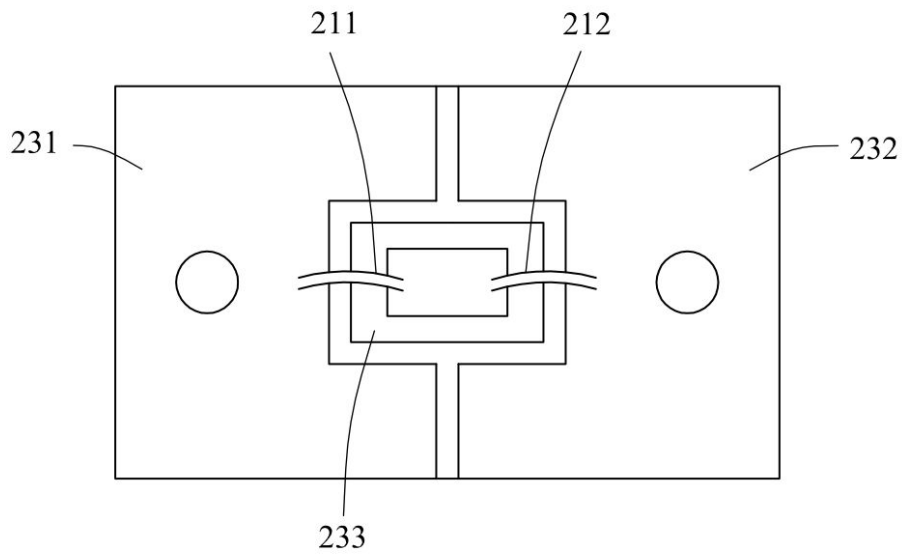


図7B

【図8A】

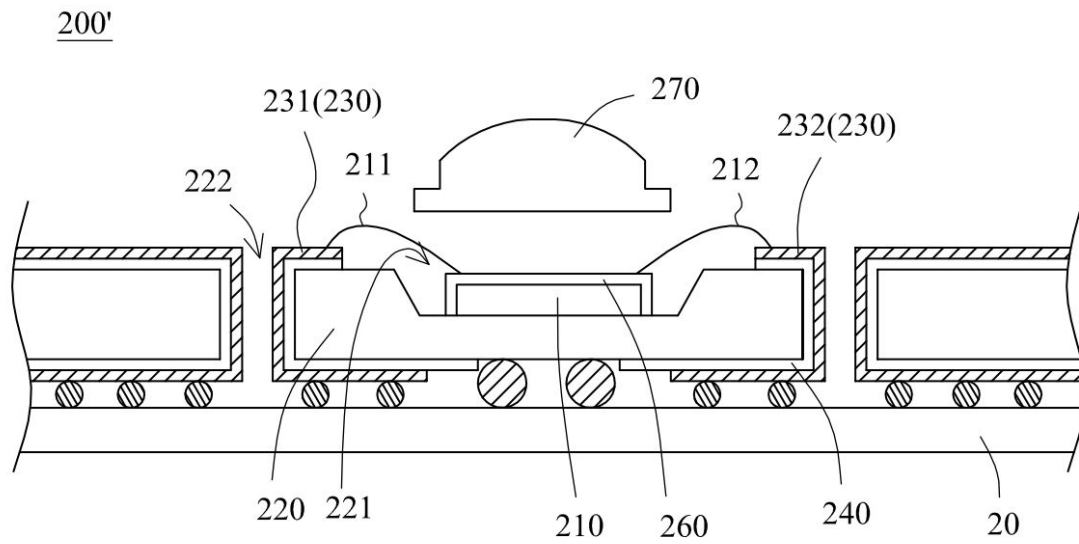


図8A

【 図 8 B 】

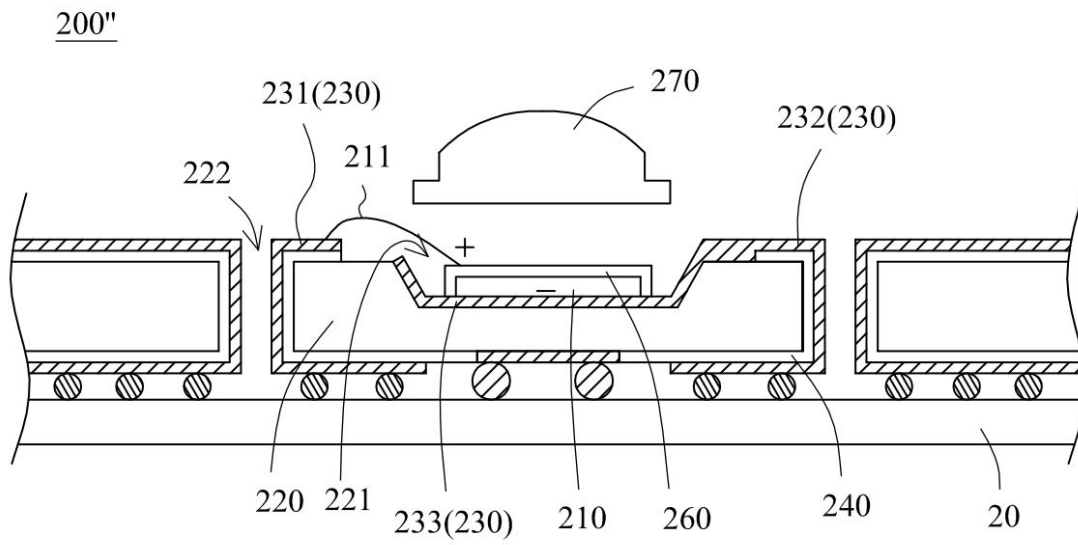


図8B

【 図 9 】

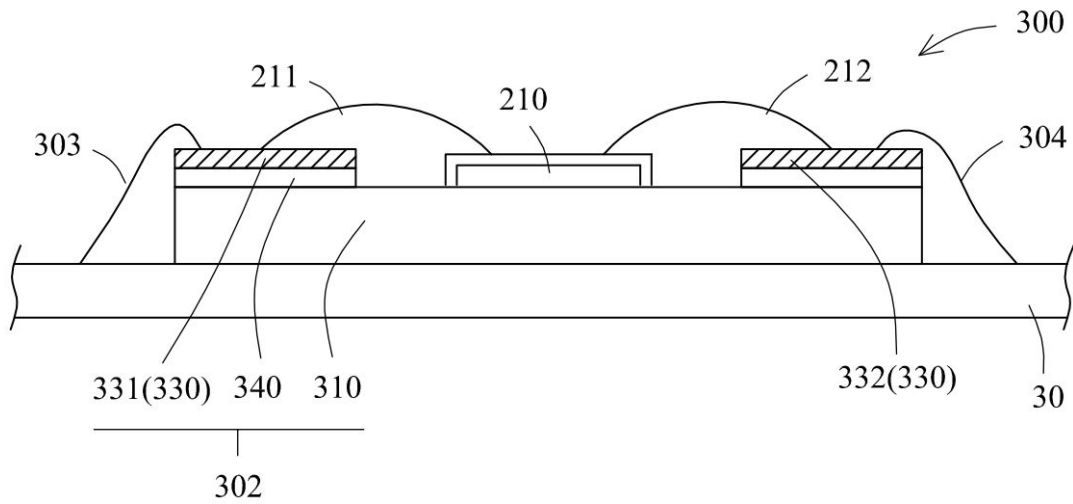


図9

【図10】

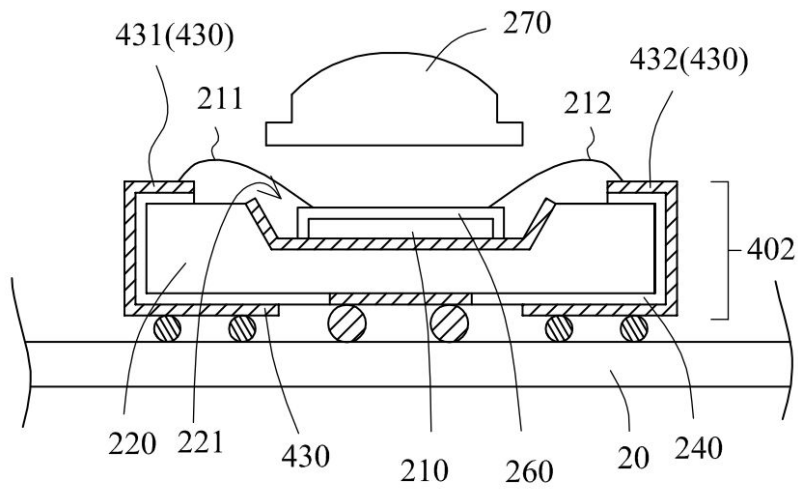


図10

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 23/12 Q

H 0 1 L 23/12 5 0 1 W