



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월15일
(11) 등록번호 10-2717096
(24) 등록일자 2024년10월08일

(51) 국제특허분류(Int. Cl.)
G06F 30/00 (2020.01) H01L 21/768 (2006.01)
(52) CPC특허분류
G06F 30/39 (2020.01)
G06F 30/392 (2020.01)
(21) 출원번호 10-2016-0100122
(22) 출원일자 2016년08월05일
심사청구일자 2021년06월17일
(65) 공개번호 10-2017-0094744
(43) 공개일자 2017년08월21일
(30) 우선권주장
1020160015820 2016년02월11일 대한민국(KR)
(56) 선행기술조사문헌
US20160147928 A1
JP평성07326670 A
KR101098920 B1
US20150021738 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
류성민
경기도 화성시 메타폴리스로 22, 301동 401호 (반송동, 동탄시범다은마을 롯데대동다숲캐슬아파트)
원효식
경기도 수원시 영통구 청명북로 81, 405동 1003호 (영통동, 청명마을주공아파트)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 9 항

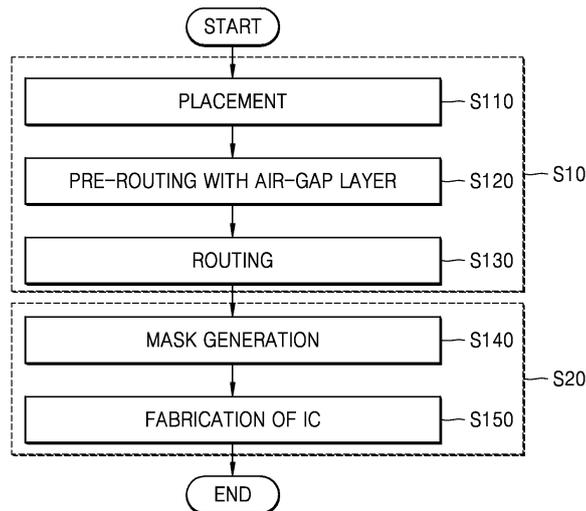
심사관 : 박승철

(54) 발명의 명칭 집적 회로 및 상기 집적 회로의 제조를 위한 컴퓨터 구현 방법

(57) 요약

본 개시의 기술적 사상에 따른 집적 회로를 제조하는 컴퓨터 구현 방법은 집적 회로를 정의하는 표준 셀들을 배치하고, 배치된 표준 셀들 내의 타이밍 패스들 중 타이밍 크리티컬 패스의 적어도 하나의 네트를, 에어갭 레이어로 프리 라우팅하며, 타이밍 패스들 중 넌-크리티컬 패스의 네트들을 라우팅하고, 프리 라우팅 및 라우팅에 따라 생성된 레이아웃을 기초로 집적 회로를 제조한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/7682 (2013.01)

G06F 2113/18 (2020.01)

명세서

청구범위

청구항 1

적어도 부분적으로 프로세서에 의해 수행되는, 집적 회로를 제조하는 컴퓨터 구현 방법으로서,

상기 집적 회로를 정의하는 표준 셀들을 배치하는 단계;

배치된 상기 표준 셀들 내의 타이밍 패스들 중 타이밍 크리티컬 패스(timing critical path)의 적어도 하나의 네트를, 에어갭 레이어(air-gap layer)로 프리 라우팅(pre-routing)하는 단계;

상기 타이밍 패스들 중 논-크리티컬 패스(non-critical path)의 네트들을 라우팅하는 단계; 및

상기 프리 라우팅 및 상기 라우팅에 따라 생성된 레이아웃을 기초로 상기 집적 회로를 제조하는 단계를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 라우팅하는 단계는, 상기 타이밍 크리티컬 패스의 복수의 네트들 중 상기 적어도 하나의 네트 이외의 네트들 및 상기 논-크리티컬 패스의 네트들을 라우팅하는 것을 특징으로 하는 방법.

청구항 3

제1항에 있어서,

상기 적어도 하나의 네트는, 제1 도전 패턴, 상기 제1 도전 패턴 상의 비아, 및 상기 비아 상의 제2 도전 패턴을 포함하고,

상기 에어갭 레이어는,

상기 제1 도전 패턴 및 상기 제1 도전 패턴에 인접한 적어도 하나의 제1 에어갭 패턴을 포함하는 제1 레이어; 및

상기 제2 도전 패턴 및 상기 제2 도전 패턴에 인접한 적어도 하나의 제2 에어갭 패턴을 포함하는 제2 레이어 중 적어도 하나를 포함하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서,

상기 제1 도전 패턴 및 상기 제1 에어갭 패턴들은 제1 방향을 따라 연장되고,

상기 제2 도전 패턴 및 상기 제2 에어갭 패턴들은 상기 제1 방향에 실질적으로 수직인 제2 방향을 따라 연장되는 것을 특징으로 하는 방법.

청구항 5

제3항에 있어서,

상기 제1 및 제2 도전 패턴들 및 상기 제1 및 제2 에어갭 패턴들은 동일 방향을 따라 연장되는 것을 특징으로 하는 방법.

청구항 6

제1항에 있어서,

상기 에어갭 레이어는 양방향 에어갭 레이어들로 구현되는 것을 특징으로 하는 방법.

청구항 7

제1항에 있어서,

상기 프리 라우팅하는 단계 이전에, 상기 배치된 표준 셀들에 대해 타이밍 분석을 수행함으로써, 상기 타이밍 패쓰들 중 상기 타이밍 크리티컬 패쓰를 선별하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 8

제7항에 있어서,

상기 타이밍 크리티컬 패쓰를 선별하는 단계는,

상기 배치된 표준 셀들에 대해 트라이얼(trial) 라우팅을 수행하는 단계;

상기 트라이얼 라우팅이 수행된 상기 표준 셀들에 대해 상기 타이밍 분석을 수행하는 단계;

상기 타이밍 분석의 결과에 따라 상기 타이밍 패쓰들 중 상기 타이밍 크리티컬 패쓰를 선별하는 단계; 및

상기 타이밍 크리티컬 패쓰에서 상기 적어도 하나의 네트를 선별하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9

제7항에 있어서,

상기 배치하는 단계 이후에, 그리고, 상기 선별하는 단계 이전에, 상기 배치된 복수의 셀들에 대해 클럭 트리 합성(Clock Tree Synthesis)을 수행하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 집적 회로에 관한 것이며, 더욱 상세하게는, 에어갭 레이어(air-gap layer)를 포함하는 집적 회로 및 상기 집적 회로의 제조를 위한 컴퓨터 구현 방법에 관한 것이다.

배경 기술

[0002] 반도체 공정 기술이 발전함에 따라 공정이 미세화가 가속화되고, 이에 따라, 도전 패턴들 사이의 간격이 감소하여 기생 커패시턴스가 증가할 수 있다. 이러한 기생 커패시턴스를 감소시키기 위하여, 도전 패턴들 사이에 에어갭 패턴을 배치하는 에어갭 기술이 활발하게 연구되고 있다. 공기는 유전 상수 값이 작으므로, 에어갭 패턴에 의해 기생 커패시턴스를 감소시킬 수 있고, 이에 따라, 반도체 칩의 동작 속도가 향상될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상은 저 비용으로 칩의 동작 속도를 향상시킬 수 있는 집적 회로 및 상기 집적 회로의 제조를 위한 컴퓨터 구현 방법을 제공한다.

과제의 해결 수단

[0004] 본 개시의 기술적 사상에 따른, 적어도 부분적으로 프로세서에 의해 수행되는, 집적 회로를 제조하는 컴퓨터 구현 방법은 상기 집적 회로를 정의하는 표준 셀들을 배치하는 단계, 배치된 상기 표준 셀들 내의 타이밍 패쓰들 중 타이밍 크리티컬 패쓰의 적어도 하나의 네트를, 에어갭 레이어로 프리 라우팅하는 단계, 상기 타이밍 패쓰들 중 논-크리티컬 패쓰의 네트들을 라우팅하는 단계, 및 상기 프리 라우팅 및 상기 라우팅에 따라 생성된 레이어아웃을 기초로 상기 집적 회로를 제조하는 단계를 포함한다.

[0005] 또한, 본 개시의 기술적 사상에 따른 집적 회로는, 제1 도전 패턴, 및 상기 제1 도전 패턴에 인접하고 제1 방향으로 연장된 제1 에어갭 패턴을 갖는 제1 에어갭 레이어, 상기 제1 도전 패턴 상에 배치되어, 상기 제1 도전 패턴과 전기적으로 연결된 제1 비아, 및 상기 제1 비아와 전기적으로 연결된 제2 도전 패턴, 및 상기 제2 도전 패턴에 인접하고 상기 제1 방향과 실질적으로 수직인 제2 방향으로 연장된 제2 에어갭 패턴을 갖는 제2 에어갭 레이어를 포함한다.

발명의 효과

[0006] 본 개시의 기술적 사상에 따르면, 배치된 표준 셀들 내의 타이밍 패스들 중 타이밍 크리티컬 패스의 적어도 하나의 선택된 네트를 에어갭 레이어로 프리 라우팅하고, 타이밍 패스들 중 논-크리티컬 패스들의 네트들을 라우팅함으로써, 저 비용으로 고 성능의 집적 회로를 구현할 수 있다. 이에 따라, 선택된 네트를 구성하는 도전 패턴들 사이의 기생 커패시턴스가 감소하여, 타이밍 크리티컬 패스의 전체 타이밍 딜레이가 감소할 수 있다. 따라서, 타이밍 크리티컬 패스는 타이밍 제약 조건을 만족할 수 있고, 집적 회로 및 이를 포함하는 칩의 동작 속도를 크게 향상시킬 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 개시의 일 실시예에 따른 집적 회로의 제조 방법을 나타내는 흐름도이다.
 도 2는 본 개시의 일 실시예에 따른 에어갭 레이어를 포함하는 집적 회로를 나타내는 단면도이다.
 도 3 및 도 4는 본 개시의 일부 실시예들에 따른 집적 회로 설계 시스템들을 나타낸다.
 도 5는 본 개시의 일 실시예에 따른 집적 회로의 설계 방법을 나타내는 흐름도이다.
 도 6은 본 개시의 일 실시예에 따른 집적 회로의 설계 방법을 나타내는 흐름도이다.
 도 7은 본 개시의 일 실시예에 따른 타이밍 분석 결과를 나타내는 그래프이다.
 도 8은 본 개시의 일 실시예에 따라 에어갭 레이어를 이용하여 라우팅된 배선 구조를 나타낸다.
 도 9a 내지 도 9c는 본 개시의 일 실시예에 따라 에어갭 레이어로 라우팅한 타이밍 크리티컬 패스 네트들을 각각 나타내는 사시도들이다.
 도 10은 본 개시의 일 실시예에 따라 일반 레이어를 이용하여 라우팅된 배선 구조를 나타낸다.
 도 11a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로를 나타내는 평면도이고, 도 11b는 도 11a의 집적 회로를 나타내는 사시도이다.
 도 12a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로를 나타내는 평면도이고, 도 12b는 도 12a의 집적 회로를 나타내는 사시도이다.
 도 13a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로를 나타내는 평면도이고, 도 13b는 도 13a의 집적 회로를 나타내는 사시도이다.
 도 14a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로를 나타내는 평면도이고, 도 14b는 도 14a의 집적 회로를 나타내는 사시도이며, 도 14c는 도 14a에 대한 비교예에 따른 집적 회로를 나타낸다.
 도 15a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로를 나타내는 평면도이고, 도 15b는 도 15a의 집적 회로를 나타내는 사시도이다.
 도 16은 본 개시의 일 실시예에 따른 집적 회로에 포함되는 표준 셀의 레이아웃이다.
 도 17은 본 개시의 일 실시예에 따른 저장 매체를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 첨부한 도면을 참조하여 본 개시의 실시 예에 대해 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이에 대한 중복된 설명은 생략한다.

[0009] 도 1은 본 개시의 일 실시예에 따른 집적 회로의 제조 방법을 나타내는 흐름도이다.

- [0010] 도 1을 참조하면, 본 실시예에 따른 집적 회로의 제조 방법은 집적 회로의 설계(S10) 및 집적 회로의 제조 공정(S20)으로 구분될 수 있다. 집적 회로의 설계(S10)는 단계 S110 내지 S130을 포함하고, 집적 회로에 대한 레이아웃을 디자인하는 단계로서, 집적 회로를 설계하기 위한 틀을 이용하여 수행될 수 있다. 이때, 집적 회로를 설계하기 위한 틀은 프로세서에 의해 수행되는 복수의 명령어들을 포함하는 프로그램일 수 있다. 이에 따라, 집적 회로의 설계(S10)는 집적 회로의 설계를 위한 컴퓨터 구현(computer implemented) 방법이라고 지칭할 수 있다. 한편, 집적 회로의 제조 공정(S20)은 디자인된 레이아웃을 기초로 집적 회로에 따른 반도체 장치를 제조하는 단계로서, 반도체 공정 모듈에서 수행될 수 있다.
- [0011] 집적 회로는 복수의 셀들로서 정의될 수 있고, 구체적으로, 복수의 셀들의 특성 정보를 포함하는 셀 라이브러리를 이용하여 설계될 수 있다. 셀 라이브러리에는 셀의 명칭, 치수, 게이트 폭, 핀(pin), 딜레이(delay) 특성, 누설 전류, 임계 전압, 기능 등이 정의될 수 있다. 본 개시의 실시예들에서, 셀 라이브러리는 표준 셀 라이브러리일 수 있다. 표준 셀 라이브러리는 복수의 표준 셀들의 레이아웃 정보 및 타이밍 정보 등과 같은 정보를 포함할 수 있고, 컴퓨터로 읽을 수 있는 저장매체에 저장될 수 있다.
- [0012] 단계 S110에서, 집적 회로를 정의하는 표준 셀들을 배치한다. 예를 들어, 단계 S110은 배치 및 배선(placement and routing, 이하 'P&R') 틀을 이용하여 프로세서에 의해 수행될 수 있다. 먼저, 집적 회로를 정의하는 입력 데이터를 수신한다. 여기서, 입력 데이터는 집적 회로의 동작(behavior)에 대한 추상적 형태, 예컨대 RTL(Register Transfer Level)에서 정의된 데이터로부터, 표준 셀 라이브러리를 이용하여 합성(synthesis)에 의해서 생성된 데이터일 수 있다. 예를 들면, 입력 데이터는 VHDL(VHSIC Hardware Description Language) 및 Verilog와 같은 HDL(Hardware Description Language)로서 정의된 집적 회로가 합성됨으로써 생성된 비트스트림(bitstream) 또는 넷리스트(netlist)일 수 있다. 이어서, 표준 셀 라이브러리를 저장하는 저장 매체를 액세스하고, 표준 셀 라이브러리에 저장된 복수의 표준 셀들 중 입력 데이터에 따라 선택된 표준 셀들을 배치한다.
- [0013] 단계 S120에서, 배치된 표준 셀들에서 선택된 넷(net)를 에어갭 레이어(air-gap layer)로 프리 라우팅(pre-routing)한다. 단계 S130에서, 배치된 표준 셀들에서 비 선택된 넷들을 라우팅한다. 본 명세서에서, 에어갭 레이어는 에어갭 또는 에어갭 패턴을 포함하는 레이어를 지칭한다. 구체적으로, 배치된 표준 셀들에 포함된 복수의 넷들 중 적어도 하나의 넷을 선택하고, 선택된 적어도 하나의 넷을 에어갭 레이어로 할당할 수 있다. 본 실시예에서, 적어도 하나의 넷은 타이밍 크리티컬 패스(timing critical path)의 일 넷에 대응할 수 있다.
- [0014] 본 명세서에서, 넷은 집적 회로의 등가 회로도에서 등전위를 나타낸다. 하나의 넷은 집적 회로의 레이아웃에서 하나의 상호연결(interconnection)에 대응할 수 있고, 하나의 상호연결은 서로 전기적으로 연결된 복수의 배선층들 및 비아들을 포함하는 배선 구조에 대응할 수 있다. 각 배선층은 복수의 도전 패턴들을 포함할 수 있고, 상이한 레벨의 배선층들에 형성된 도전 패턴들은, 전도성 물질로 구성된 비아를 통해서 서로 전기적으로 연결될 수 있다. 배선층은 전도성 물질로서 금속을 포함하는 것으로 설명될 수 있고, 금속층으로 지칭될 수 있다. 그러나, 본 개시의 일부 실시예들에서, 배선층들은 금속이 아닌 전도성 물질을 포함할 수도 있다.
- [0015] 일 실시예에서, 넷은 제1 배선층에 포함된 제1 도전 패턴, 제2 배선층에 포함된 제2 도전 패턴, 및 제1 도전 패턴과 제2 도전 패턴 사이에 전기적으로 연결된 비아를 포함할 수 있고, 제1 배선층과 제2 배선층은 서로 다른 레벨에 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 넷은 동일 배선층에 포함된 도전 패턴들을 포함할 수도 있다. 또한, 일부 실시예들에서, 넷은 제1 배선층에 포함된 복수의 제1 도전 패턴들 및 제2 배선층에 포함된 복수의 제2 도전 패턴들을 포함할 수도 있다.
- [0016] 본 실시예에 따르면, 선택된 넷을 구성하는 도전 패턴에 인접하게 에어갭 패턴을 배치함으로써, 선택된 넷을 에어갭 레이어로 프리 라우팅할 수 있다. 본 실시예에서, 에어갭 레이어는 양방향(bi-directional) 에어갭 레이어로 구현될 수 있다. 구체적으로, 에어갭 레이어에 포함된 에어갭 패턴은 제1 방향으로 연장되거나 또는 제1 방향과 실질적으로 수직인 제2 방향으로 연장될 수 있다. 이하에서는 도 2를 참조하여 에어갭 레이어에 대해 상술하기로 한다.
- [0017] 도 2는 본 개시의 일 실시예에 따른 에어갭 레이어를 포함하는 집적 회로(IC)를 나타내는 단면도이다.
- [0018] 도 2를 참조하면, 집적 회로(IC)는 제1 내지 제3 배선층들(M1, M2, M3), 제1 및 제2 절연층들(ILD1, ILD2) 및 제1 및 제2 배리어 층들(BM1, BM2)을 포함할 수 있다. 예를 들어, 집적 회로(IC)는 도 1의 단계 S10에 따라 설계될 수 있고, 단계 S20에 따라 제조될 수 있다.
- [0019] 제1 배선층(M1)은 X 방향으로 연장되고, 제1 배리어 층(BM1)은 제1 배선층(M1) 상에 배치되는 복수의 배리어 층

들을 포함할 수 있으며, 제1 절연층(ILD1)은 제1 배리어 층(BM1) 상에 배치될 수 있다. 제2 배선층(M2)은 제1 절연층(ILD1) 상에 배치되고 Y 방향으로 연장되며, 제2 배리어 층(BM2)은 제2 배선층(M2) 상에 배치되는 복수의 배리어 층들을 포함할 수 있고, 제2 절연층(ILD2)은 제2 배리어 층(BM2) 상에 배치될 수 있다. 제1 및 제2 절연층들(ILD1, ILD2)은 층간 유전체(Inter Layer Dielectric)이라고 지칭할 수 있다. 제3 배선층(M3)은 제2 절연층(ILD2) 상에 배치되고, X 방향으로 연장된다.

[0020] 일 실시예에서, 제2 배선층(M2)은 에어갭 패턴(AGP)을 포함한 에어갭 레이어(AGL)로 할당될 수 있고, 제1 및 제3 배선층들(M1, M3)은 에어갭 패턴(AGP)을 포함하지 않는 일반 레이어들로 할당될 수 있다. 일 실시예에서, 제2 배선층(M2)은 에어갭 레이어(AGL)로 프리 라우팅하고, 제1 및 제3 배선층들(M1, M3)은 일반 레이어로 라우팅할 수 있다. 이와 같이, 제1 내지 제3 배선층들(M1, M2, M3)을 2 단계 배선 기법으로 라우팅할 수 있다.

[0021] 본 실시예에 따르면, 제2 배선층(M2)은 Y 방향으로 연장된 도전 패턴들(CPT) 및 도전 패턴들(CPT) 사이의 에어갭 패턴들(AGP)을 포함할 수 있다. 이때, 도전 패턴들(CPT) 사이의 IMD(Inter Metal Dielectric) 물질을, 공기로 대체함으로써 에어갭 패턴(AGP)을 생성할 수 있다. 공기는 유전 상수가 1로 낮으므로, 에어갭 패턴(AGP)은 도전 패턴들(CPT) 사이의 기생 커패시턴스를 감소시킬 수 있고, 이에 따라, 집적 회로(IC)를 포함하는 칩의 동작 속도를 향상시킬 수 있다. 그러나, 에어갭 패턴(AGP)을 생성하기 위해서는 마스크 비용 등의 공정 비용이 증가하게 되므로, 집적 회로(IC)에 포함되는 제1 내지 제3 배선층들(M1, M2, M3)을 모두 에어갭 레이어들로 구현할 경우, 칩의 제조 비용이 크게 증가하게 된다.

[0022] 본 실시예에 따르면, 집적 회로(IC)에 포함된 전체 레이어, 즉, 제1 내지 제3 배선층들(M1, M2, M3)을 에어갭 레이어들로 구현하지 않고, 타이밍 크리티컬 패스의 네트에 대응하는 일부 레이어, 예를 들어, 제2 배선층(M2)만 에어갭 레이어로 구현할 수 있다. 이에 따라, 저 비용으로 집적 회로(IC)의 성능 향상을 극대화시킬 수 있고, 구체적으로, 전체 레이어를 에어갭 레이어들로 구현한 집적 회로와 동등한 수준으로 집적 회로(IC)가 구현된 칩의 동작 속도를 향상시킬 수 있다.

[0023] 다시 도 1을 참조하면, 단계 S130 이후, 집적 회로를 정의하는 출력 데이터를 반도체 공정 모듈에 제공할 수 있다. 여기서, 출력 데이터는 표준 셀들의 모든 레이아웃 정보, 즉, 모든 레이어들에서 패턴 정보를 포함하는 형식, 예를 들어, GDS(Graphic Design System)II 형식을 가질 수 있다. 또는, 출력 데이터는 표준 셀의 핀과 같이 표준 셀의 외부 정보를 포함하는 형식, 예컨대 LEF 형식 또는 Milkyway 형식을 가질 수도 있다.

[0024] 상술한 바와 같이, 본 실시예에 따르면, 배치된 표준 셀들에 대해 2 단계 배선 기법을 적용하여 라우팅을 수행할 수 있다. 다시 말해, 배치된 표준 셀들에 대한 라우팅은 S120과 같은 제1 라우팅 단계 및 S130과 같은 제2 라우팅 단계를 포함할 수 있다. 구체적으로, 배치된 표준 셀들 내의 타이밍 패스들 중 타이밍 크리티컬 패스의 적어도 하나의 네트를 에어갭 레이어로 할당하고, 나머지 네트들은 일반 레이어로 할당할 수 있다. 따라서, 적은 수의 에어갭 레이어를 이용하여 고 성능의 집적 회로를 제조할 수 있다.

[0025] 집적 회로의 설계(S10)는 상술한 단계 S110 내지 S130을 포함할 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 표준 셀 라이브러리의 생성, 표준 셀 라이브러리의 수정, 레이아웃의 검증 등과 같은 일반적인 집적 회로의 설계 방법에 따른 다양한 단계들을 더 포함할 수 있다. 또한, 단계 S110 내지 S130은 집적 회로의 설계 과정 중 백엔드(back-end) 설계 과정에 대응할 수 있고, 단계 S110 이전에 프론트 엔드(front-end) 설계 과정이 수행될 수 있다. 프론트 엔드 설계 과정은 설계 사양의 결정, 행위 수준 모델링 및 검증, RTL 설계, 기능 검증, 논리 합성, 게이트 수준의 검증(또는 프리-레이아웃 시뮬레이션) 등을 포함할 수 있다.

[0026] 단계 S140에서, 레이아웃을 기초로 마스크를 생성한다. 구체적으로, 먼저 레이아웃을 기초로 OPC(Optical Proximity Correction)를 수행할 수 있는데, OPC는 광 근접 효과에 따른 오차를 반영하여 레이아웃을 변경하는 공정을 말한다. 이어서, OPC 수행 결과에 따라 변경된 레이아웃에 따라 마스크를 제조할 수 있다. 이때, OPC를 반영한 레이아웃, 예컨대, OPC가 반영된 GDS를 이용하여 마스크를 제조할 수 있다.

[0027] 단계 S150에서, 마스크를 이용하여 집적 회로를 제조한다. 구체적으로, 마스크를 이용하여 웨이퍼 등과 같은 반도체 기판 상에 다양한 반도체 공정을 진행하여 집적 회로가 구현된 반도체 장치를 형성한다. 예를 들어, 마스크를 이용하는 공정은 리소그래피(lithography) 공정을 통한 패터닝 공정을 의미할 수 있다. 이러한 패터닝 공정을 통해 반도체 기판이나 물질층 상에 원하는 패턴을 형성할 수 있다. 한편, 반도체 공정은 증착 공정, 식각 공정, 이온 공정, 세정 공정 등을 포함할 수 있다. 또한, 반도체 공정은 반도체 소자를 PCB 상에 실장하고 밀봉재로 밀봉하는 패키징 공정을 포함할 수도 있고, 반도체 소자나 패키지에 대해 테스트를 하는 테스트 공정을 포함할 수도 있다.

- [0028] 도 3은 본 개시의 일 실시예에 따른 집적 회로 설계 시스템(10)을 나타낸다.
- [0029] 도 3을 참조하면, 집적 회로 설계 시스템(10)은 프로세서(11), 워킹 메모리(13), 입출력 장치(15), 저장 장치(17) 및 버스(19)를 포함할 수 있다. 집적 회로 설계 시스템(10)은 도 1의 집적 회로 설계 단계(S10)을 수행할 수 있다. 본 실시예에서, 집적 회로 설계 시스템(10)은 일체화된 디바이스로 구현될 수 있고, 이에 따라, 집적 회로 설계 장치라고 지칭할 수도 있다. 집적 회로 설계 시스템(10)은 반도체 장치의 집적 회로를 설계하기 위한 전용 장치로 제공될 수도 있지만, 다양한 시뮬레이션 툴이나 설계 툴들을 구동하기 위한 컴퓨터일 수도 있다.
- [0030] 프로세서(11)는 집적 회로를 설계하기 위한 다양한 동작 중 적어도 하나를 수행하는 명령어들을 실행하도록 구성될 수 있다. 프로세서(11)는 버스(19)를 통해 워킹 메모리(13), 입출력 장치(15) 및 저장 장치(17)와 통신을 수행할 수 있다. 프로세서(11)는 워킹 메모리(13)에 로딩된 P&R 모듈(13a) 및 타이밍 분석 모듈(13b)을 구동함으로써, 집적 회로의 설계 동작을 실행할 수 있다.
- [0031] 워킹 메모리(13)는 P&R 모듈(13a) 및 타이밍 분석 모듈(13b)을 저장할 수 있다. P&R 모듈(13a) 및 타이밍 분석 모듈(13b)은 저장 장치(17)로부터 워킹 메모리(13)로 로딩될 수 있다. 워킹 메모리(13)는 SRAM(Static Random Access Memory)이나 DRAM(Dynamic Random Access Memory)과 같은 휘발성 메모리이거나, PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등의 비휘발성 메모리일 수 있다.
- [0032] P&R 모듈(13a)은 예를 들어, 도 1의 단계 S110에 따른 배치 동작 및 단계 S120 및 S130에 따른 배선 동작을 수행하기 위한 복수의 명령어들을 포함하는 프로그램일 수 있다. 타이밍 분석 모듈(13b)은 배치된 표준 셀들 내의 모든 타이밍 패스들에 대해 타이밍 분석을 수행하여, 타이밍 제약 조건(timing constraints)의 만족 여부를 판단할 수 있다. 예를 들어, 타이밍 분석 모듈(13b)은 STA(Static Timing Analysis) 툴일 수 있다.
- [0033] 입출력 장치(15)는 사용자 인터페이스 장치들로부터의 사용자 입력 및 출력을 제어할 수 있다. 예를 들어, 입출력 장치(15)는 키보드, 마우스, 터치패드 등과 같은 입력 장치를 구비하여, 집적 회로를 정의하는 입력 데이터를 입력 받을 수 있다. 예를 들어, 입출력 장치(15)는 디스플레이, 스피커 등과 같은 출력 장치를 구비하여, 배치 결과, 배선 결과 또는 타이밍 분석 결과 등을 표시할 수 있다.
- [0034] 저장 장치(17)는 P&R 모듈(13a) 및 타이밍 분석 모듈(13b)과 관련된 각종 데이터를 저장할 수 있다. 저장 장치(17)는 메모리 카드(MMC, eMMC, SD, MicroSD 등), 솔리드 스테이트 드라이브(solid state drive), 하드 디스크 드라이브(hard disk drive) 등을 포함할 수 있다.
- [0035] 도 4는 본 개시의 일 실시예에 따른 집적 회로 설계 시스템(20)을 나타낸다.
- [0036] 도 4를 참조하면, 집적 회로 설계 시스템(20)은 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23)를 포함할 수 있다. 집적 회로 설계 시스템(20)은 도 1의 집적 회로 설계 단계(S10)을 수행할 수 있다. 본 실시예에서, 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23) 중 적어도 하나는 별개의 디바이스일 수 있고, 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23)는 유무선 통신 또는 네트워크를 통해 연결될 수 있다. 일 실시예에서, 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23) 중 적어도 하나는 서로 이격되어 위치할 수 있다.
- [0037] 사용자 장치(21)는 프로세서(21a) 및 사용자 인터페이스(User Interface, UI)(21b)를 포함할 수 다. 사용자 인터페이스(21a)를 통해 입력되는 사용자 입력에 따라, 프로세서(21a)는 집적 회로 설계 플랫폼(22)을 구동할 수 있다. 집적 회로 설계 플랫폼(22)은 집적 회로의 설계를 위한 컴퓨터로 독출 가능한 명령어의 세트로서, P&R 모듈(22a) 및 타이밍 분석 모듈(22b)을 포함할 수 있다. 저장 장치(23)는 셀 라이브러리 데이터베이스(database, 이하 'DB')(23a) 및 레이아웃 DB(23b)를 포함할 수 있다. 셀 라이브러리 DB(23a)는 집적 회로의 레이아웃을 생성하기 위해 필요한 셀에 대한 정보를 저장하고, 레이아웃 DB(23b)는 P&R 모듈(22a)에서 생성된 레이아웃에 대한 정보, 구체적으로, 레이아웃에 대한 물리적 정보를 저장할 수 있다.
- [0038] 도 5는 본 개시의 일 실시예에 따른 집적 회로의 설계 방법(S10A)을 나타내는 흐름도이다.
- [0039] 도 5를 참조하면, 본 실시예에 따른 집적 회로 설계 방법(S10A)은 도 1의 집적 회로 설계 방법(S10)의 일 구현 예에 대응할 수 있다. 본 실시예에 따른 집적 회로 설계 방법(S10A)은 예를 들어, 도 3의 집적 회로 설계 시스템(10)에서 프로세서(11)에 의해 또는 도 4의 집적 회로 설계 시스템(20)에서 프로세서(21a)에 의해 수행될 수 있다. 따라서, 도 1 내지 도 4를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0040] 단계 S210에서, 플로어 플랜(floorplan)을 수행한다. 여기서, 플로어 플랜은 배치 계획 단계로서, 표준 셀들과 매크로 셀들을 어떻게 배치/배선할 것인지 대략적으로 계획하는 작업을 지칭한다. 구체적으로, 플로어 플랜은

전체 칩에서 I/O 패드들, 표준 셀들, RAM 등을 배치하는 단계이다.

- [0041] 단계 S220에서, 집적 회로를 정의하는 표준 셀들을 배치한다. 이후에, 포스트-배치 최적화(post-placement optimization)이 수행될 수도 있다. 단계 S230에서, 클럭 트리 합성을 수행한다. 여기서, 클럭 트리 합성은 회로의 레이아웃 생성 시, 자동으로 클럭 네트워크를 구성하고, 적절한 위치에 버퍼를 삽입하는 작업을 지칭한다. 단계 S220 및 S230에 의해, 표준 셀들을 배치하고, 클럭 트리 합성을 수행하면, 표준 셀들의 배치가 완료된 것으로 볼 수 있다.
- [0042] 단계 S240에서, 에어갭 레이어들을 선정한다. 일 실시예에서, 배치된 표준 셀들에 포함된 복수의 타이밍 패쓰들 중 타이밍 크리티컬 패쓰를 선별하고, 타이밍 크리티컬 패쓰를 에어갭 레이어로 할당할 수 있다. 단계 S250에서, 타이밍 크리티컬 패쓰 상의 네트들(이하 '타이밍 크리티컬 패쓰 네트들')을 선정한다. 일 실시예에서, 타이밍 크리티컬 패쓰의 일부 범위(range)에 포함된 네트들을 타이밍 크리티컬 패쓰 네트들로 선정할 수 있다.
- [0043] 단계 S260에서, 에어갭 레이어들에 높은 우선 순위를 두고 타이밍 크리티컬 패쓰 네트들을 프리 라우팅한다. 단계 S270에서, 배치된 표준 셀들 내의 타이밍 패쓰들 중 난-크리티컬 패쓰의 네트들을 라우팅한다. 이와 같이, 본 실시예에 따르면, 집적 회로 설계 방법(S10A)는 2 단계 배선 기법을 적용함으로써, 적은 수의 에어갭 레이어들을 이용하여 고성능의 집적 회로를 구현할 수 있다.
- [0044] 도 6은 본 개시의 일 실시예에 따른 집적 회로의 설계 방법(S10B)을 나타내는 흐름도이다.
- [0045] 도 6을 참조하면, 본 실시예에 따른 집적 회로 설계 방법(S10B)은 도 5의 집적 회로 설계 방법(S10A)의 일 구현예에 대응할 수 있다. 본 실시예에 따른 집적 회로 설계 방법(S10B)은 예를 들어, 도 3의 집적 회로 설계 시스템(10)에서 프로세서(11)에 의해 또는 도 4의 집적 회로 설계 시스템(20)에서 프로세서(21a)에 의해 수행될 수 있다. 따라서, 도 1 내지 도 4를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0046] 단계 S310에서, 집적 회로를 정의하는 복수의 표준 셀들을 배치한다. 구체적으로, 단계 S310은 P&R 툴(예를 들어, 도 3의 13a 또는 도 4의 22a)을 이용하여 수행될 수 있다. 일 실시예에서, 단계 S310은 도 5의 단계 S220에 대응할 수 있다. 또한, 일 실시예에서, 단계 S310은 도 5의 단계 S220 및 S230에 대응할 수도 있다.
- [0047] 단계 S320에서, 배치된 표준 셀들에 대해 트라이얼 라우팅(trial routing)을 수행한다. 여기서, 트라이얼 라우팅은 타이밍 크리티컬 패쓰를 선별하기 위한 라우팅을 지칭한다. 단계 S330에서, 타이밍 분석을 수행한다. 구체적으로, 배치된 표준 셀들 내의 다수의 타이밍 패쓰들 중 타이밍 크리티컬 패쓰를 선별하기 위해 타이밍 분석을 수행할 수 있고, 타이밍 분석 결과 분석 데이터를 제공할 수 있다.
- [0048] 여기서, 타이밍 패쓰는 데이터 패쓰, 클럭 패쓰, 클럭 게이팅 패쓰 및 비동기 패쓰로 구분될 수 있고, 각 타이밍 패쓰는 시작 지점(start point)과 종료 지점(end point)을 갖는다. 구체적으로, 타이밍 패쓰는 입력 패드와 출력 패드 사이, 입력 패드와 플립플롭의 데이터 입력 사이, 플립플롭의 데이터 출력과 다른 플립플롭의 데이터 입력 사이, 그리고 플립플롭의 데이터 출력과 출력 패드 사이와 같은, 집적 회로의 부분들 사이의 조합적인 로직 및 인터커넥트를 지칭할 수 있다. 타이밍 패쓰를 통한 딜레이는 집적 회로의 중요한 매개 변수인데, 왜냐하면 집적 회로의 동작 속도는 타이밍 패쓰를 통한 딜레이에 따라 결정될 수 있기 때문이다.
- [0049] 여기서, 타이밍 크리티컬 패쓰는 입력(즉, 시작 지점)에서 출력(즉, 종료 지점)까지의 전체 타이밍 딜레이가 타이밍 요구 조건(timing constraints)을 초과하는 타이밍 패쓰를 지칭할 수 있다. 일 실시예에서, 타이밍 크리티컬 패쓰는 최대 딜레이를 갖는 타이밍 패쓰를 지칭할 수 있다. 이하에서는, 도 7을 참조하여 타이밍 분석에 대해 더욱 상세하게 설명하기로 한다.
- [0050] 도 7은 본 개시의 일 실시예에 따른 타이밍 분석 결과를 나타내는 그래프이다.
- [0051] 도 7을 참조하면, 가로축은 슬랙(slack)을 나타내고, 세로축은 타이밍 패쓰들의 개수를 나타낸다. 여기서, 슬랙은 타이밍 요구 조건에 따른 원하는(required) 시간과 실제 도착(arrive) 시간 사이의 차이를 나타내며, 타이밍 분석기 또는 타이밍 분석 모듈(예를 들어, 도 3의 13b 또는 도 4의 22b)을 이용하여 측정될 수 있다. 구체적으로, 포지티브 슬랙은 타이밍 요구 조건을 만족해서 타이밍 위반(violation)이 없는 것이고, 반면 네거티브 슬랙은 타이밍 요구 조건을 만족하지 못해서 타이밍 위반이 발생한 것을 나타낸다. 따라서, 도 7에서 네거티브 슬랙에 해당하는 타이밍 패쓰들을 타이밍 크리티컬 패쓰(TCP)에 대응할 수 있다.
- [0052] 다시 도 6를 참조하면, 단계 S340에서, 타이밍 크리티컬 패쓰의 네트들을 선택한다. 구체적으로, 단계 S330에서 획득한 분석 데이터를, S310에서 배치된 표준 셀들에, 즉, 단계 S320의 트라이얼 라우팅이 수행되기 전의 상태

에 적용함으로써, 타이밍 크리티컬 패스에 포함된 복수의 네트들 중 적어도 하나의 네트를 선택할 수 있다. 예를 들어, 타이밍 크리티컬 패스의 특정 범위에 대응하는 네트들을 선택할 수 있다.

- [0053] 단계 S350에서, 선택된 네트들을 에어갭 레이어로 라우팅한다. 일 실시예에서, 선택된 네트는 제1 배선층에 포함된 제1 도선 패턴, 제1 도선 패턴에 전기적으로 연결된 비아, 및 제2 배선층에 포함되고 비아에 전기적으로 연결된 제2 도선 패턴에 대응할 수 있다. 일 실시예에서, 제1 도선 패턴의 양 옆에 에어갭 패턴들을 배치하고, 제2 도선 패턴의 양 옆에 에어갭 패턴들을 배치함으로써, 선택된 네트를 두 개의 에어갭 레이어들로 라우팅할 수 있다. 이하에서는 도 8 및 도 9a 내지 도 9c을 참조하여 단계 S350에 대해 더욱 상세하게 설명하기로 한다.
- [0054] 도 8은 본 개시의 일 실시예에 따라 에어갭 레이어(AGL)를 이용하여 라우팅된 배선 구조(81)를 나타낸다.
- [0055] 도 8을 참조하면, 배선 구조(81)는 타이밍 크리티컬 패스에 대응되고, 배선 구조(81)의 일부 영역에 해당하는 제5 및 제6 배선층들(M5, M6)만 에어갭 레이어(AGL)로 라우팅될 수 있다. 여기서, 제5 및 제6 배선층들(M5, M6)은 타이밍 크리티컬 패스의 선택된 네트에 대응할 수 있다. 제1 배선층(M1)은 제1 및 제2 핀들(P1, P2)을 포함할 수 있고, 예를 들어, 제1 및 제2 핀들(P1, P2)은 타이밍 크리티컬 패스의 입력 핀(또는 시작 지점) 및 출력 핀(또는 종료 지점)에 각각 대응할 수 있다.
- [0056] 타이밍 크리티컬 패스는 배치된 표준 셀들 내의 타이밍 패스들 중 타이밍 제약 조건을 만족하지 않는 타이밍 패스이다. 따라서, 타이밍 크리티컬 패스에서 도선 패턴들 사이의 기생 커패시턴스는 집적 회로 및 이를 포함하는 칩의 성능, 구체적으로, 동작 속도에 큰 영향을 미칠 수 있다. 본 실시예에 따르면, 타이밍 크리티컬 패스에 포함된 네트는 에어갭 레이어로 프리 라우팅하고, 구체적으로, 타이밍 크리티컬 패스에 포함된 네트를 구성하는 배선층의 양 옆에는 에어갭 패턴을 배치할 수 있다.
- [0057] 본 실시예에 따르면, 타이밍 크리티컬 패스의 선택된 네트는 에어갭 레이어로 프리 라우팅함으로써, 타이밍 크리티컬 패스의 선택된 네트를 구성하는 도선 패턴들 사이의 기생 커패시턴스가 감소될 수 있다. 따라서, 타이밍 크리티컬 패스의 전체 타이밍 딜레이가 감소함으로써, 타이밍 크리티컬 패스는 타이밍 제약 조건을 만족할 수 있다. 그러므로, 집적 회로 및 이를 포함하는 칩의 동작 속도를 크게 향상시킬 수 있다.
- [0058] 도 9a 내지 도 9c는 본 개시의 일 실시예에 따라 에어갭 레이어로 라우팅한 타이밍 크리티컬 패스 네트들을 각각 나타내는 사시도들이다. 예를 들어, 도 9a 내지 도 9c에 예시된 타이밍 크리티컬 패스 네트들은 도 8의 제5 및 제6 배선층들(M5, M6)에 대응할 수 있다.
- [0059] 도 9a를 참조하면, 타이밍 크리티컬 패스 네트(100)는 제1 연결 지점(connection point)(CP1)과 제2 연결 지점(CP2)을 연결하는 네트일 수 있다. 타이밍 크리티컬 패스 네트(100)는 제1 연결 지점(CP1)에 전기적으로 연결된 제5 배선층(M5), 제5 배선층(M5) 상에 배치되어 제5 배선층(M5)과 전기적으로 연결된 비아(V5), 비아(V5) 상에 배치되어 비아(V5)와 전기적으로 연결된 제6 배선층(M6)을 포함할 수 있다. 이때, 제5 배선층(M5)은 Y 방향으로 연장되고, 제6 배선층(M6)은 X 방향으로 연장되며, X 방향과 Y 방향은 실질적으로 서로 수직일 수 있다. 예를 들어, 제5 및 제6 배선층들(M5, M6)은 각각 도 8의 제5 및 제6 배선층들(M5, M6)에 대응할 수 있다.
- [0060] 본 실시예에서, 제5 및 제6 배선층들(M5, M6)은 모두 에어갭 레이어들로 구현될 수 있다. 구체적으로, 제5 배선층(M5)의 양 옆에 에어갭 패턴들(AGP1, AGP1')이 배치되고, 제6 배선층(M6)의 양 옆에 에어갭 패턴들(AGP2, AGP2')이 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제5 배선층(M5)의 일 측에만 에어갭 패턴이 배치되고, 제5 배선층(M5)의 타 측에는 일반 유전 물질로 이루어진 IMD가 배치될 수도 있다. 마찬가지로, 제6 배선층(M6)의 일 측에만 에어갭 패턴이 배치되고, 제6 배선층(M6)의 타 측에는 일반 유전 물질로 이루어진 IMD가 배치될 수도 있다.
- [0061] 본 실시예에서, 에어갭 패턴들(AGP1, AGP1')은 Y 방향으로 연장되고, 에어갭 패턴들(AGP2, AGP2')은 X 방향으로 연장될 수 있다. 본 실시예에 따르면, 크리티컬 패스 네트(100)는 양방향 에어갭 레이어로 구현될 수 있다. 따라서, Z 방향으로 인접한, 연속하는(consecutive) 두 개의 배선층들인 제5 및 제6 배선층들(M5, M6)을 모두 에어갭 레이어들로 구현할 수 있다. 이와 같이, 양방향 에어갭 레이어를 이용함으로써, 크리티컬 패스 네트(100)의 제1 및 제2 연결 지점들(CP1, CP2)의 위치와 무관하게 에어갭 볼륨(volume)이 거의 100%에 가까운 최대가 되어, 집적 회로의 성능 이득이 최대가 된다.
- [0062] 도 9b를 참조하면, 타이밍 크리티컬 패스 네트(100a)는 도 9a의 변형 예로서, 타이밍 크리티컬 패스 네트(100a)는 제5 배선층(M5), 비아(V5) 및 제6 배선층(M6)을 포함할 수 있다. 본 실시예에서, 제5 및 제6 배선층들(M5, M6) 중 제5 배선층(M5)만 에어갭 레이어로 구현될 수 있다. 구체적으로, 제5 배선층(M5)의 양 옆에 에어갭 패턴들(AGP1, AGP1')이 배치되고, 제6 배선층(M6)의 양 옆에는 일반 유전 물질로 이루어진 IMD가 배치될 수 있다.

그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제5 배선층(M5)의 일 측에만 에어갭 패턴이 배치되고, 제5 배선층(M5)의 타 측에는 일반 유전 물질로 이루어진 IMD가 배치될 수도 있다.

[0063] 도 9c를 참조하면, 타이밍 크리티컬 패스 넷(100b)는 도 9a의 변형 예로서, 타이밍 크리티컬 패스 넷(100b)는 제5 배선층(M5), 비아(V5) 및 제6 배선층(M6)을 포함할 수 있다. 본 실시예에서, 제5 및 제6 배선층들(M5, M6) 중 제6 배선층(M6)만 에어갭 레이어로 구현될 수 있다. 구체적으로, 제6 배선층(M6)의 양 옆에 에어갭 패턴들(AGP2, AGP2')이 배치되고, 제5 배선층(M5)의 양 옆에는 일반 유전 물질로 이루어진 IMD가 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제6 배선층(M6)의 일 측에만 에어갭 패턴이 배치되고, 제6 배선층(M6)의 타 측에는 일반 유전 물질로 이루어진 IMD가 배치될 수도 있다.

[0064] 도 9a 내지 도 9c를 참조하여 상술한 바와 같이, 선택된 넷에 대한 프리 라우팅은 다양하게 수행될 수 있다. 예를 들어, 타이밍 분석 결과를 기초로 슬랙의 크기가 어느 정도인지에 따라 에어갭 레이어들의 개수 및/또는 에어갭 패턴들의 개수를 가변적으로 결정할 수 있다. 또한, 타이밍 제약 조건들뿐 아니라, 파워 제약 조건들 또는 면적 제약 조건들 등과 같은 다른 제약 조건들을 더 고려하여 에어갭 레이어들의 개수 및/또는 에어갭 패턴들의 개수를 가변적으로 결정할 수 있다.

[0065] 다시 도 7을 참조하면, 단계 S360에서, 비선택된 넷들을 라우팅한다. 일 실시예에서, 비선택된 넷들은 표준 셀들 내의 타이밍 패스들 중 넌-크리티컬 패스들에 포함된 넷들을 포함할 수 있다. 일 실시예에서, 비선택된 넷들은 타이밍 크리티컬 패스에 포함된 넷들 중 단계 S340에서 선택된 넷들 이외의 넷들을 더 포함할 수 있다.

[0066] 일 실시예에서, 비선택된 넷는 제1 배선층에 포함된 제1 도전 패턴, 제1 도전 패턴에 전기적으로 연결된 비아, 및 제2 배선층에 포함되고 비아에 전기적으로 연결된 제2 도전 패턴에 대응할 수 있고, 이때, 제1 및 제2 도전 패턴들 각각의 양 옆에 에어갭 패턴들 대신 일반 유전 물질을 배치함으로써, 비선택된 넷를 라우팅할 수 있다. 이하에서는 도 10을 참조하여 단계 S360에 대해 더욱 상세하게 설명하기로 한다.

[0067] 도 10은 본 개시의 일 실시예에 따라 일반 레이어를 이용하여 라우팅된 배선 구조(101)를 나타낸다.

[0068] 도 10을 참조하면, 배선 구조(101)는 넌-크리티컬 패스에 대응되고, 배선 구조(101)에 포함되는 제1 내지 제6 배선층들(M1 내지 M6)은 일반 레이어로 라우팅될 수 있다. 제1 배선층(M1)은 제1 및 제2 핀들(P1, P2)을 포함할 수 있고, 예를 들어, 제1 및 제2 핀들(P1, P2)은 넌-크리티컬 패스의 입력 핀(또는 시작 지점) 및 출력 핀(또는 종료 지점)에 각각 대응할 수 있다.

[0069] 넌-크리티컬 패스는 배치된 표준 셀들 내의 타이밍 패스들 중 타이밍 제약 조건을 만족하는 타이밍 패스이다. 따라서, 넌-크리티컬 패스에서 도전 패턴들 사이의 기생 커패시턴스는 집적 회로 및 이를 포함하는 칩의 성능, 구체적으로, 동작 속도에 큰 영향을 미치지 않을 수 있다. 그러므로, 본 실시예에 따르면, 넌-크리티컬 패스에 포함된 넷들은 일반 레이어로 라우팅하고, 구체적으로, 넌-크리티컬 패스에 포함된 넷들을 구성하는 배선층의 양 옆에는 일반 유전 물질을 포함하는 IMD를 배치할 수 있다.

[0070] 본 실시예에 따르면, 넌-크리티컬 패스의 넷들 및 타이밍 크리티컬 패스의 비선택된 넷들을 일반 레이어로 라우팅함으로써, 집적 회로를 제조하는데 필요한 에어갭 레이어의 개수를 줄일 수 있고, 이에 따라, 집적 회로의 제조 비용을 줄일 수 있다. 또한, 본 실시예에 따르면, 타이밍 크리티컬 패스의 선택된 넷는 에어갭 레이어로 프리 라우팅함으로써, 집적 회로 및 이를 포함하는 칩의 동작 속도를 크게 향상시킬 수 있다.

[0071] 다시 도 7을 참조하면, 단계 S370에서, 포스트-라우트 최적화(post-route optimization)를 수행한다. 포스트-라우트 최적화는 라우팅이 완료된 이후에 존재하는 타이밍과 디자인 룰 위반을 픽스(fix)시킨다. 포스트-라우트 최적화 이후에는 ECO 라우팅을 수행하여 넷리스트의 변경 사항을 레이아웃에 반영함으로써 최종 레이아웃을 생성할 수 있다.

[0072] 도 11a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로(200)를 나타내는 평면도이고, 도 11b는 도 11a의 집적 회로(200)를 나타내는 사시도이다.

[0073] 도 11a 및 도 11b를 참조하면, 집적 회로(200)는 제1 및 제2 연결 지점들(210, 215) 및 도전 패턴(220)으로 구성된 하나의 넷에 대응할 수 있다. 이때, 제1 및 제2 연결 지점들(210, 215)은 동일 층에 배치될 수 있고, Y 좌표가 동일하고 X 좌표는 서로 다를 수 있다. 구체적으로, 집적 회로(200)는 제1 및 제2 연결 지점들(210, 215) 사이의 도전 패턴(220) 및 도전 패턴(220)의 양 옆에 배치된 에어갭 패턴들(230, 235)을 포함할 수 있다.

[0074] 본 실시예에서, 도전 패턴(220)은 타이밍 크리티컬 패스를 구성할 수 있고, 이에 따라, 도전 패턴(220)의 양 옆

에 에어갭 패턴들(230, 235)을 배치할 수 있다. 도전 패턴(220)은 X 방향으로 연장되고, 이에 따라, 에어갭 패턴들(230, 235)도 X 방향으로 연장될 수 있다. 예를 들어, 도전 패턴(220)은 도 8의 제5 또는 제6 배선층(M5 또는 M6)에 대응할 수 있다.

- [0075] 도 12a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로(300)를 나타내는 평면도이고, 도 12b는 도 12a의 집적 회로(300)를 나타내는 사시도이다.
- [0076] 도 12a 및 도 12b를 참조하면, 집적 회로(300)는 제1 및 제2 연결 지점들(310, 315) 및 제1 및 제2 도전 패턴들(320, 350)으로 구성된 하나의 네트에 대응할 수 있다. 이때, 제1 및 제2 연결 지점들(310, 315)은 서로 다른 층들에 각각 배치될 수 있고, Y 좌표가 동일하고 X 좌표는 서로 다를 수 있다. 구체적으로, 집적 회로(300)는 제1 연결 지점(310)에 연결된 제1 도전 패턴(320), 제1 도전 패턴(320) 상의 제1 및 제2 비아들(340, 345), 제2 비아(345) 상의 제2 도전 패턴(350), 제1 도전 패턴(320)의 양 옆에 배치된 제1 에어갭 패턴들(330, 335) 및 제2 도전 패턴(350)의 양 옆에 배치된 제2 에어갭 패턴들(360, 365)을 포함할 수 있다.
- [0077] 본 실시예에서, 제1 및 제2 도전 패턴들(320, 350)은 타이밍 크리티컬 패스를 구성할 수 있고, 이에 따라, 제1 도전 패턴(320)의 양 옆에 제1 에어갭 패턴들(330, 335)을 배치하고, 제2 도전 패턴(350)의 양 옆에 제2 에어갭 패턴들(360, 365)을 배치할 수 있다. 제1 도전 패턴(320)은 X 방향으로 연장되고, 제1 에어갭 패턴들(330, 335)도 X 방향으로 연장될 수 있다. 제2 도전 패턴(350)은 X 방향으로 연장되고, 제2 에어갭 패턴들(360, 365)도 X 방향으로 연장될 수 있다. 예를 들어, 제1 및 제2 도전 패턴들(320, 350)은 도 8의 제5 및 제6 배선층들(M5, M6)에 각각 대응할 수 있다.
- [0078] 도 13a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로(400)를 나타내는 평면도이고, 도 13b는 도 13a의 집적 회로(400)를 나타내는 사시도이다.
- [0079] 도 13a 및 도 13b를 참조하면, 집적 회로(400)는 제1 및 제2 연결 지점들(410, 415) 및 도전 패턴(420)으로 구성된 하나의 네트에 대응할 수 있다. 이때, 제1 및 제2 연결 지점들(410, 415)은 동일 층에 배치될 수 있고, X 좌표가 동일하고 Y 좌표는 서로 다를 수 있다. 구체적으로, 집적 회로(400)는 제1 및 제2 연결 지점들(410, 415) 사이의 도전 패턴(420) 및 도전 패턴(420)의 양 옆에 배치된 에어갭 패턴들(430, 435)을 포함할 수 있다.
- [0080] 본 실시예에서, 도전 패턴(420)은 타이밍 크리티컬 패스를 구성할 수 있고, 이에 따라, 도전 패턴(420)의 양 옆에 에어갭 패턴들(430, 435)을 배치할 수 있다. 도전 패턴(420)은 Y 방향으로 연장되고, 에어갭 패턴들(430, 435)도 Y 방향으로 연장될 수 있다. 예를 들어, 도전 패턴(420)은 도 8의 제5 또는 제6 배선층(M5 또는 M6)에 대응할 수 있다.
- [0081] 도 14a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로(500)를 나타내는 평면도이고, 도 14b는 도 14a의 집적 회로(500)를 나타내는 사시도이며, 도 14c는 도 14a에 대한 비교예에 따른 집적 회로(500')를 나타낸다.
- [0082] 도 14a 및 도 14b를 참조하면, 집적 회로(500)는 제1 및 제2 연결 지점들(510, 515) 및 제1 및 제2 도전 패턴들(520, 550)으로 구성된 하나의 네트에 대응할 수 있다. 이때, 제1 및 제2 연결 지점들(510, 515)은 서로 다른 층들에 각각 배치될 수 있고, X 좌표가 동일하고 Y 좌표는 서로 다를 수 있다. 구체적으로, 집적 회로(500)는 제1 연결 지점(510)에 연결된 제1 도전 패턴(520), 제1 도전 패턴(520) 상의 제1 및 제2 비아들(540, 545), 제2 비아(545) 상의 제2 도전 패턴(550), 제1 도전 패턴(520)의 양 옆에 배치된 제1 에어갭 패턴들(530, 535) 및 제2 도전 패턴(550)의 양 옆에 배치된 제2 에어갭 패턴들(560, 565)을 포함할 수 있다.
- [0083] 본 실시예에서, 제1 및 제2 도전 패턴들(520, 550)은 타이밍 크리티컬 패스를 구성할 수 있고, 이에 따라, 제1 도전 패턴(520)의 양 옆에 제1 에어갭 패턴들(530, 535)을 배치하고, 제2 도전 패턴(550)의 양 옆에 제2 에어갭 패턴들(560, 565)을 배치할 수 있다. 제1 도전 패턴(520)은 Y 방향으로 연장되고, 제1 에어갭 패턴들(530, 535)도 Y 방향으로 연장될 수 있다. 제2 도전 패턴(550)은 Y 방향으로 연장되고, 제2 에어갭 패턴들(560, 565)도 Y 방향으로 연장될 수 있다. 예를 들어, 제1 및 제2 도전 패턴들(520, 550)은 도 8의 제5 및 제6 배선층들(M5, M6)에 각각 대응할 수 있다.
- [0084] 도 14c를 참조하면, 비교예에 따른 집적 회로(500')는 단방향의 에어갭 레이어만을 포함하도록 구현된다고 하자. 예를 들어, 집적 회로(500')가 X 방향으로 연장되는 에어갭 패턴들을 포함하는 에어갭 레이어만을 포함하도록 구현되는 경우, 제1 및 제2 도전 패턴들(520, 550)에 인접하게, Y 방향으로 연장되는 에어갭 패턴을 삽입할 수 없다. 이때, 타이밍 크리티컬 패스의 네트를 구성하는 도전 패턴들 사이의 기생 커패시턴스를 감소시킬 수 없으므로, 집적 회로 및 이를 포함하는 칩의 동작 속도를 향상시키기 어렵다. 한편, X 방향으로 연장되는 에

어댑 패턴들을 이용하기 위해 집적 회로(500')에서 제1 및 제2 도전 패턴들(520, 550)의 연장 방향을 X 방향으로 수정할 경우 비용, 면적 및/또는 시간의 소모가 증가할 수 있다.

- [0085] 도 15a는 본 개시의 일 실시예에 따른 에어갭 패턴을 적용하여 라우팅한 집적 회로(600)를 나타내는 평면도이고, 도 15b는 도 15a의 집적 회로(600)를 나타내는 사시도이다.
- [0086] 도 15a 및 도 15b를 참조하면, 집적 회로(600)는 제1 및 제2 연결 지점들(610, 615) 및 제1 및 제2 도전 패턴들(620, 650)으로 구성된 하나의 네트워크에 대응할 수 있다. 이때, 제1 및 제2 연결 지점들(610, 615)은 서로 다른 층들에 각각 배치될 수 있고, X 좌표 및 Y 좌표가 서로 다를 수 있다. 구체적으로, 집적 회로(600)는 제1 연결 지점(610)에 연결된 제1 도전 패턴(620), 제1 도전 패턴(620) 상의 비아(640), 비아(640) 상의 제2 도전 패턴(650), 제1 도전 패턴(620)의 양 옆에 배치된 제1 에어갭 패턴들(630, 635) 및 제2 도전 패턴(650)의 양 옆에 배치된 제2 에어갭 패턴들(660, 665)을 포함할 수 있다.
- [0087] 본 실시예에서, 제1 및 제2 도전 패턴들(620, 650)은 타이밍 크리티컬 패스를 구성할 수 있고, 이에 따라, 제1 도전 패턴(620)의 양 옆에 제1 에어갭 패턴들(630, 635)을 배치하고, 제2 도전 패턴(650)의 양 옆에 제2 에어갭 패턴들(660, 665)을 배치할 수 있다. 제1 도전 패턴(620)은 Y 방향으로 연장되고, 제1 에어갭 패턴들(630, 635)도 Y 방향으로 연장될 수 있다. 제2 도전 패턴(650)은 X 방향으로 연장되고, 제2 에어갭 패턴들(660, 665)도 X 방향으로 연장될 수 있다. 예를 들어, 제1 및 제2 도전 패턴들(620, 650)은 도 8의 제5 및 제6 배선층들(M5, M6)에 각각 대응할 수 있다.
- [0088] 이와 같이, 본 실시예에 따르면, 제1 에어갭 패턴들(630, 635)은 Y 방향으로 연장되도록 배치되고, 제2 에어갭 패턴들(660, 665)은 X 방향으로 연장되도록 배치될 수 있다. 다시 말해, 제1 및 제2 에어갭 패턴들(630, 635, 660, 665)은 양방향 에어갭 패턴들로 구현할 수 있다. 따라서, Z 방향으로 인접한, 두 개의 연속한 레이어들을 에어갭 레이어들로 구현할 수 있다. 한편, 에어갭 패턴들을 단방향 에어갭 패턴들로 구현하는 경우에는, 인접한 두 개의 레이어들을 에어갭 레이어들로 구현할 수 없고, 교번적으로 배치된 레이어들만 에어갭 레이어들로 구현할 수 있다.
- [0089] 도 16은 본 개시의 일 실시예에 따른 집적 회로에 포함되는 표준 셀(700)의 레이아웃이다.
- [0090] 도 16을 참조하면, 표준 셀(700)은 셀 바운더리(CB)에 의해 한정되고, 복수의 핀들(FN), 제1 및 제2 액티브(active) 영역들(AR1, AR2), 복수의 게이트 라인들(gate lines)(GLa, GLb, GLc; GL), 복수의 제1 금속 라인들(M1a, M1b, M1c; M1) 및 제2 금속 라인(M2)을 포함할 수 있다. 또한, 표준 셀(700)은 제1 에어갭 패턴들(AGP1a, AGP1b) 및 제2 에어갭 패턴들(AGP2a, AGP2b)을 더 포함할 수 있다. 예를 들어, 제1 금속 라인(M1a), 제1 금속 라인(M1b) 상의 제2 비아(V1) 및 제2 금속 라인(M2)은 타이밍 크리티컬 패스 네트워크를 구성할 수 있다.
- [0091] 셀 바운더리(CB)는 표준 셀(700)을 한정하는 아웃라인으로, 배치 및 배선 툴(예를 들어, 도 3의 13a 또는 도 4의 22a)은 셀 바운더리(CB)를 이용하여 표준 셀(700)을 인식할 수 있다. 셀 바운더리(CB)는 네 개의 바운더리 라인들로 구성된다.
- [0092] 복수의 핀들(FN)은 X 방향으로 연장되고, X 방향에 수직인 Y 방향을 따라 서로 평행하게 배치될 수 있다. 제1 액티브 영역(AR1)과 제2 액티브 영역(AR2)은 서로 평행하게 배치될 수 있으며, 서로 다른 도전형을 가질 수 있다. 구체적으로, 본 실시예에서는, 제1 및 제2 액티브 영역들(AR1, AR2) 각각에 3개의 핀들(FN)이 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 제1 및 제2 액티브 영역들(AR1, AR2) 각각에 배치된 핀들(FN)의 개수는 다양하게 변경될 수 있다.
- [0093] 이때, 제1 및 제2 액티브 영역들(AR1, AR2)에 배치되는 복수의 핀들(FN)은 액티브 핀들이라고 지칭할 수 있다. 도 16에서는 액티브 핀들만을 도시하였으나, 본 발명은 이에 한정되지 않으며, 표준 셀(700)은 셀 바운더리(CB)와 제1 액티브 영역(AR1), 제1 및 제2 액티브 영역들(AR1, AR2) 사이의 영역, 또는 제2 액티브 영역(AR2)과 셀 바운더리(CB) 사이의 영역에 배치되는 더미 핀들을 더 포함할 수 있다.
- [0094] 복수의 게이트 라인들(GL)은 Y 방향으로 연장될 수 있고, X 방향을 따라 서로 평행하게 배치될 수 있다. 이때, 게이트 라인들(GL)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다. 도 16에서는 표준 셀(700)이 세 개의 게이트 라인들(GL)을 포함하는 것으로 도시되었으나, 이는 일 실시예에 불과하고, 표준 셀(700)은 Y 방향으로 연장되고 X 방향을 따라 서로 평행하게 배치되는 4개 이상의 게이트 라인들(GL)을 포함할 수 있다.
- [0095] 제1 비아들(V0)은 복수의 게이트 라인들(GLa, GLb, GLc) 상에 각각 배치되어, 복수의 게이트 라인들(GLa, GLb,

GLc)과 복수의 제1 금속 라인들(M1a, M1b, M1c)을 각각 전기적으로 연결할 수 있다. 이때, 제1 비아들(V0)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다.

[0096] 복수의 제1 금속 라인들(M1)은 복수의 게이트 라인들(GL)의 상부에 배치되는 일 레이어를 구성할 수 있다. 예를 들어, 제1 금속 라인(M1a)은 도 15b의 제1 도전 패턴(620)에 대응할 수 있다. 이때, 제1 금속 라인들(M1)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다.

[0097] 제1 금속 라인들(M1)은 Y 방향으로 연장될 수 있고, X 방향을 따라 서로 평행하게 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제1 금속 라인들(M1) 중 일부 제1 금속 라인의 일 부분이 Y 방향으로 연장되고 다른 일 부분은 X 방향으로 연장되는 L자 형상으로 구현될 수도 있다. 도 16에서는 표준 셀(700)이 세 개의 제1 금속 라인들(M1)을 포함하는 것으로 도시되었으나, 이는 일 실시예에 불과하고, 표준 셀(700)은 4개 이상의 제1 금속 라인들(M1)을 포함할 수 있다.

[0098] 제2 비아들(V1)은 복수의 제1 금속 라인들(M1a, M1c) 상에 각각 배치되어, 복수의 제1 금속 라인들(M1a, M1c)과 제2 금속 라인(M2)을 전기적으로 연결할 수 있다. 예를 들어, 제1 금속 라인(M1a) 상의 제2 비아(V1)는 도 15b의 비아(640)에 대응할 수 있다. 이때, 제2 비아들(V1)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다.

[0099] 제2 금속 라인(M2)은 복수의 제1 금속 라인들(M1)의 상부에 배치되는 일 레이어를 구성할 수 있다. 예를 들어, 제2 금속 라인(M2)은 도 15b의 제2 도전 패턴(650)에 대응할 수 있다. 이때, 제2 금속 라인(M2)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다.

[0100] 제2 금속 라인(M2)은 X 방향으로 연장될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제2 금속 라인(M2)의 일 부분이 X 방향으로 연장되고 다른 일 부분은 Y 방향으로 연장되는 L자 형상으로 구현될 수도 있다. 도 16에서는 표준 셀(700)이 한 개의 제2 금속 라인(M2)을 포함하는 것으로 도시되었으나, 이는 일 실시예에 불과하고, 표준 셀(700)은 2개 이상의 제2 금속 라인들(M2)을 포함할 수 있다.

[0101] 본 실시예에 따르면, 복수의 제1 금속 라인들(M1a 내지 M1c) 사이에 제1 에어갭 패턴들(AGP1a, AGP1b)이 배치될 수 있다. 이때, 제1 에어갭 패턴들(AGP1a, AGP1b)은 제1 금속 라인들(M1a 내지 M1c)의 연장 방향에 따라 Y 방향으로 연장되도록 형성될 수 있다. 이에 따라, 복수의 제1 금속 라인들(M1a 내지 M1c)과 제1 에어갭 패턴들(AGP1a, AGP1b)은 제1 에어갭 레이어를 구성할 수 있고, 이로써, 복수의 제1 금속 라인들(Ma1 내지 M1c) 사이의 기생 커패시턴스가 감소할 수 있다.

[0102] 또한, 본 실시예에 따르면, 제2 금속 라인(M2)의 양 옆에 제2 에어갭 패턴들(AGP2a, AGP2b)이 배치될 수 있다. 이때, 제2 에어갭 패턴들(AGP2a, AGP2b)은 제2 금속 라인(M2)의 연장 방향에 따라 X 방향으로 연장되도록 형성될 수 있다. 이에 따라, 제2 금속 라인(M2)과 제2 에어갭 패턴들(AGP2a, AGP2b)은 제2 에어갭 레이어를 구성할 수 있고, 이로써, 제2 금속 라인(M2)과 인접한 금속 라인 사이의 기생 커패시턴스가 감소할 수 있다.

[0103] 도 1 내지 도 16을 참조하여 상술된 바와 같이, 본 개시의 실시예들에 따르면, 집적 회로의 레이아웃을 설계하는 단계에서, 배치된 표준 셀들 내의 타이밍 패쓰들 중 타이밍 크리티컬 패쓰를 선별하고, 선별된 타이밍 크리티컬 패쓰의 네트들 중 적어도 하나의 네트를 선택할 수 있다. 이어서, 선택된 적어도 하나의 네트를 에어갭 레이어로 프리 라우팅하고, 넌-크리티컬 패쓰들의 네트들 및 타이밍 크리티컬 패쓰의 비 선택된 네트들을 일반 레이어로 라우팅할 수 있다. 이에 따라, 적은 수의 에어갭 레이어를 이용함으로써 저 비용으로 고성능의 집적 회로를 구현할 수 있다.

[0104] 도 17은 본 개시의 일 실시예에 따른 저장 매체(1000)를 나타내는 블록도이다.

[0105] 도 17을 참조하면, 저장 매체(1000)는 셀 라이브러리(1100), 레이아웃 데이터(1200), 배치 및 배선 프로그램(1300) 및 타이밍 분석 프로그램(1400)을 저장할 수 있다. 저장 매체(1000)는 컴퓨터로 읽을 수 있는 저장 매체로서, 컴퓨터에 명령어 및/또는 데이터를 제공하는데 사용되는 동안 컴퓨터에 의해 읽혀질 수 있는 임의의 저장 매체를 포함할 수 있다. 예를 들면, 컴퓨터로 읽을 수 있는 저장 매체(1000)는 디스크, 테이프, CD-ROM, DVD-ROM, CD-R, CD-RW, DVD-R, DVD-RW 등과 같은 자기 또는 광학 매체, RAM, ROM, 플래시 메모리 등과 같은 휘발성 또는 비휘발성 메모리, USB 인터페이스를 통해서 액세스 가능한 비휘발성 메모리, 그리고 MEMS(microelectromechanical systems) 등을 포함할 수 있다. 컴퓨터로 읽을 수 있는 저장 매체는 컴퓨터에 삽입 가능하거나, 컴퓨터 내에 집적되거나, 네트워크 및/또는 무선 링크와 같은 통신 매개체를 통해서 컴퓨터와

결합될 수 있다.

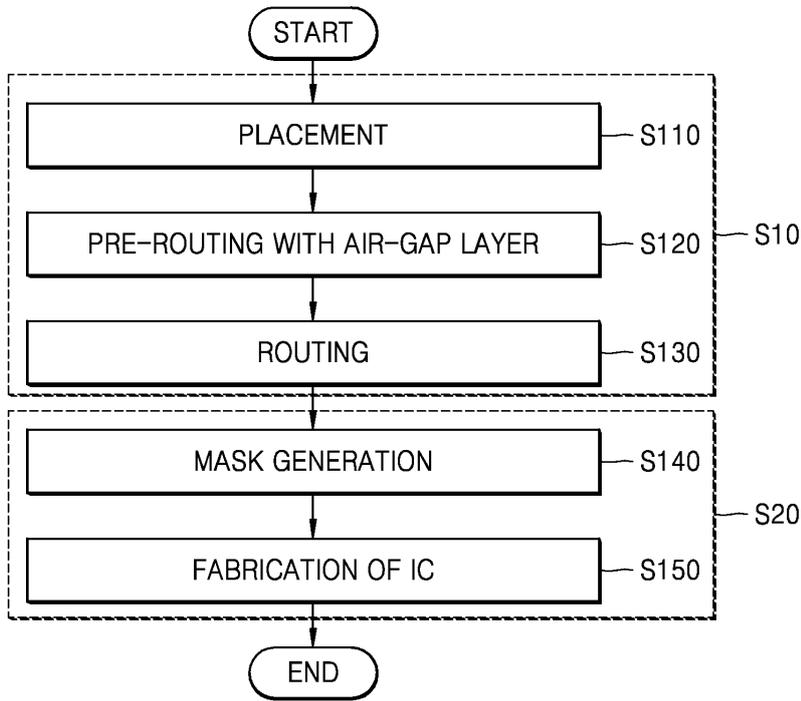
- [0106] 셀 라이브러리(1100)는 표준 셀 라이브러리일 수 있고, 집적 회로를 구성하는 단위인 표준 셀에 대한 정보를 포함할 수 있다. 일 실시예에서, 표준 셀에 대한 정보는 레이아웃 생성에 필요한 레이아웃 정보를 포함할 수 있다. 일 실시예에서, 표준 셀에 대한 정보는 레이아웃의 검증 또는 시뮬레이션에 필요한 타이밍 정보를 포함할 수 있다.
- [0107] 레이아웃 데이터(1200)는 배치 및 배선 동작을 통해 생성된 레이아웃에 대한 물리적 정보를 포함할 수 있다. 일 실시예에서, 레이아웃 데이터(1200)는 도전 패턴들의 너비 값 및 스페이스 값, 그리고, 도전 패턴들 사이에 배치되는 에어갭 패턴들의 개수 및 사이즈 등을 포함할 수 있다.
- [0108] 배치 및 배선 프로그램(1300)은 본 발명의 예시적인 실시예들에 따른 표준 셀 라이브러리를 사용하여 집적 회로의 레이아웃을 생성하는 방법을 수행하기 위하여 복수개의 명령어들을 포함할 수 있다. 배치 및 배선 프로그램(1300)은 예를 들어, 도 1의 단계 S110 및 S130, 도 5의 단계 S210, S260 및 S270, 또는 도 6의 단계 S310, S320, S350, S360을 수행하기 위해 이용될 수 있다.
- [0109] 타이밍 분석 프로그램(1400)은 예를 들어, STA(Static Timing Analysis) 프로그램일 수 있다. STA는 디지털 회로의 예상되는(expected) 타이밍을 계산하는 시뮬레이션 방법이며, 배치된 표준 셀들의 모든 타이밍 경로들에 대해 타이밍 분석을 수행하고, 타이밍 분석 결과를 출력할 수 있다. STA 프로그램(1400)은 예를 들어, 도 1의 단계 S120, 도 5의 단계 S240 및 S250, 또는 도 6의 단계 S330을 수행하기 위해 이용될 수 있다.
- [0110] 일부 실시예들에서, 저장 매체(1000)는 분석 프로그램을 더 저장할 수 있고, 분석 프로그램은 집적 회로를 정의하는 입력 데이터에 기초하여 집적 회로를 분석하는 방법을 수행하는 복수개의 명령어들을 포함할 수 있다. 일부 실시예들에서, 저장 매체(1000)는 데이터 구조를 더 저장할 수 있고, 데이터 구조는 표준 셀 라이브러리(1100)에 포함된 표준 셀 라이브러리를 사용하거나, 표준 셀 라이브러리(1100)에 포함된 표준 셀 라이브러리로부터 특정 정보를 추출하거나, 또는 분석 프로그램에 의해서 집적 회로의 특성을 분석하는 과정에서 생성된 데이터를 관리하기 위한 저장 공간 등을 포함할 수 있다.
- [0111] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

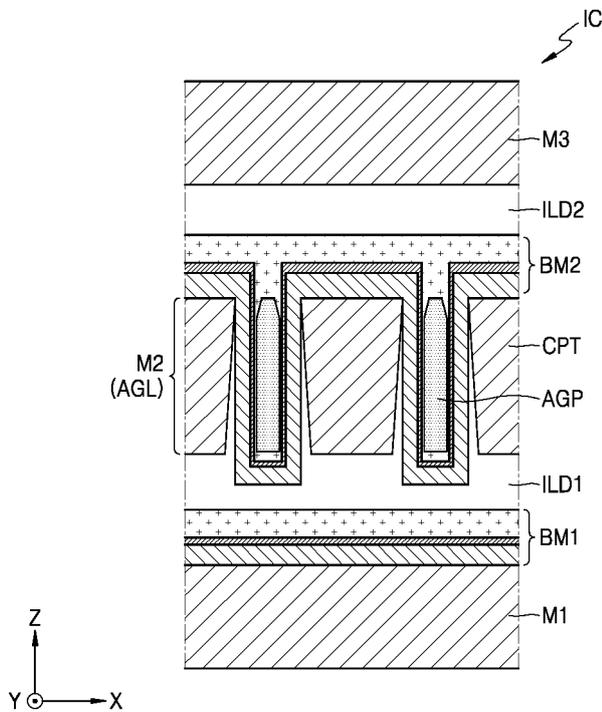
- [0112] 10, 20: 집적 회로 설계 시스템
- 100, 100a, 100b: 타이밍 크리티컬 패스 네트
- IC, 200, 300, 400, 500, 600: 집적 회로
- 700: 표준 셀

도면

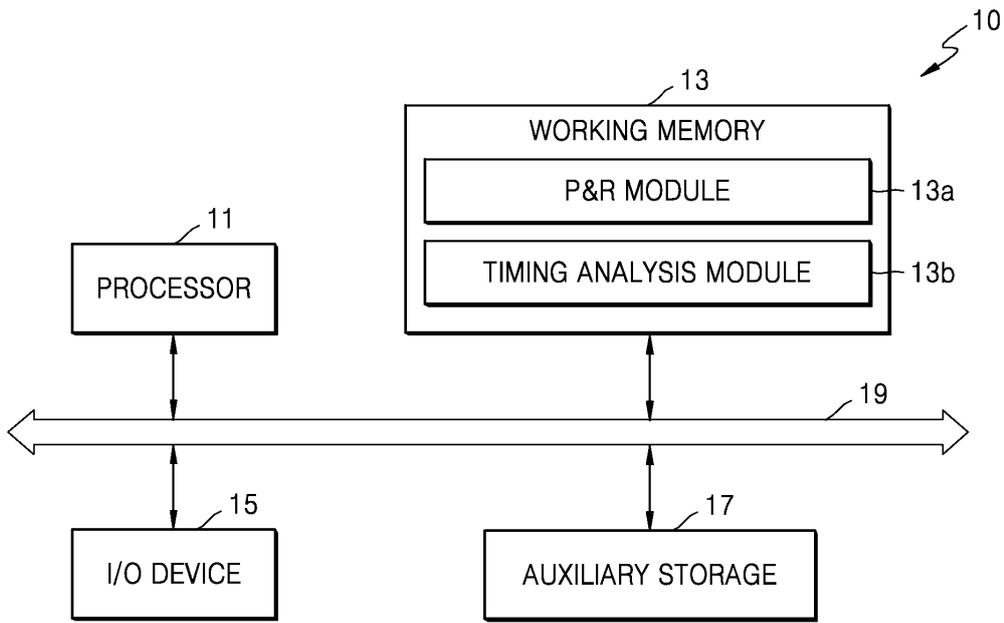
도면1



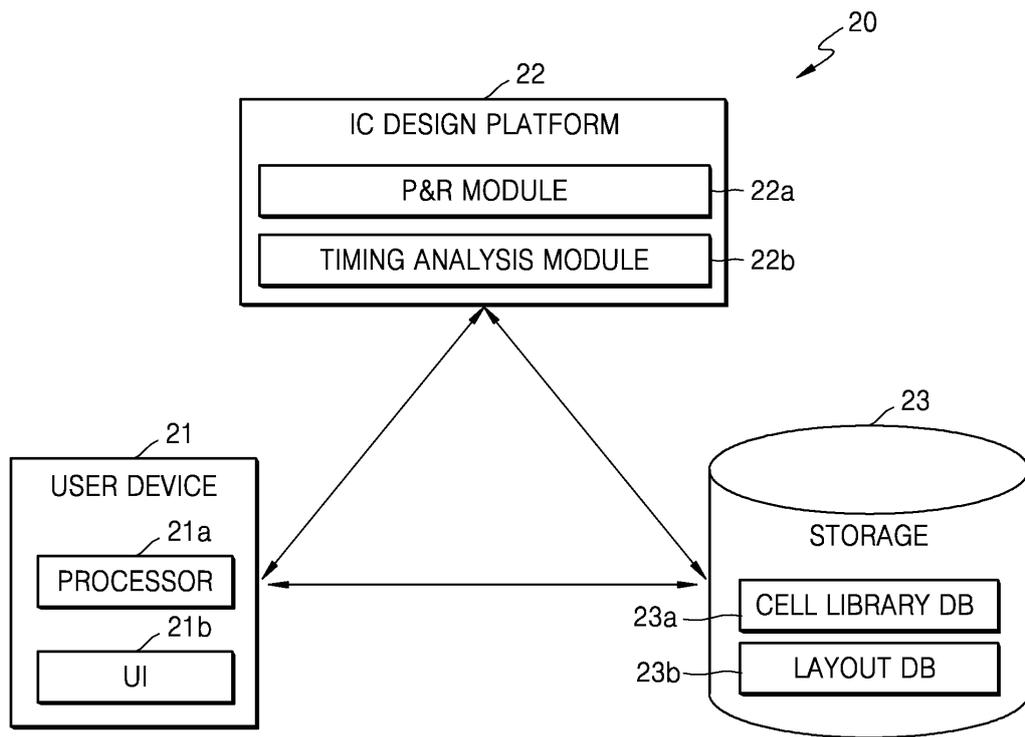
도면2



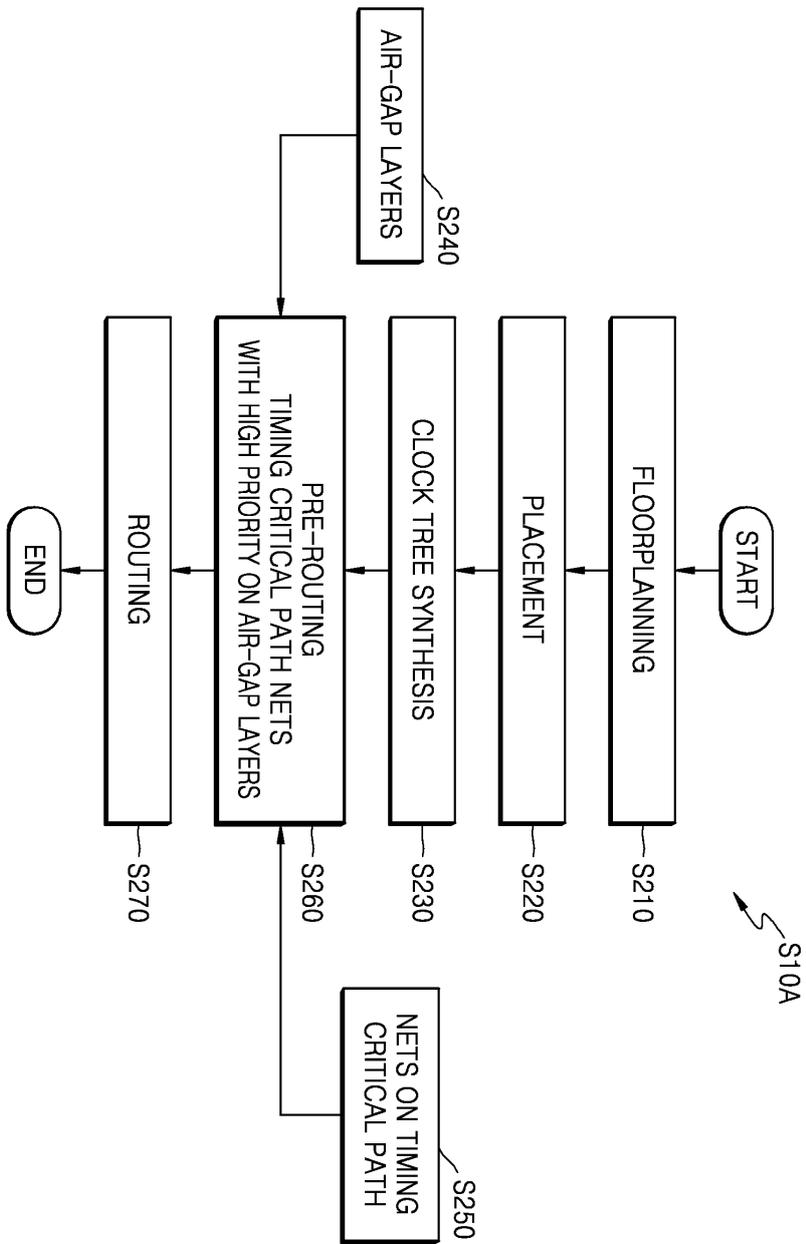
도면3



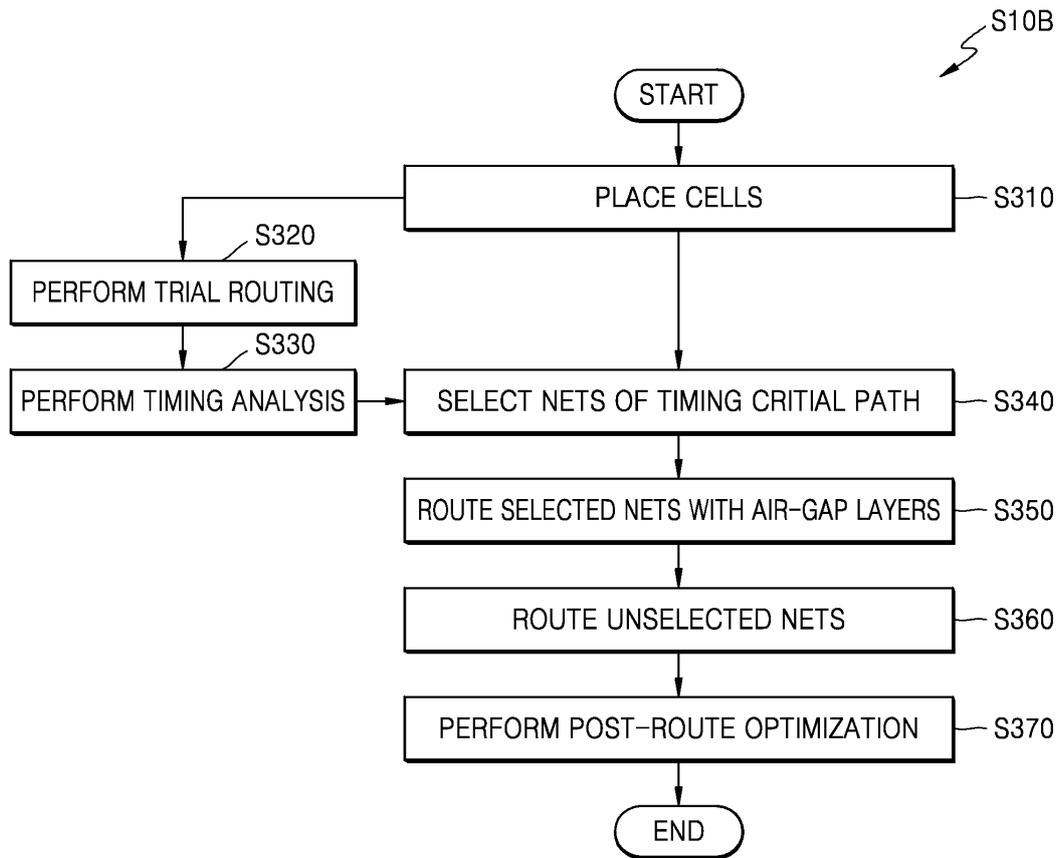
도면4



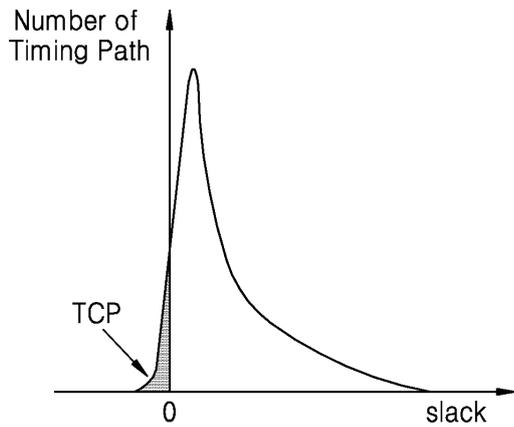
도면5



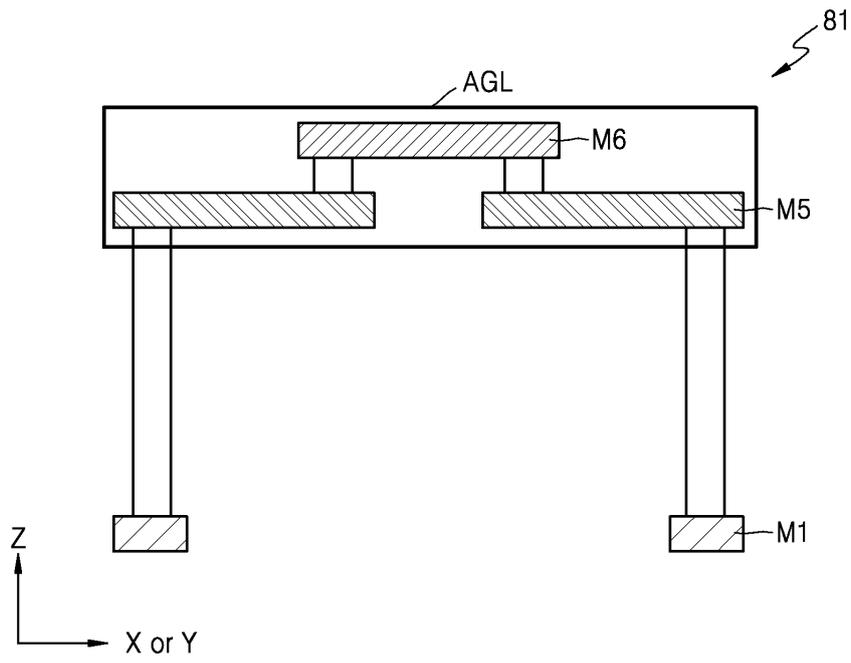
도면6



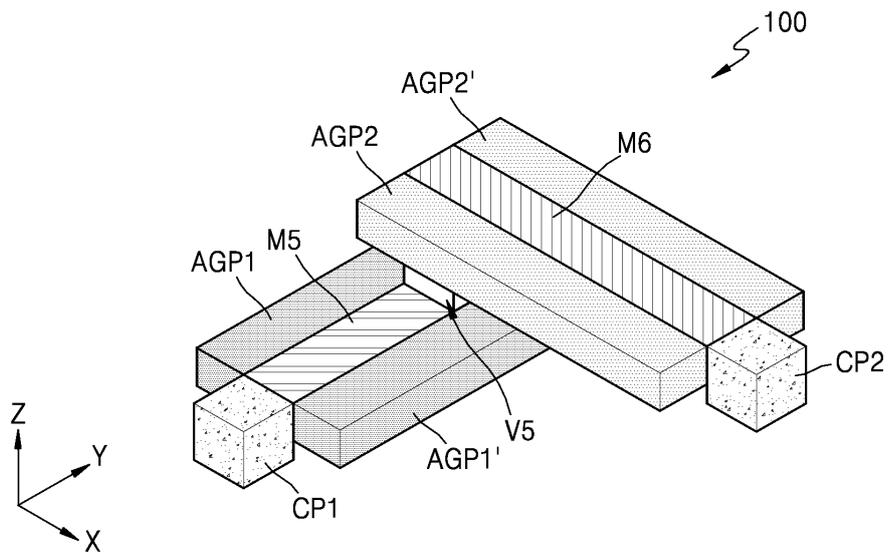
도면7



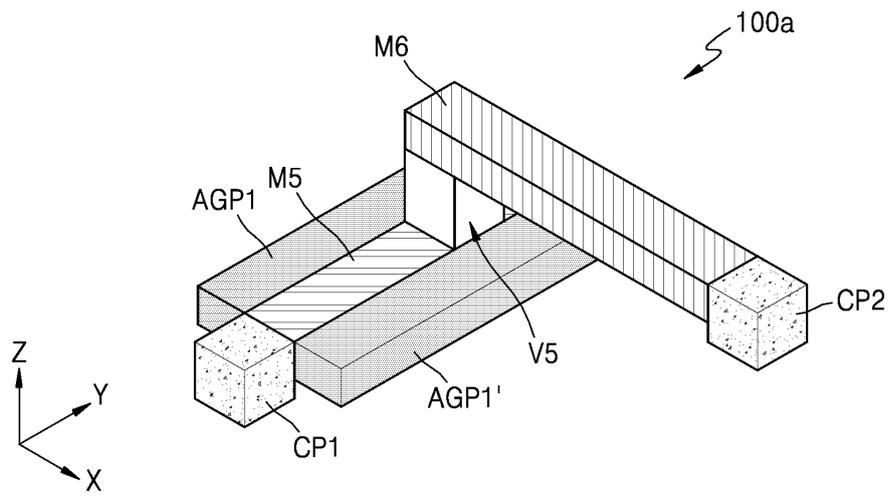
도면8



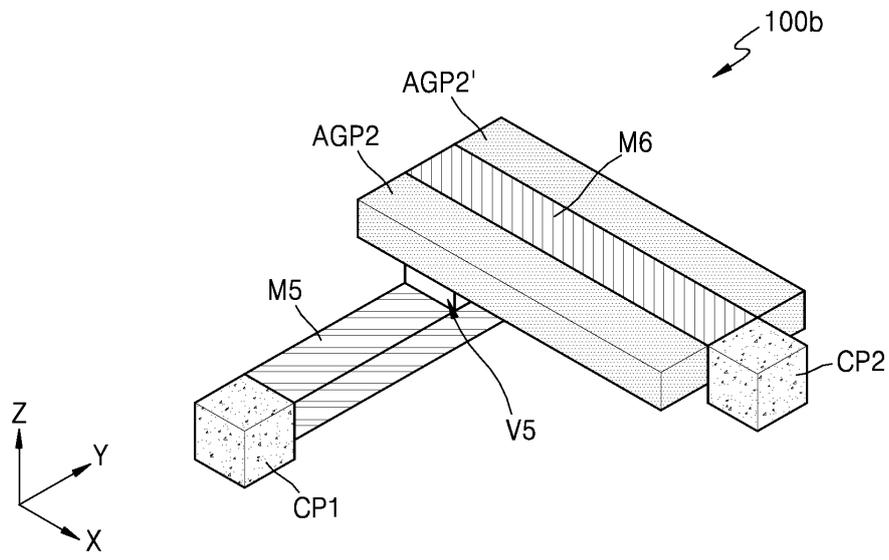
도면9a



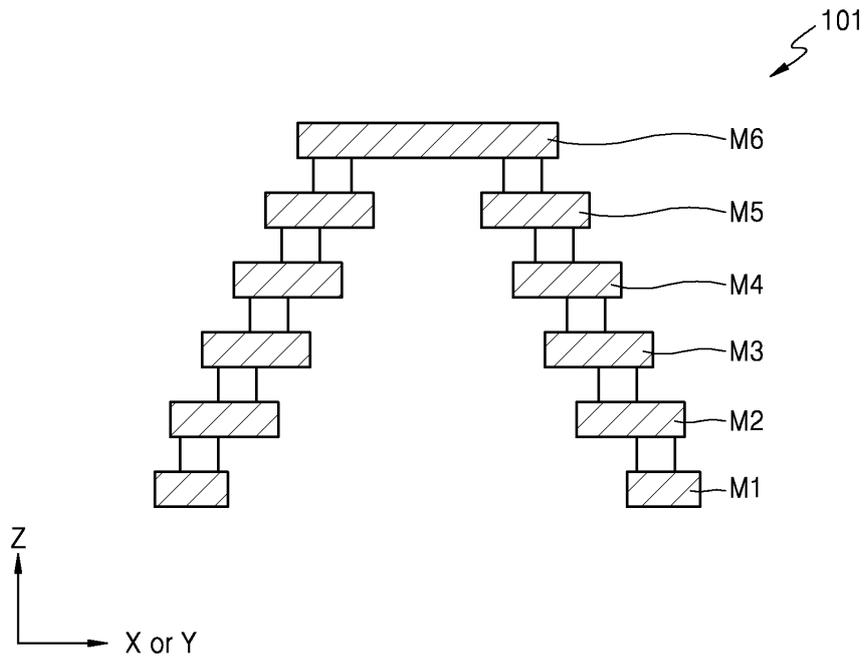
도면9b



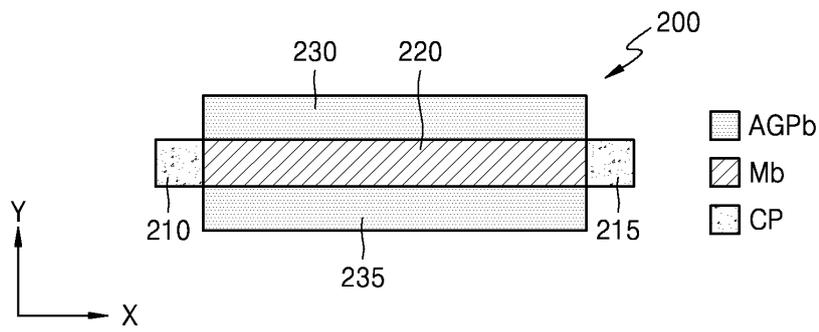
도면9c



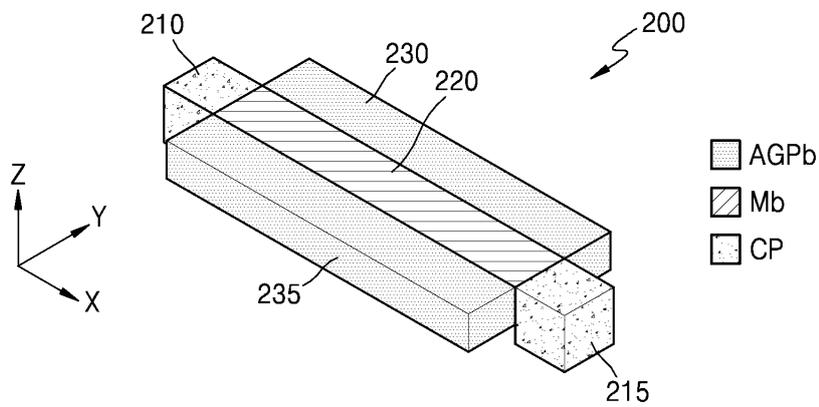
도면10



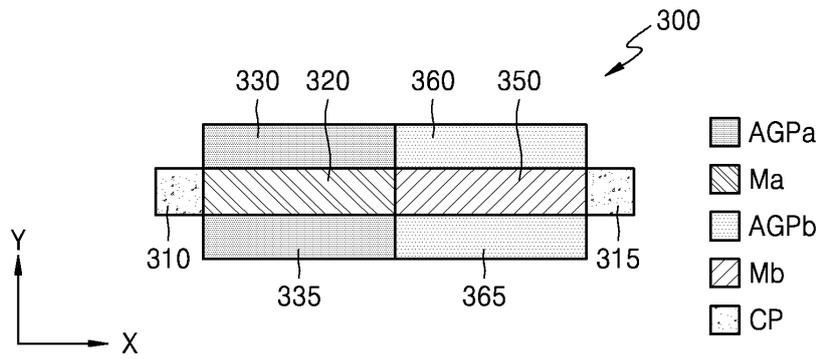
도면11a



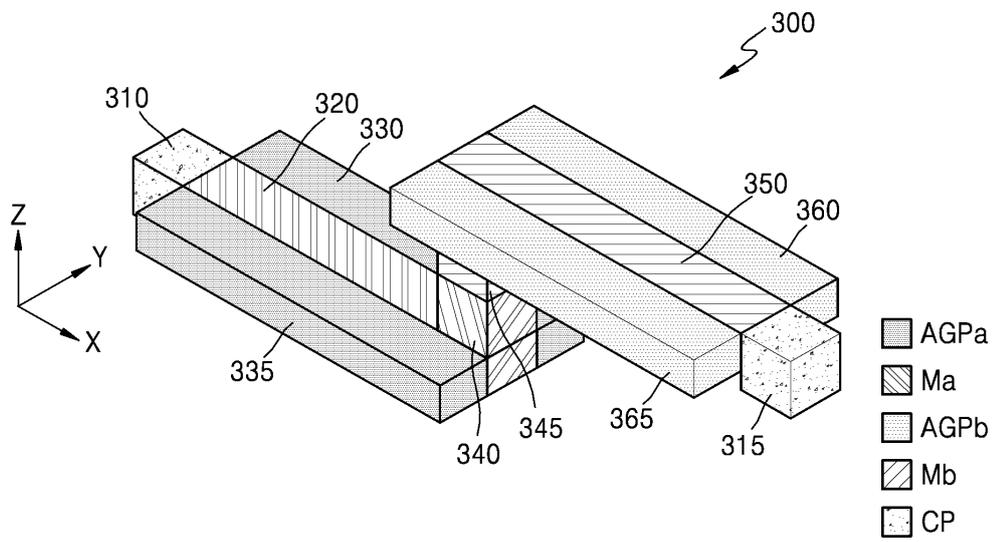
도면11b



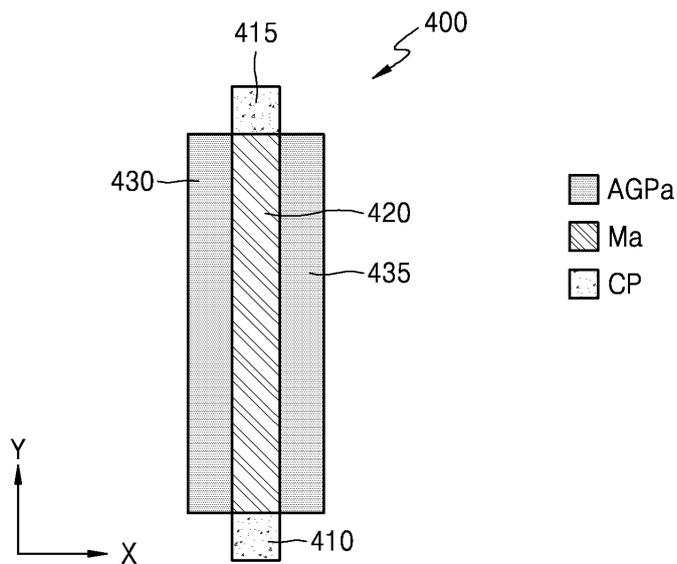
도면12a



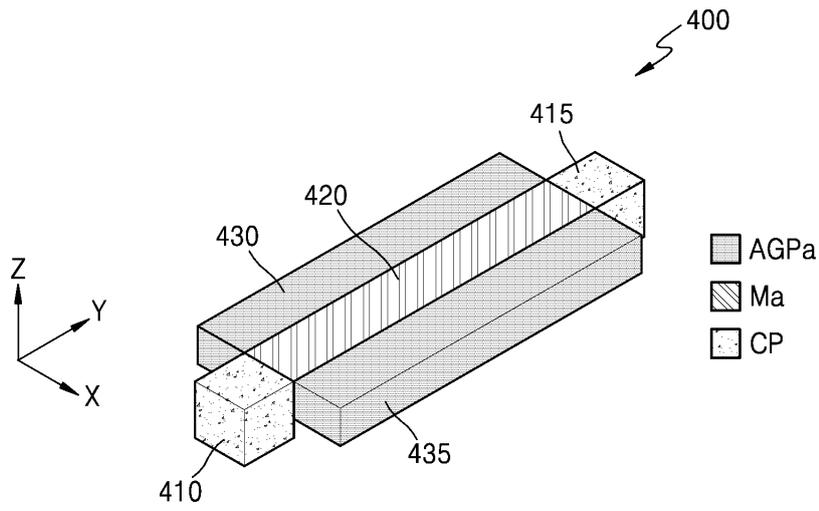
도면12b



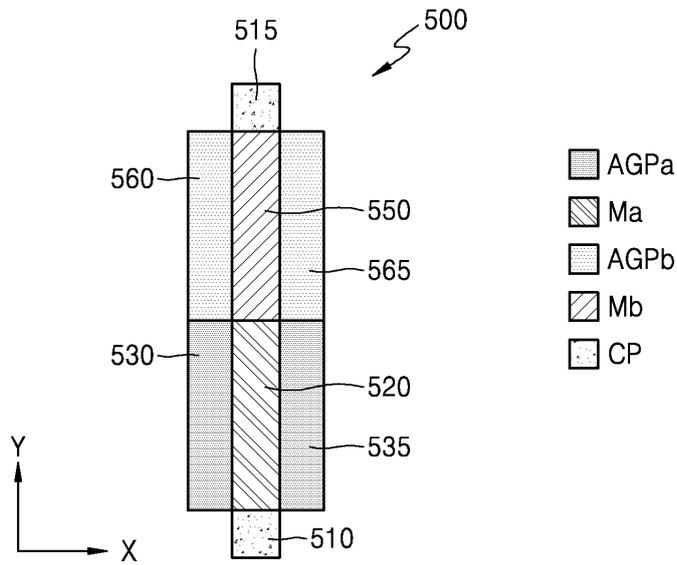
도면13a



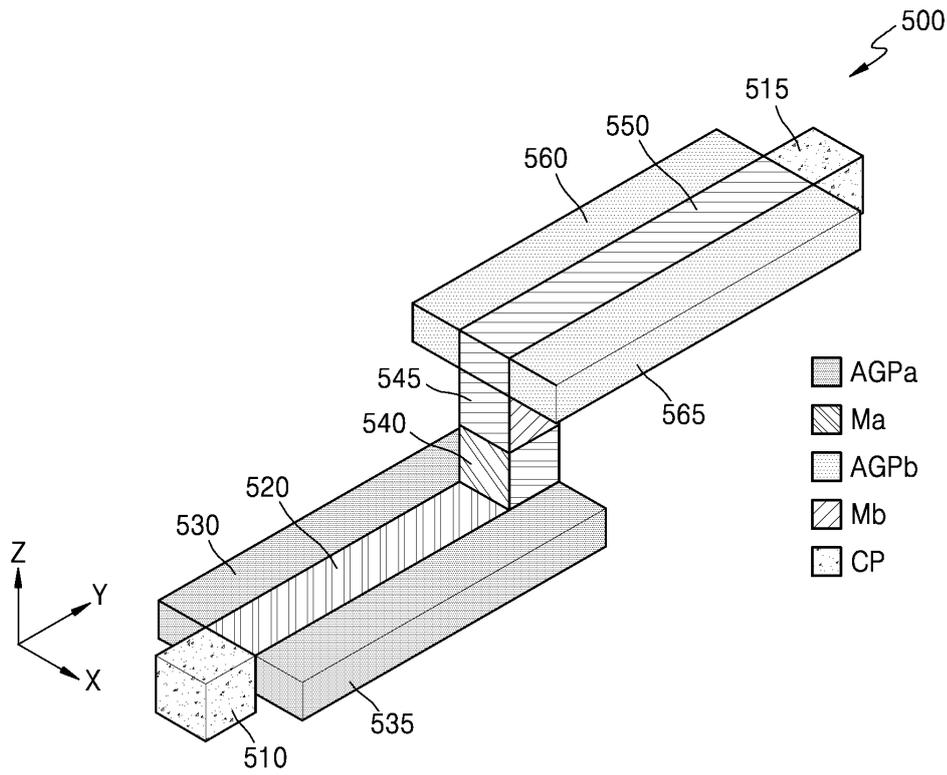
도면13b



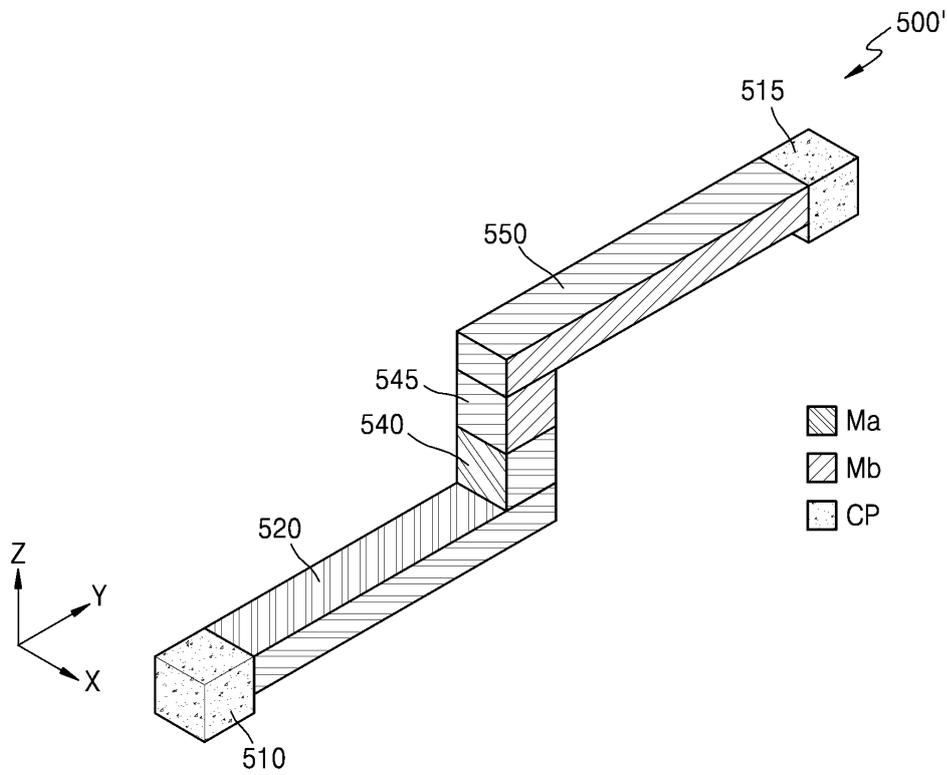
도면14a



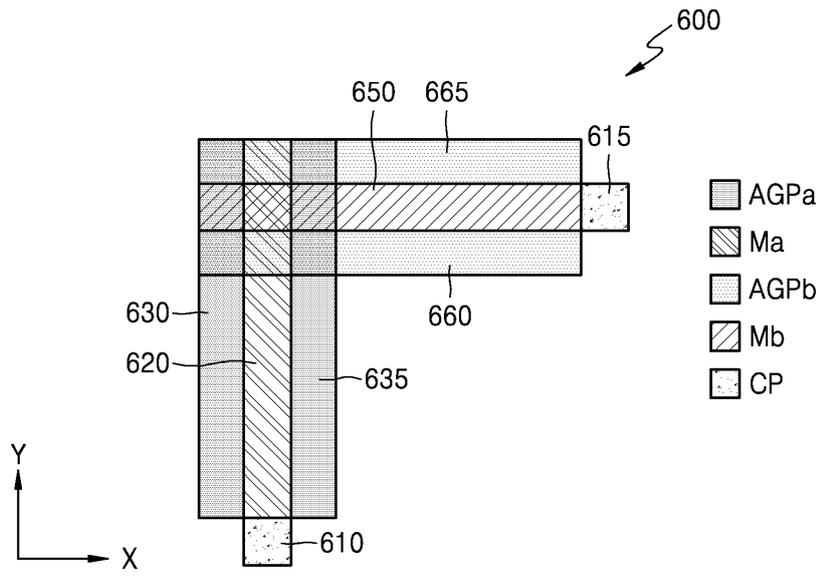
도면14b



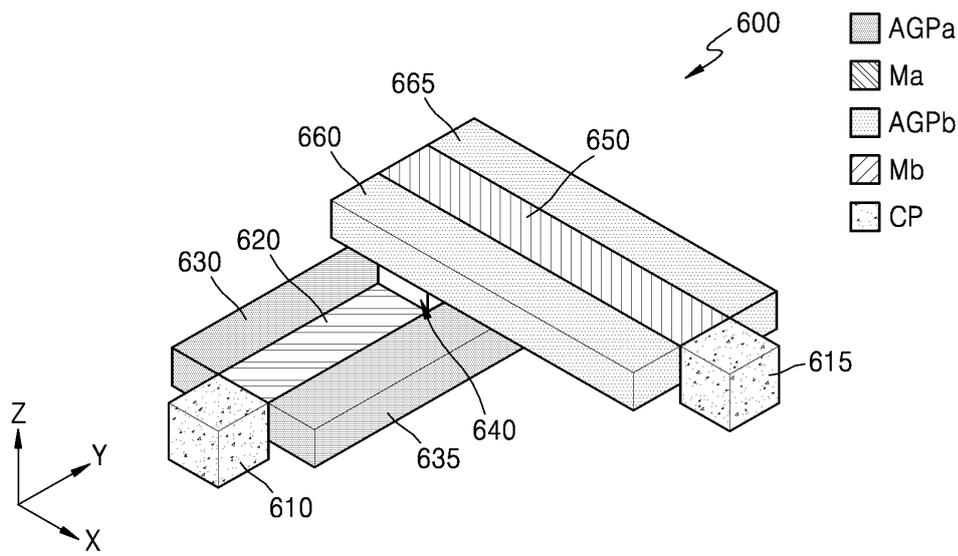
도면14c



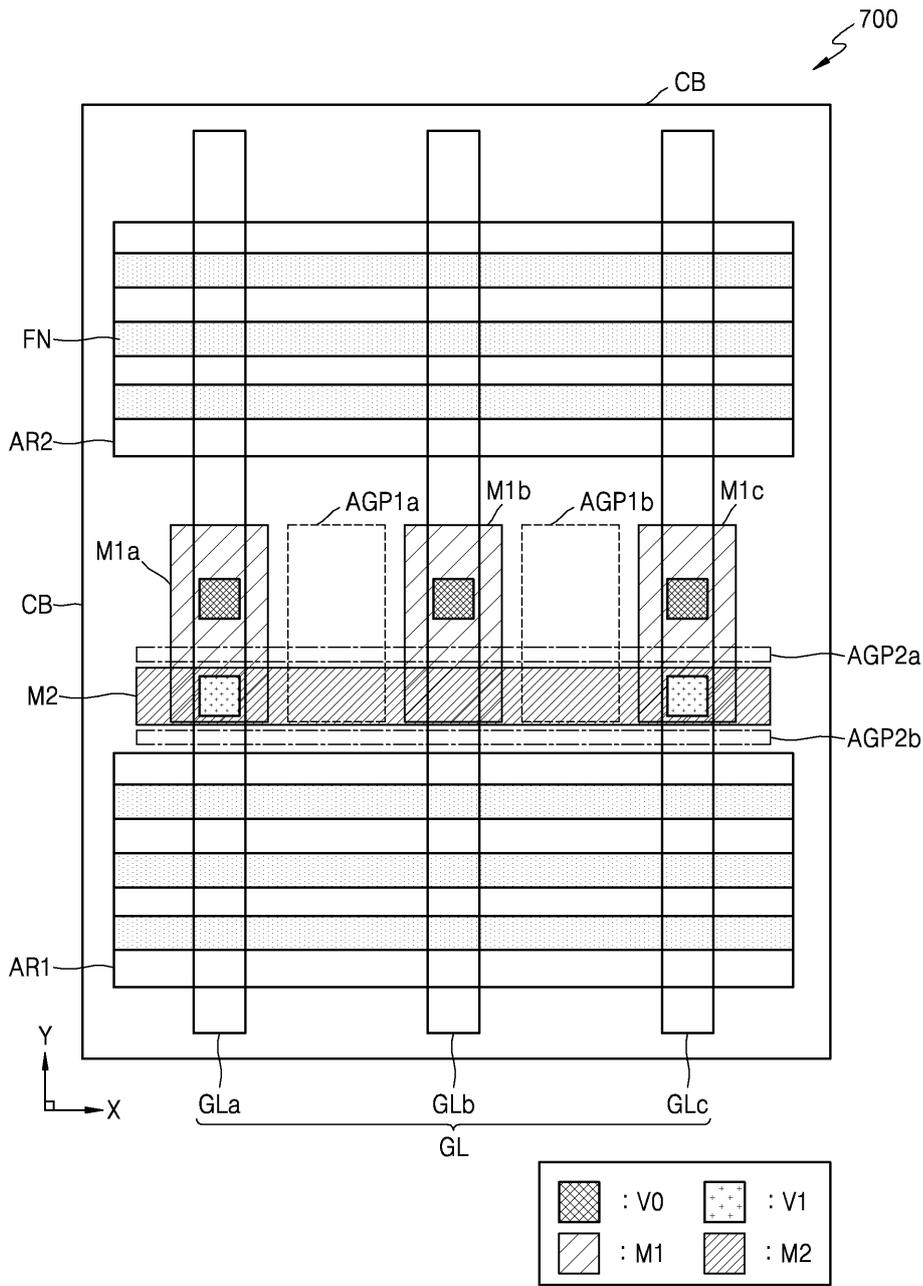
도면15a



도면15b



도면16



도면17

