

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/48

H01L 21/28

H01L 21/768

H01L 21/60



[12] 发明专利说明书

[21] ZL 专利号 02160291.3

[45] 授权公告日 2005 年 7 月 13 日

[11] 授权公告号 CN 1210792C

[22] 申请日 2002. 8. 29 [21] 申请号 02160291.3

[30] 优先权

[32] 2001. 8. 29 [33] JP [31] 259310/2001

[32] 2001. 9. 27 [33] JP [31] 298252/2001

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 松尾美惠 宫田雅弘 江泽弘和

审查员 杨晓明

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

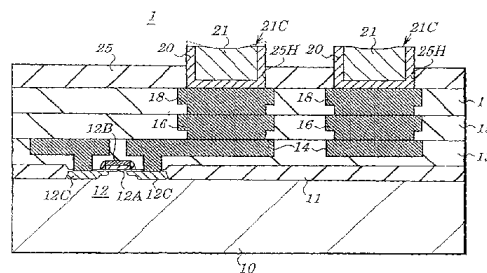
代理人 王永刚

权利要求书 2 页 说明书 32 页 附图 17 页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

一种半导体器件，包括：在基板上所形成的第一电极；所述第一电极上的凹型形状的下突起金属膜；以及埋设在所述下突起金属膜的凹型形状内部的，侧面和底面由所述下突起金属膜围绕的突起电极。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体器件, 包括:
在基板上所形成的第一电极;
- 5 所述第一电极上凹型形状的下突起金属膜;
埋设在所述下突起金属膜的凹型形状内部的, 侧面和底面由所述下突起金属膜围绕的突起电极; 以及
所述下突起金属膜的侧面的至少围绕所述第1电极侧的一部分的绝缘膜。
2. 根据权利要求1所述的半导体器件, 其中, 所述的突起电极的上表面
10 的高度与所述下突起金属膜的侧面的高度实质上相同。
3. 根据权利要求1所述的半导体器件, 其中, 所述下突起金属膜的侧面的至少所述第一电极侧的一部分由绝缘膜所围绕。
4. 根据权利要求1所述的半导体器件, 进一步包括沿着所述突起电极的上表面周缘的倒角部。
- 15 5. 根据权利要求1所述的半导体器件, 进一步包括具有与所述突起电极相连接的第二电极的另一个基板。
6. 根据权利要求5所述的半导体器件, 其中, 所述第二电极是栓塞, 所述另一个基板是插入物。
7. 一种半导体器件的制造方法, 包括下列工序:
20 在基板上形成电极;
在所述电极上形成具有开口部的绝缘膜;
在所述绝缘膜上、所述开口部内壁上以及所述开口部内的所述电极上形成下突起金属膜;
在所述下突起金属膜上形成突起电极膜, 以便于至少埋设所述开口部;
- 25 除去所述开口部之外的突起电极膜及下突起金属膜, 形成突起电极; 以及在膜厚方向上除去所述绝缘膜的表面的一部分, 使所述突起电极的一部分从所述绝缘膜突出。
8. 根据权利要求7所述的半导体器件的制造方法, 其中,
所述形成绝缘膜的工序是这样的工序: 形成第一绝缘膜, 在所述第一绝缘膜
30 上形成相对于该第一绝缘膜具有腐蚀选择比的第二绝缘膜,

在膜厚方向上除去所述绝缘膜的至少表面的一部分的工序是这样的工序：对于所述第一绝缘膜，有选择地腐蚀除去所述第二绝缘膜。

9. 根据权利要求7所述的半导体器件的制造方法，其中，

5 所述除去开口部之外的突起电极膜以及下突起金属膜来形成突起电极的工序是这样的工序：通过化学机械抛光来使绝缘膜上以及开口部上的突起电极膜以及下突起金属膜后退，形成由所述开口部内壁上以及所述开口部内的所述电极上的下突起金属膜围绕周围的突起电极。

10. 根据权利要求7所述的半导体器件的制造方法，其中，在膜厚方向上除去所述绝缘膜的至少表面的一部分的工序之后，进一步包括使所述突起电极的上表面平坦化的工序。

11. 根据权利要求7所述的半导体器件的制造方法，其中，在膜厚方向上除去所述绝缘膜的至少表面的一部分的工序之后，进一步包括在所述突起电极的上表面周缘上形成倒角部的工序。

12. 根据权利要求7所述的半导体器件的制造方法，其中，所述突起电极是焊锡突起电极，进一步包括在所述焊锡突起电极上进行回流的工序。

半导体器件及其制造方法

5 技术领域

本发明涉及半导体器件及其制造方法，特别是涉及在电极上通过下突起金属膜而设置突起电极的半导体器件以及这种半导体器件的制造方法。而且，本发明涉及接合基板间、半导体基板间或者基板与半导体基板之间的半导体器件及其制造方法。

10 背景技术

随着构筑半导体器件的半导体芯片的高集成化和高性能化，半导体芯片的外部连接电极（键合焊盘）与安装半导体芯片的布线基板的电极之间的连接方法存在多样化的倾向。特别是，随着 IC 芯片、LSI 芯片等半导体芯片的高集成化，电路工作速度的高速化、高散热化、多端子化（多管脚化）的要求越发强烈，预计近年来高端半导体芯片的外部连接电极数（端子数）超过数千。

另一方面，从系统侧，要求半导体器件的小型化、轻量化、多功能化等，根据这样的要求，半导体芯片的高安装密度化是必须的。而且，根据高性能化的要求，研究在半导体器件上采用多芯片构造和三维安装构造。

在多端子化上，采用利用突起电极的倒装芯片（FC）方式和带自动键合（TAB）方式是有利的。FC 方式是这样的方式：在半导体芯片的外部连接电极、布线基板的电极的至少一方上形成突起电极，接合突起电极与任一个电极之间或者突起电极相互之间。例如，在高端的超多端子的半导体芯片中，首先，在半导体芯片的表面（电路搭载表面）上方格状地排列多个焊锡突起电极。通过使该半导体芯片的表面对着布线基板的表面的 FC 方式，在布线基板的表面上搭载半导体芯片。接着，进行焊锡回流，使焊锡突起电极与布线基板的电极之间被接合，而完成半导体芯片向布线基板上的安装。

TAB 方式是：首先，在半导体芯片的外部连接电极上形成金（Au）突起电极，形成在布线基板的电极上层叠铜（Cu）并且在 Cu 上层叠锡（Sn）的 Sn/Cu 突起电极。进行半导体芯片上的突起电极与布线基板的引线的位置对准，接着，一起通过热压接使 Au 突起电极与 Sn/Cu 突起电极之间被接合，完成半导体芯片向布

线基板上的安装。

这样的微小突起电极一般通过电镀而形成。在图 15 (A) 至图 15 (D) 中表示了 Au 突起电极的制造方法。

(1) 首先, 准备半导体晶片 100 (参照图 15 (A))。该半导体晶片 100 处于切割工序前的状态, 并且, 处于细分为半导体芯片前的状态。在半导体晶片 100 中, 在每个半导体芯片形成区域中, 在电路搭载面上配置外部连接电极 (键合焊盘) 101。在外部连接电极 101 的上层形成钝化膜 102。在钝化膜 102 中, 在外部连接电极 101 的位置上形成开口部 102H。接着, 在该钝化膜 102 上的突起电极形成区域中形成具有开口部 103H 的聚酰亚胺类树脂膜 103。

(2) 如图 15 (A) 所示的那样, 包含在聚酰亚胺类树脂膜 103 上、钝化膜 102 上、开口部 103H 的内壁上、开口部 102H 的内壁上、从开口部 103H 和开口部 102H 露出的外部连接电极 101 上的整个表面上, 形成下突起金属 (UBM) 膜 110。UBM 膜 110 通过溅射法、电镀法的等成膜方法来形成, 对该 UBM 膜 110 至少要求以下功能:

(a) 确保外部连接电极 101 与突起电极 (图 15 (B) 所示的 Au 突起电极 112) 之间的电气导通的功能;

(b) 确保外部连接电极 101 与突起电极之间的紧密连接性的功能;

(c) 防止外部连接电极 101 与突起电极之间的热扩散, 作为不会发生导通不良和紧密连接性变差的阻挡膜的功能;

(d) 当电解电镀时能够作为供电层而使用的功能。

由于这样的多功能被要求, 而在 UBM 膜 110 上采用两层或者三层的层叠膜构造。例如, 在 UBM 膜 110 上, 从外部连接电极 101 侧向着突起电极侧, 使用依次层叠钛 (Ti) 膜、镍 (Ni) 膜、铅 (Pb) 膜的层叠膜和依次层叠铬 (Cr) 膜、Cu 膜、Au 膜的层叠膜。而且, 在该 UBM 膜 110 上需要几百 nm 至几 μm 的厚度。

(3) 接着, 使用光刻技术, 在 UBM 膜 110 上涂敷光致抗蚀剂膜, 进行曝光、显影, 由此, 从光致抗蚀剂膜形成突起电极形成用掩模 111 (参照图 15 (B))。该突起电极形成用掩模 111 在外部连接电极 101 上设置 UBM 膜 110 的表面露出的开口部 111H。

(4) 通过电解电镀法, 向 UBM 膜 110 供电, 如图 15 (B) 所示的那样, 在突起电极形成用掩模 111 的开口部 111H 内部, 在 UBM 膜 110 上形成 Au 突起电

极 112。

(5) 然后, 如图 15 (C) 所示的那样, 剥离突起电极形成用掩模 111。

(6) 接着, 如图 15 (D) 所示的那样, 使用 Au 突起电极 112 作为腐蚀掩模, 通过腐蚀除去 Au 突起电极 112 下以外的不必要的 UBM 膜 110。例如, 当在 UBM 膜 110 上使用 Ti 膜、Ni 膜及 Pd 膜的层叠膜的情况下, 通过使用硝酸、盐酸、醋酸的混合水溶液的湿腐蚀, 来腐蚀 Pd 膜和 Ni 膜, 然后, 通过使用氟酸水溶液的湿腐蚀, 来腐蚀 Ti 膜。

在图 16 (A) 至图 16 (E) 中表示铅 (Pb) - Sn、银 (Ag) - Sn 等焊锡突起电极的制造方法。

(1) 与上述 Au 突起电极 112 的制造方法相同, 首先, 准备半导体晶片 100 (参照图 16 (A))。在该半导体晶片 100 中, 在每个半导体芯片形成区域中, 在电路搭载面上配置外部连接电极 101。在外部连接电极 101 的上层依次形成具有开口部 102H 的钝化膜 102、具有开口部 103H 的聚酰亚胺类树脂膜 103。

(2) 如图 16 (A) 所示的那样, 至少在包含外部连接电极 101 上的半导体晶片 100 上的整个表面上形成 UBM 膜 110。在此, UBM 膜 110 与 Au 突起电极 112 的情况相同, 通过层叠构造而形成, 但是, 为了防止在焊锡突起电极 (图 16 (B) 所示的标号 122) 中包含的 Sn 向外部连接电极 101 的扩散, 而形成比 Au 突起电极 112 时厚的膜厚。

(3) 接着, 使用光刻技术, 在 UBM 膜 110 上形成突起电极形成用掩模 121 (参照图 16 (B))。该突起电极形成用掩模 121 在外部连接电极 101 上设有 UBM 膜 110 的表面露出的开口部 121H。

(4) 通过电解电镀法, 向 UBM 膜 110 供电, 如图 16 (B) 所示的那样, 在突起电极形成用掩模 121 的开口部 121H 内部, 在 UBM 膜 110 上形成焊锡突起电极 122。

(5) 然后, 如图 16 (C) 所示的那样, 剥离突起电极形成用掩模 121。

(6) 如图 16 (D) 所示的那样, 使用焊锡突起电极 122 作为腐蚀掩模, 通过腐蚀除去焊锡突起电极 122 下以外的不必要的 UBM 膜 110。UBM 膜 110 的腐蚀与上述相同通过湿腐蚀来进行。

(7) 接着, 如图 16 (E) 所示的那样, 进行焊锡回流, 形成球形的焊锡突起电极 122B。

发明内容

在上述那样的设有 Au 突起电极 112 和焊锡突起电极 122 的半导体器件中，未考虑以下几点：

(1) 在 Au 突起电极 112 的制造方法中，在 UBM 膜 110 的不需要部分的除去 5 中使用湿腐蚀。湿腐蚀的腐蚀方向基本上是等方向的，因此，如图 17 用虚线围住所示的那样，在 Au 突起电极 112 之下产生了基蚀 110U。例如，在 8 英寸直径的半导体晶片 100 的情况下，基蚀量在一侧达到了 $10\ \mu\text{m}$ 的程度。因此，在 $20\ \mu\text{m}$ 以下直径的 Au 突起电极 112 中，Au 突起电极 112 之下的 UBM 膜 110 通过基蚀被去掉，因此，不能在外部连接电极 101 与 Au 突起电极 112 之间形成接合部。10 这样的现象在焊锡突起电极 122 的制造方法中是同样的。

(2) 即，难于制造细微的 Au 突起电极 112 或者焊锡突起电极 122。其结果，难于实现半导体器件的电路工作速度的高速化、高发热化、多端子化。而且，难于实现半导体器件的小型化、轻量化、多功能化。

(3) 而且，通过 UBM 膜 110 的基蚀 110U，Au 突起电极 112 或者焊锡突起电 15 极 122 与外部连接电极 101 之间的接合部的机械强度降低。因此，通过由温度循环产生的应力，在接合部上发生裂纹或者产生接合部的断裂，因此，有损于半导体器件的可靠性。

(4) 在 UBM 膜 110 的不需要部分的除去中，考虑利用各向异性腐蚀例如反 20 应性离子腐蚀 (RIE) 等干腐蚀。但是，在 UBM 膜 110 上层叠干腐蚀难于进行材料，在强行进行干腐蚀的情况下，腐蚀时间增大，制造成本非常高。

另一方面，使用上述那样的焊锡突起电极 122 来接合窄间距的电极，存在限 25 度。焊锡突起电极在通过焊锡回流而一度被熔融之后，被凝固，来进行电极间的接合。因此，接合后的焊锡突起电极的形状难于进行控制，在相邻的电极侧，焊锡突起电极容易发生膨胀，因此，发生相邻电极间的短路，成为连接不良发生的原因。

因此，近年来，存在在半导体器件中采用不通过焊锡突起电极来接合电极间 30 的方法的倾向。如图 18 所示的那样，在半导体芯片 200 的外部连接电极 201 与半导体芯片 210 的外部连接电极 211 之间不通过焊锡突起电极来接合。在接合中使用在压缩外部连接电极 201 和 211 的方向上移动的负荷。在负荷施加前，所接合的半导体芯片 200 和 210 的平行度 (距 x-y 平面的斜率) 被调节，进行

外部连接电极 201 和 211 相互的使 x 方向、y 方向、以 z 轴为中心的旋转角 θ 的偏移相一致的位置对准。

而且，当外部连接电极 201 和 211 的处理为例如 Cu 等容易生成氧化物、硫化物等化合物的金属时，怎样不生成这样的化合物来使外部连接电极 201 和 211 之间接触或者除去化合物来使外部连接电极 201 和 211 之间的新生面相互接触成为为了进行良好的接合的重要的技术课题。

作为解决这样的技术课题的第一接合方法，具有在氢还原气氛中进行电极的彼此接合的方法。在该第一接合方法中，需要这样的接合装置：把还原气氛调节到预定压力上，来调节半导体芯片 200 和 210 的平行度，在 μm 级上调节外部连接电极 201 和 211 的位置对准，控制接合加权，能够进行用于还原反应的加热。在还原反应中需要例如 450°C 的加热。

在这样的第一接合方法中，接合装置成为大规模的，引起了接合装置的制造成本的上升。结果，使用这样的接合装置所制造的半导体器件的制造成本上升。

而且，作为第二接合方法，是这样的方法：在大致常温并且超高真空中，在外部连接电极 201 和 211 上进行离子照射，除去氧化物和有机物，然后，接合外部连接电极 201 与 211 之间。在第二接合方法中，能够进行抽真空，进行离子照射，与第一接合方法的情况相同，需要这样的接合装置：调节半导体芯片 200 和 210 的平行度，在 μm 级上调节外部连接电极 201 和 211 的位置对准，控制接合加权。

在这样的第二接合方法中，接合装置成为大规模的，引起了接合装置的制造成本的上升。结果，使用这样的接合装置所制造的半导体器件的制造成本上升。

为了解决上述课题，本发明的第一方案是：一种半导体器件，包括：

在基板上所形成的第一电极；

所述第一电极上的凹型形状的下突起金属膜；以及

埋设在所述下突起金属膜的凹型形状内部的，侧面和底面由所述下突起金属膜围绕的突起电极。

本发明的第二方案是：一种半导体器件的制造方法，包括下列工序：

形成在电极上具有开口部的绝缘膜；

在所述绝缘膜上、所述开口部内壁上以及所述开口部内的所述电极上形成下突起金属膜；

在所述下突起金属膜上形成突起电极膜，以便于至少埋设所述开口部；

除去所述开口部之外的突起电极膜及下突起金属膜，形成由所述开口部内壁
上以及所述开口部内的所述电极上的下突起金属膜围绕周围的突起电极；以及
在膜厚方向上除去所述绝缘膜的至少表面的一部分。

5 本发明的第三方案是：一种半导体器件的制造方法，包括以下工序：

形成具有第一电极的第一基板；

形成具有第二电极的第二基板；

在所述第一电极、第二电极的至少一方的表面上附着活性化前的溶剂；

10 使所述第二电极通过所述溶剂而与所述第一电极相接触，在压缩所述第一电
极和第二电极的方向上加压；以及

在所述第一电极与第二电极之间的接合之前，在未到达所述第一电极和第二
电极的较低一方的熔点温度的温度下，使所述溶剂活性化。

本发明的第四方案是：一种半导体器件的制造方法，包括以下工序：

形成具有第一电极的第一基板；

15 形成具有第二电极的第二基板；

在所述第一电极、第二电极的至少一方的表面上，附着具有热固化性质和在
低于热固化温度的温度下进行活性化的性质的活性化前的溶剂；

使所述第二电极通过所述溶剂而与所述第一电极相接触，在压缩所述第一电
极和第二电极的方向上加压；

20 在所述第一电极与第二电极之间的接合之前，在未到达所述第一电极和第二
电极的较低一方的熔点温度的温度下，使所述溶剂活性化；以及

在所述第一电极和第二电极之间被接合之后，使溶剂热固化。

根据本发明能够得到以下效果：

25 (1) 能够提供这样的半导体器件：能够实现细微的突起电极，并且能够实
现高集成化、电路工作速度的高速化以及多端子化。

(2) 提供这样的半导体器件：能够提高电极与突起电极之间的连接部的电
气可靠性、机械可靠性的至少一方。

(3) 能够提供这样的半导体器件的制造方法：能够制造细微的突起电极。

(4) 能够提供这样的半导体器件的制造方法：能够提高制造上的成品率。

30 (5) 能够提供这样的半导体器件的制造方法：能够减少制造工序数量。

(6) 由于在电极之间插入通过活性化而除去了金属氧化物等的溶剂，进行加压来接合电极之间，因此，在接合处理中不需要危险的气体的处理和真空装置，能够构筑简易的半导体生产线。而且，由于能够在金属未熔融的情况下接合电极之间，因此，能够减少接合不良的发生。

5 附图说明

图1是表示本发明的第一实施例所涉及的半导体器件的半导体芯片及突起电极的基本构造的主要部分断面构造图；

图2(A)至图2(E)是包含本发明的第一实施例所涉及的突起电极的制造方法的半导体器件的制造工序断面图；

10 图3是本发明的第一实施例所涉及的第一构造的半导体器件的简要断面构造图；

图4是图3所示的第一构造的半导体器件的主要部分放大断面构造图；

图5(A)至图5(E)是图3和图4所示的第一构造的半导体器件的插入物的制造工序断面图；

15 图6是本发明的第一实施例所涉及的第二构造的半导体器件的简要断面构造图；

图7是图6所示的第二构造的半导体器件的主要部分放大断面构造图；

图8(A)至图8(D)是包含本发明的第二实施例所涉及的突起电极的制造方法的半导体器件的制造工序断面图；

20 图9(A)至图9(E)是包含本发明的第三实施例所涉及的突起电极的制造方法的半导体器件的制造工序断面图；

图10是本发明的第四实施例所涉及的半导体制造系统的简要构成图；

图11是表示本发明的第四实施例所涉及的半导体器件的制造方法的流程图；

图12是表示本发明的第四实施例所涉及的半导体器件的构成图；

25 图13是表示本发明的第五实施例所涉及的半导体器件的构成图；

图14是表示本发明的第五实施例所涉及的半导体器件的制造方法的流程图；

图15(A)至图15(D)是说明本发明的现有技术所涉及的Au突起电极的制造方法的制造工序断面图；

30 图16(A)至图16(E)是说明本发明的现有技术所涉及的焊锡突起电极的制造方法的制造工序断面图；

图17是本发明的现有技术所涉及的半导体器件的主要部分放大断面图；
图18是本发明的现有技术所涉及的半导体器件的接合工序断面图。

具体实施方式

下面参照附图来说明本发明的实施例所涉及的半导体器件及该半导体器件
5 的制造方法。在以下的图面记载中，相同或相似的部分使用相同或相似的标号。
但是，应当注意：图面是模式的，厚度与平面尺寸的关系、各层的厚度的比例
等与现实不同。这样，具体的厚度和尺寸应当参照以下的说明来判断。而且，
当然，附图相互之间包含相互的尺寸关系和比例不同的部分。

(第一实施例)

10 [半导体器件的半导体芯片及突起电极的基本构造]

如图1所示的那样，本发明第一实施例所涉及的半导体器件至少包括：外
部连接电极18；外部连接电极18上的UBM膜20；埋设在UBM膜20的凹型形状
内部，侧面及底面由UBM膜20围绕的突起电极21。

外部连接电极18是半导体芯片1的键合焊盘（外部连接端子）。半导体芯
15 片1包括：由硅单晶基板组成的半导体基板10、配置在该半导体基板10的主
面（电路搭载面）上的元件12、元件12上的第一层的布线14、第一层的布线
14上的第二层的布线16、以及作为第二层的布线16上的第三层的布线使用的
外部连接电极18。而且，本发明的第一实施例所涉及的半导体芯片1按上述那
样由三层布线构造所构成，但是，本发明并不仅限于该布线层数。

20 而且，虽然并不仅限于这样的元件构造，但在本发明的第一实施例中，元
件12由绝缘栅场效应晶体管（以下称为IGFET）所构成。在此，IGFET的意思
至少包含MISFET（金属绝缘体半导体场效应晶体管）、MOSFET（金属氧化物半
导体场效应晶体管）。即，元件12在由元件间分离绝缘膜11围绕周围的区域
25 内，包括：由半导体基板（或者阱区域）10组成的沟道形成区域、该沟道形成
区域上的栅绝缘膜12A、栅绝缘膜12A上的栅电极12B、配置在栅电极12B的两
侧的作为源极区域或者漏极区域而使用的一对半导体区域12C。

第一层的布线14配置在覆盖元件12的层间绝缘膜13上，通过形成在该层
间绝缘膜13上的连接孔而与元件12的半导体区域12C电连接。第一层的布线
14、后述的第二层的布线16以及外部连接电极18在本发明的第一实施例中是
30 由金属镶嵌工艺所形成的Cu布线或者Cu合金布线。而且，在本发明中，在第

一层的布线 14 等中使用铝 (Al) 膜、Al 合金膜 (例如, Al-Cu 膜、Al-Si 膜或者 Al-Cu-Si 膜) 等。而且, 对于层间绝缘膜 13、15、17, 可以实用地使用例如氧化硅膜、氮化硅膜的单层膜或者把这些单层膜层叠多层的复合膜。

第二层的布线 16 配置在层间绝缘膜 15 上, 通过形成在该层间绝缘膜 15 上的连接孔而与第一层的布线 14 电连接。

外部连接电极 (第三层的布线) 18 配置在层间绝缘膜 17 上, 通过形成在该层间绝缘膜 17 上的连接孔, 与第二层的布线 16 电连接。

而且, 在上述 UBM 膜 20 中, 其凹型形状的底面的全部区域电气并且机械地连接在外部连接电极 18 的表面上, 该凹型形状的侧面由与外部连接电极 18 的表面实质上垂直的面所构成。该 UBM 膜 20 的侧面的高度实质上与突起电极 21 距 UBM 膜 20 的底面的高度相同。在本发明的第一实施例中, 在突起电极 21 中使用 Cu 突起电极。而且, 在 UBM 膜 20 中使用这样的复合膜: 从外部连接电极 18 的表面侧, 向着其上方, 依次层叠氮化钽膜 (TaN)、钽 (Ta) 膜、Cu 膜。最上层的 Cu 膜至少具有导电性, 而且, 具有与外部连接电极 18 之间的高的粘接性的功能。中间层的 Ta 膜同样至少具有导电性, 而且, 具有作为外部连接电极 18 与突起电极 21 之间的防扩散阻挡层膜的功能。最下层的 TaN 膜至少具有导电性, 具有作为防氧化膜的功能。而且, UBM 膜 20 作为通过电解电镀形成突起电极 21 时的供电膜而使用。

突起电极 21, 如上述那样, 侧面的大致全部区域通过 UBM 膜 20 的内表面围绕, 底面同样由 UBM 膜 20 的底面围绕, 突起电极 21 的形状由 UBM 膜 20 的凹型形状所决定。突起电极 21 的平面形状虽然未图示, 氮可以由圆形、椭圆形、方形或者六角形和八角形等多边形形成。为了提高突起电极 21 的对温度循环的机械强度, 突起电极 21 的平面形状最好为圆形或者接近于此的形状。而且, 例如, 在面向特定用途的集成电路 (ASIC) 等中, 把突起电极 21 的平面形状作为电子信息来处理, 在此情况下, 机械的强度需要考虑, 减少电子信息量, 因此, 最好把突起电极 21 的平面形状设定为多边形。UBM 膜 20 的凹型形状的开口形状基本上与突起电极 21 的平面形状相同。因为即使作为电子信息的突起电极 21 的平面形状 (或者形成绝缘膜 25 的突起开口部 25H 的网格图形) 被设定为多边形, 在半导体晶片处理中, 曝光工序时的邻接效果、腐蚀工序时的腐蚀的回入等产生, 实际的突起电极 21 的平面形状成为接近于圆形的形状。本发明的第一实施例中,

对于突起电极 21，可以实用地使用由电解电镀而成膜的 Cu 膜。

突起电极 21 的上表面基本上为大致平面的，但是，在突起电极 21 的上侧拐角部上形成倒角 21C，谋求比突起电极 21 的上表面更加平坦化。在本发明的第一实施例中，所谓倒角 21C 的意思是：在水平面，例如与半导体基板 10 的电路
5 搭载面相对的，实质上平行的面中，被研磨的面。虽然在半导体器件的制造方法中进行了说明，但是，在形成突起电极 21 和 UBM 膜 20 时不必要的区域的突起电极膜（图 2(B) 所示的标号 21A）以及 UBM 膜 20 可以通过化学机械抛光（CMP）来去除，但是，此时，由于突起电极 21 的硬度低于绝缘膜 25 的硬度，则如虚线所示的那样，突起电极 21 的上表面中央部稍稍凹下，在上表面周边部的拐角
10 部分形成尖锐的形状（图 1 中由虚线表示）。倒角 21C 根据需要而沿着水平面进行，以便于去除这样的尖锐的形状部分。

突起电极 21 的侧面的至少外部连接电极 18 侧的一部分即 UBM 膜 20 的侧面的至少外部连接电极 18 侧的一部分通过作为钝化膜的绝缘膜 25 直接围绕。换句话说，突起电极 21 的外部连接电极 18 侧的一部分通过 UBM 膜 20 而埋设在形
15 成在绝缘膜 25 上的突起开口部 25H 内部。在本发明的第一实施例中，对于绝缘膜 25，可以实用地使用例如通过等离子 CVD 法而成膜的氧化硅膜、氮化硅膜等无机类绝缘膜。而且，对于绝缘膜 25，可以实用地使用通过旋涂玻璃（SOG）法所涂敷的氧化硅膜、通过旋涂法所涂敷的聚酰亚胺类树脂膜等有机类绝缘膜。

这样构成的本发明第一实施例所涉及的半导体器件中，UBM 膜 20 围绕突起
20 电极 21 的侧面和底面，在外部连接电极 18 与突起电极 21 之间，通过 UBM 膜 20 能够确保充分的电流路径的截面积和散热路径的截面积。这样，能够实现突起电极 21 是细微化，能够实现多端子化。而且，设有 UBM 膜 20 来围绕突起电极 21 的侧面，因此，能够防止突起电极（Cu 突起电极）21 的腐蚀，实现可靠性高的
25 半导体器件。而且，突起电极 21 是上表面与其他的电极（例如，后述的图 3 和图 4 所示的插入物 3 的栓塞 34）相接合，由于突起电极 21 的上表面不会露出，该部分的腐蚀不存在。

而且，凹型形状的 UBM 膜 20 具有适度的机械强度，突起电极 21 的形状变化难于产生，能够使突起电极 21 的高度均匀化，因此，能够提高突起电极 21 与该突起电极 21 上的其他电极之间的电连接可靠性。

30 而且，外部连接电极 18 与 UBM 膜 20 之间的连接部分以及 UBM 膜 20 与突起

电极 21 之间的连接部分通过绝缘膜 25 来进行机械补强。这样，能够防止伴随着热循环的剪切应力所引起的连接部分的破裂的发生和断裂，能够提高电气可靠性。如上述那样，当使用氧化硅膜、氮化硅膜等无机类绝缘膜来作为绝缘膜 25 时，能够抵抗剪切应力而坚固地固定连接部分。而且，当使用聚酰亚胺类树脂膜 5 等有机类绝缘膜作为绝缘膜 25 时，能够吸收剪切应力。

而且，在突起电极 21 的上侧拐角部进行倒角 21C，除去该部分产生的尖锐形状，能够使突起电极 21 的上表面平坦化，因此，能够防止突起电极 21 与连接在其上表面上的其他电极之间的连接不良，能够提高电气可靠性。

突起电极的制造方法及半导体器件的制造方法

10 下面使用图 2 (A) 至图 2 (E) 来说明至少包含上述突起电极 21 的制造方法的半导体器件的制造方法。而且，本发明第一实施例所涉及的半导体器件的制造方法是具有直径 $5\mu\text{m}$ ，高度 $0.5\mu\text{m}$ 尺寸的细微的 Cu 突起电极的制造方法。

(1) 首先，准备半导体晶片 10W (参照图 2 (A))。该半导体晶片 10W 处于半导体晶片处理的切割工序前的状态，并且，处于作为半导体芯片而细分之前的状态。半导体晶片 10W 由单晶硅晶片所形成，处于在各个半导体芯片形成区域的电路搭载面上已经配置了外部连接电极 18 的状态。

(2) 如图 2 (A) 所示的那样，在外部连接电极 18 上形成具有突起开口部 25H 的绝缘膜 25A。绝缘膜 25A 可以实用地使用例如由等离子 CVD 法成膜的氧化硅膜或者氮化硅膜等无机类绝缘膜，该无机类绝缘膜例如由 $1.5\mu\text{m}$ 的膜厚而形成。突起开口部 25H 通过光刻技术在绝缘膜 25A 上形成光致抗蚀剂膜，经过曝光处理、显影处理等，从光致抗蚀剂膜形成腐蚀掩模，使用该腐蚀掩模，通过刻图来形成绝缘膜 25A。在绝缘膜 25 的刻图中使用 RIE 等各向异性腐蚀，在细微化上较好。而且，在绝缘膜 25A 上，可以取代无机类绝缘膜而使用有机类绝缘膜。

(3) 接着，在绝缘膜 25A 上，在突起开口部 25H 内壁以及突起开口部 25H 25 的外部连接电极 18 上的半导体晶片 10W 的整个表面上形成 UBM 膜 20 (参照图 2 (B))。UBM 膜 20 例如由 $80\text{nm} \sim 200\text{nm}$ 左右膜厚的 Cu 膜、 $5\text{nm} \sim 50\text{nm}$ 左右膜厚的 Ta 膜、 $5\text{nm} \sim 50\text{nm}$ 左右膜厚的 TaN 膜的层叠膜所形成，这些膜可以通过连续的溅射而成膜。UBM 膜 20 通过这样的溅射而成膜，因此，能够沿着突起开口部 25H 的内壁的台阶面和突起开口部 25H 内露出的外部连接电极 18 的表面通过大致均匀的膜厚而形成。

(4) 接着, 如图 2 (B) 所示的那样, 在 UBM 膜 20 上形成突起电极膜 21A, 以便于至少埋设突起开口部 25H。对于突起电极膜 21A, 能够实用地使用例如 $1\ \mu\text{m} \sim 3\ \mu\text{m}$ 的膜厚的 Cu 膜。该 Cu 膜使用 UBM 膜 20 作为供电膜, 通过电解电镀而成膜。

5 (5) 如图 2 (C) 所示的那样, 除去突起开口部 25H 之外的不需要的 (剩余的) 突起电极膜 21A 和 UBM 膜 20, 形成由突起开口部 25H 内壁上以及突起开口部 25H 内的外部连接电极 18 上的 UBM 膜 20 围绕周围的突起电极 21。该不需要的突起电极膜 21A 及 UBM 膜 20 的除去通过 CMP 进行。CMP 化学并且机械地削去半导体晶片 10W 的整个表面, 因此, 结果, 绝缘膜 25A 的表面的高度、UBM 膜
10 20 的突起开口部 25H 内壁中的高度、突起电极 21 的高度大致成为相同的, 半导体晶片 10W 的整个表面被平坦化。

(6) 如图 2 (D) 所示的那样, 在膜厚方向上除去绝缘膜 25A 的表面的一部分, 使 UBM 膜 20 和突起电极 21 突出, 同时, 形成相对于这些 UBM 膜 20 和突起电极 21 凹进的绝缘膜 25。在绝缘膜 25A 的除去中, 可以使用干腐蚀或者湿腐蚀。
15 绝缘膜 25A 被除去例如 $0.5\ \mu\text{m}$ 左右, 最终的绝缘膜 25 的膜厚被调节为例如 $1.0\ \mu\text{m}$ 。而且, 当在绝缘膜 25A 中使用有机类树脂膜时, 在该绝缘膜 25A 的表面的
一部分的除去中, 可以使用等离子引导。

而且, 例如, 在充分得到外部连接电极 18 和 UBM 膜 20 之间的粘接力的情况下, 可以完全除去绝缘膜 25A, 而没有绝缘膜 25。

20 (7) 接着, 为了由通过上述 CMP 来去除由于在突起电极 21 的上表面中央部产生稍稍凹陷而引起的突起电极 21 的上侧拐角部尖锐形状, 如图 2 (E) 所示的那样, 进行倒角 21C (参照图 1)。倒角 21C 通过 CMP 进行, 通过该倒角 21C 能够使突起电极 21 的上表面平坦化。

(8) 当这一系列的工序结束时, 在外部连接电极 18 上通过 UBM 膜 20 而进
25 行电气和机械连接, 能够完成了设置了具有距绝缘膜 25 的表面 0.5mm 的高度的突起电极 21 的半导体晶片 10W。

(9) 然后, 对半导体晶片 10W 进行切割工序, 能够形成图 1 所示的半导体芯片 1。

30 (10) 接着, 如后述那样, 通过多层布线基板 (在图 3 中用标号 5 表示) 上安装半导体芯片 1, 能够完成本发明的第一实施例所涉及的半导体器件 (图 3

中用标号2表示)。

在这样的本发明的第一实施例所涉及的半导体器件的制造方法中,在形成具有突起开口部25H的绝缘膜25A之后,在突起开口部25H内壁上以及突起开口部25H内的外部连接电极18上的广泛范围内形成UBM膜20,由于接着并不进行
5 由把突起电极21作为掩模的湿腐蚀所进行的UBM膜20的刻图,能够防止UBM膜20的侧腐蚀。这样,能够确实地形成在外部连接电极18与UBM膜20之间插入UBM膜20的通道,因此,能够提高半导体器件的制造上的成品率。而且,由于防止了UBM膜20的侧腐蚀,能够如上述那样容易地制造出例如5 μm 直径或者以下的细微的突起电极21。

10 而且,在本发明的第一实施例所涉及的半导体器件的制造方法中,能够通过CMP来使包含突起开口部25H的绝缘膜25A上的整个表面平坦化,能够使突起电极21的高度均匀化,因此,能够防止突起电极21的连接不良。而且,能够通过一个CMP工序依次除去绝缘膜25A上的不需要的突起电极膜21A和UBM膜20,因此,能够减少半导体器件的制造工序数。

15 而且,在本发明的第一实施例所涉及的半导体器件的制造方法中,通过CMP突起电极21的上表面稍稍凹下,通过倒角21C来去除突起电极21的上侧拐角部的尖锐形状,因此,能够使突起电极21的上表面进一步平坦化。这样,能够防止突起电极21与同其上表面相连接的其他电极之间的连接不良,能够提高半导体器件的制造上的成品率。

20 [半导体器件的第一构造]

本发明的第一实施例所涉及的第一构造的半导体器件2,如图3和图4所示的那样,至少包括:多层布线基板5、该多层布线基板5上的插入物3、插入物3上的上述半导体芯片1。

25 多层布线基板5虽然没有详细表示其构造,但是,在基板本体51上设有多个布线层,在基板本体51的表面上(图3中的上侧表面)配置多个电极(内部电极)52。对于该基板本体51,可以实用地使用陶瓷基板、碳化硅基板、环氧类树脂基板等。

插入物3,在本发明的第一实施例中,具有作为插在多层布线基板5与半导体芯片1之间的中间布线基板的功能。该插入物3至少包括:插入物本体30,
30 从该插入物本体30的表面(图4中的下侧表面)到达里面(图4中的上侧表面)

的栓塞孔 30H、栓塞孔 30H 内壁上的绝缘膜 31、该绝缘膜 31 上的阻挡金属膜 32、阻挡金属膜 32 上的电镀供电膜 33、在电镀供电膜 33 上并埋设在栓塞孔 30H 内部的栓塞 34、插入物本体 30 表面上的第一层的布线 35、第一层的布线 35 上的第二层的布线 36、第二层的布线 36 上的外部连接电极（第三层的布线）37。而且，在插入物 3 的外部连接电极 37 上设有与上述半导体芯片 1 的 UBM 膜 20 相同构造的 UBM 膜 40、与半导体芯片 1 的突起电极 21 相同构造的突起电极 41。

对于插入物本体 30，能够实用地使用这样的单晶硅基板：通过与半导体芯片 1 的半导体基板 10 的热膨胀系数相同的并且与半导体芯片 1 的制造处理相同的制造处理来制造。对于栓塞 34，能够实用地使用导电性优良的 Cu 栓塞。该 Cu 栓塞利用栓塞孔 30H 内壁上的电镀供电膜 33，通过电解电镀而成膜。栓塞 34 埋设在栓塞孔 30H 内部，因此，作为从插入物 3 的表面到里面的通孔布线而使用。

插入物 3 的表面侧的栓塞 34 的一端与第一层的布线 35 电连接。插入物 3 的背面侧的栓塞 34 的另一端分别通过突起电极 21、UBM 膜 20 而与半导体芯片 1 的外部连接电极 18 电连接。即，在本发明的第一实施例所涉及的半导体器件 2 中，在使半导体芯片 1 的集成电路搭载面向着插入物 3 和多层布线基板 5 的状态下，通过安装半导体芯片 1 的 FC 方式来安装在多层布线基板 5 上。

第一层的布线 35、第二层的布线 36、外部连接电极 37，在本发明的第一实施例中，都可以通过 Cu 膜或者 Cu 合金膜而形成。当然，作为它们的材料，可以使用 Al 膜和 Al 合金膜。而且，在第一层的布线 35 与第二层的布线 36 之间、第二层的布线 36 与外部连接电极 37 之间配置绝缘膜和连接孔，但是，它们的构成基本上与半导体芯片 1 的构成相同，因此，省略其说明。

外部连接电极 37 上的 UBM 膜 40 和突起电极 41 基本上通过与半导体芯片 1 的 UBM 膜 20 和突起电极 21 相同的构造和材料而构成。即，UBM 膜 40 由凹型形状而形成，突起电极 41 被埋设在 UBM 膜 40 的凹型形状内部，侧面和底面通过 UBM 膜 40 围绕。

而且，突起电极 41 的外部连接电极 37 的一部分通过 UBM 膜 40 而埋设在形成在绝缘膜 42 上的突起开口部 42H 内部。

插入物 3 的突起电极 41 进一步通过焊接突起电极 6 而电气和机械地连接在多层布线基板 5 的电极 52 上。对于焊接突起电极 6，可以实用地使用例如 Sn-Pb、

Sn-Ag、Sn-Zn、Sn-Cu 等两元合金、Sn-Ag-Cu 等三元合金或者四元以上的合金。
[插入物的制造方法]

下面使用图 5 (A) 至图 5 (E) 来简单说明上述插入物 3 的制造方法。

(1) 首先, 如图 5 (A) 所示的那样, 准备成为插入物本体 30 的半导体晶
5 片 3W。对于该半导体晶片 3W, 实用地使用几百 μm 厚度的单晶硅晶片。

(2) 如图 5 (B) 所示的那样, 从半导体晶片 3W 的表面向着其深度方向形
成栓塞孔 30H。栓塞孔 30H 通过例如 RIE 等各向异性腐蚀来形成。虽然不一定限
定为以下数值, 但是, 在本发明的第一实施例中, 形成了具有直径 $30\ \mu\text{m}$ 、深度
 $60\ \mu\text{m}$ 的尺寸的栓塞孔 30H。

10 (3) 如图 5 (C) 所示的那样, 在半导体晶片 3W 的表面上, 包含栓塞孔 30H
内壁上以及栓塞孔 30H 底面上的半导体晶片 3W 的整个表面上, 依次使绝缘膜 31、
阻挡金属膜 32、电镀供电膜 33 成膜。

(4) 如图 5 (D) 所示的那样, 在电镀供电膜 33 上形成栓塞形成膜 34A, 以
便于至少埋设栓塞孔 30H 内部。对于该栓塞形成膜 34A, 可以实用地使用通过使
15 用电镀供电膜 33 作为供电膜的电解电镀而成膜的 Cu 膜。

(5) 如图 5 (E) 所示的那样, 在栓塞孔 30H 之外的区域中, 至少除去栓塞
形成膜 34A、电镀供电膜 33、阻挡金属膜 32, 形成埋设在栓塞孔 30H 内部的栓
塞 34。对于该不需要部分的除去, 可以使用例如 CMP。

(6) 然后, 虽然未图示, 但通过例如金属镶嵌工艺, 来形成第一层的布线
20 35、第二层的布线 36、外部连接电极 (第三层的布线) 37 (参照图 4)。

(7) 接着, 与半导体芯片 1 的 UBM 膜 20 和突起电极 21 的制造方法相同,
在半导体晶片 3W 的表面上, 在外部连接电极 37 上形成 UBM 膜 40 和突起电极 41
(参照图 3 和图 4)。

(8) 在栓塞 34 的另一端从半导体晶片 3W 的里面被露出之前, 进行半导体
25 晶片 3W 的薄膜化处理。对于该薄膜化处理, 可以实用地使用研磨处理和其后进
行的 CMP 处理。在栓塞 34 的另一端露出之前, 进行薄膜化处理的结果, 半导体
晶片 3W 的厚度成为约 $60\ \mu\text{m}$ 。

(9) 然后, 通过切割工序来细分半导体晶片 3W, 由此, 能够制造图 3 和图
4 所示的插入物 3。

30 [半导体器件的第二构造]

在本发明的第一实施例所涉及的第二构造的半导体器件2中,采用三维安装构造。即,第二构造的半导体器件,如图6和图7所示的那样,至少包括:多层布线基板5、在该多层布线基板5上沿高度方向依次层叠的半导体芯片7A、7B、7C和上述的半导体芯片1。

- 5 多层布线基板5和最上层的半导体芯片1的基本构造与图3所示的第一构造的半导体器件2的多层布线基板5和图1所示的半导体芯片1的构造相同,因此,在此省略其说明。

半导体芯片7A~7C基本上以同一构造构成,以与上述图3和图4所示的插入物3相类似的构造而构成。即,半导体芯片7A~7C至少包括:由单晶硅基板构成的半导体基板70、从该半导体基板70的表面(图7中的下侧表面)到达里面(该图7中的上侧表面)的栓塞孔70H、栓塞孔70H内壁上的绝缘膜71、该绝缘膜71上的阻挡金属膜72、阻挡金属膜72上的电镀供电膜73、处于电镀供电膜73上并且埋设在栓塞孔70H内部的栓塞74、半导体基板70的表面上的第一层的布线75、第一层的布线75上的第二层的布线76、第二层的布线76上的外部连接电极(第三层的布线)77。而且,虽然未图示,但在半导体芯片7A~7C的各个表面上配置与上述半导体芯片1的元件12相同的用于构筑集成电路的元件。而且,在半导体芯片7A~7C的各个外部连接电极77上,设有与半导体芯片1的UBM膜20相同的UBM膜80、与半导体芯片1的突起电极21相同的突起电极81。

- 20 而且,本发明的第一实施例所涉及的半导体芯片7A~7C的外部连接电极77和突起电极81以及半导体芯片1的外部连接电极18和突起电极21方格状地排列在半导体基板70以及半导体基板10的整个表面上,但是,也可以仅排列在周边上。其中,例如,在半导体基板10中,所谓「方格状地排列在整个表面上」的意思是:外部连接电极18和突起电极21排列在包含半导体基板10的集成电路上的整个表面上。而且,例如,在半导体基板10中,所谓「仅排列在周边上」的意思是:仅在半导体基板10的集成电路的周边上排列外部连接电极18和突起电极21。

对于栓塞74,与上述插入物3的栓塞34相同,能够实用地使用导电性优良的Cu栓塞。该Cu栓塞利用栓塞孔70H内壁上的电镀供电膜73,通过电解电镀而成膜。由于栓塞74埋设在栓塞孔70H内部,作为从半导体基板70的表面到

里面的贯通布线而使用。

第一层的布线 75、第二层的布线 76、外部连接电极 77，在本发明的第一实施例中，可以由 Cu 膜或者 Cu 合金膜形成。当然，作为它们的材料，可以使用 Al 膜和 Al 合金膜。而且，在第一层的布线 75 与第二层的布线 76 之间、第二层的布线 76 与外部连接电极 77 之间配置绝缘膜和连接孔，但是，它们的构成基本上与半导体芯片 1 的构成相同，因此，省略其说明。

外部连接电极 77 上的 UBM 膜 80 和突起电极 81 基本上通过与半导体芯片 1 的 UBM 膜 20 和突起电极 21 相同的构造和材料而构成。即，UBM 膜 80 由凹型形状而形成，突起电极 81 被埋设在 UBM 膜 80 的凹型形状内部，侧面和底面通过 UBM 膜 80 围绕。

而且，突起电极 81 的外部连接电极 77 的一部分通过 UBM 膜 80 而埋设在形成在绝缘膜 82 上的突起开口部 82H 内部。

最下层的半导体芯片 7A，通过把其表面（图 6 中和图 7 中的下侧表面）贴合在多层布线基板 5 的表面（图 6 中的上侧表面）的 FC 方式，而安装在多层布线基板 5 上。半导体芯片 7A 的外部连接电极 77 通过突起电极 81 而电气和机械地连接在多层布线基板 5 的电极 52 上。

第二层的半导体芯片 7B，通过把其表面（图 6 中和图 7 中的下侧表面）贴合在半导体芯片 7A 的里面（图 6 中的上侧表面）的 FC 方式，而安装在半导体芯片 7A 的里面上。半导体芯片 7B 的外部连接电极 77 通过突起电极 81 而电气并且机械地连接在半导体芯片 7A 的栓塞 74 上。

第三层的半导体芯片 7C，通过把其表面（图 6 中和图 7 中的下侧表面）贴合在半导体芯片 7B 的里面（图 6 中的上侧表面）的 FC 方式，而安装在半导体芯片 7B 的里面上。半导体芯片 7C 的外部连接电极 77 通过突起电极 81 而电气并且机械地连接在半导体芯片 7B 的栓塞 74 上。

最上层的半导体芯片 1，通过把其表面（图 6 中的下侧表面，上述图 1 中的上侧表面）贴合在半导体芯片 7C 的里面（图 6 中的上侧表面）的 FC 方式，而安装在半导体芯片 7C 的里面上。半导体芯片 1 的外部连接电极 18 通过突起电极 21 而电气并且机械地连接在半导体芯片 7C 的栓塞 74 上。

在这样构成的本发明的第一实施例的第二构造的半导体器件 2 中，在上述效果的基础上，多个半导体芯片 7A~7C 沿多层布线基板 5 上的高度方向而层叠在

半导体芯片 1 上, 因此, 能够谋求进一步的小型化。而且, 通过半导体芯片 7A 的栓塞 74 来进行半导体芯片 7A 与半导体芯片 7B 之间的电气和机械的连接, 通过半导体芯片 7B 的栓塞 74 进行半导体芯片 7B 与半导体芯片 7C 之间的电气连接, 通过半导体芯片 7C 的栓塞 74 来进行半导体芯片 7C 和半导体芯片 1 之间的电气连接, 能够缩短上下半导体芯片之间的连接路径长度, 因此, 能够谋求电路动作速度的高速化。

(第二实施例)

本发明的第二实施例说明了: 在上述本发明的第一实施例所涉及的半导体器件 2 的制造方法中, 提高半导体芯片 1 的绝缘膜 25 的膜厚的控制性的制造方法。以下使用图 8 (A) 至图 8 (D) 来说明本发明的第二实施例所涉及的半导体器件 2 的制造方法。

(1) 首先, 与本发明的第一实施例所涉及的半导体器件 2 的制造方法相同, 准备半导体晶片 10W (参照图 8 (A))。

(2) 如图 8 (A) 所示的那样, 在半导体晶片 10W 的外部连接电极 18 上形成具有突起开口部 25H 的绝缘膜 25A。其中, 绝缘膜 25A 至少通过这样的两层构造而形成: 形成第一绝缘膜 251, 接着, 在第一绝缘膜 251 上形成对该第一绝缘膜 251 具有腐蚀选择比的第二绝缘膜 252。对于第一绝缘膜 251, 可以实用地使用例如由等离子 CVD 法成膜的 $1.0\mu\text{m}$ 膜厚的氧化硅膜或者氮化硅膜等无机类绝缘膜。对于第二绝缘膜 252, 可以实用地使用通过例如旋涂法所涂敷的 $5\mu\text{m}$ 膜厚的聚酰亚胺类树脂等有机类绝缘膜。突起开口部 25H, 与本发明的第一实施例所涉及的半导体器件 2 的制造方法相同, 通过光刻技术以及腐蚀技术来形成。

(3) 接着, 在绝缘膜 25A 上, 在突起开口部 25H 内壁以及突起开口部 25H 的外部连接电极 18 上的半导体晶片 10W 的整个表面上形成 UBM 膜 20 (参照图 8 (B))。

(4) 接着, 如图 8 (B) 所示的那样, 在 UBM 膜 20 上形成突起电极膜 21A, 以便于至少埋设突起开口部 25H。

(5) 如图 8 (C) 所示的那样, 除去突起开口部 25H 之外的不需要的 (剩余的) 突起电极膜 21A 和 UBM 膜 20, 形成由突起开口部 25H 内壁上以及突起开口部 25H 内的外部连接电极 18 上的 UBM 膜 20 围绕周围的突起电极 21。该不需要的突起电极膜 21A 及 UBM 膜 20 的除去通过 CMP 进行。

(6) 接着, 如图8(D)所示的那样, 对于第一绝缘膜251有选择地腐蚀除去绝缘膜25A的表面的一部分即第二绝缘膜252, 使UBM膜20和突起电极21突出, 同时, 形成相对于这些UBM膜20和突起电极21凹进的由第一绝缘膜251构成的绝缘膜25。在第二绝缘膜252的除去中, 可以使用干腐蚀或者湿腐蚀。
5 而且, 当在第二绝缘膜252中使用有机类树脂膜时, 可以通过等离子引导而容易地除去第二绝缘膜252。

(7) 然后, 进行本发明第一实施例所涉及的半导体器件2的制造方法的图2(E)所示的倒角21C的工序和以后的工序, 由此, 在外部连接电极18上设置通过UBM膜20而电气和机械连接的突起电极21, 完成具有围绕该突起电极21
10 的周围至少一部分的绝缘膜25的半导体晶片10W。

(8) 然后, 对半导体晶片10W进行切割工序, 能够形成图1所示的半导体芯片1, 如图3和图4或者图6和图7所示的那样, 通过在多层布线基板5上安装半导体芯片1, 能够完成本发明的第二实施例所涉及的半导体器件2。

在这样的本发明的第二实施例所涉及的半导体器件的制造方法中, 通过至少
15 腐蚀选择比不同的第一绝缘膜251和第二绝缘膜252来形成绝缘膜25A, 把该第二绝缘膜252作为牺牲膜, 对第一绝缘膜251有选择地进行腐蚀除去, 因此, 能够在半导体晶片10W表面内使绝缘膜25A的表面的膜厚方向的除去量均匀化。

(第三实施例)

20 本发明的第三实施例说明了: 在上述本发明的第一实施例所涉及的半导体器件2的制造方法中, 取代半导体芯片1的UBM膜20的材料和突起电极21的材料例子。即, 本发明的第三实施例所涉及的半导体器件2的制造方法是具有直径 $10\mu\text{m}$ 、高度 $1\mu\text{m}$ 的尺寸的细微的Sn突起电极的制造方法。以下使用图9(A)至图9(E)来说明本发明的第三实施例所涉及的半导体器件2的制造方法。

25 (1) 首先, 与本发明的第一实施例所涉及的半导体器件2的制造方法相同, 准备半导体晶片10W(参照图9(A))。

(2) 如图9(A)所示的那样, 在外部连接电极18上形成具有突起开口部25H的绝缘膜25A。

(3) 接着, 在绝缘膜25A上, 在突起开口部25H内壁以及突起开口部25H
30 的外部连接电极18上的半导体晶片10W的整个表面上形成UBM膜26(参照图9

(B))。UBM膜26由例如50nm~200nm左右的膜厚的钛(Ti)膜、150nm~300nm左右的膜厚的Ni膜的层叠膜来形成,这些膜可以通过连续的溅射而成膜,因此,能够沿着突起开口部25H的台阶面以及在突起开口部25H内露出的外部连接电极18的表面而通过大致均匀的膜厚来形成。

5 (4)接着,如图9(B)所示的那样,在UBM膜26上形成突起电极膜27A,以便于至少埋设突起开口部25H。对于突起电极膜27A,实用地使用把UBM膜26作为供电膜而通过电解电镀来成膜的Sn膜,该Sn膜通过例如 $2\mu\text{m}\sim 5\mu\text{m}$ 左右的膜厚来形成。

10 (5)如图9(C)所示的那样,除去突起开口部25H之外的不需要的(剩余的)突起电极膜27A和UBM膜26,形成由突起开口部25H内壁上以及突起开口部25H内的外部连接电极18上的UBM膜26围绕周围的突起电极27B。该不需要的突起电极膜27A及UBM膜26的除去通过CMP进行。

15 (6)接着,如图9(D)所示的那样,在膜厚方向上除去绝缘膜25A的表面的一部分,使UBM膜26和突起电极27B突出,同时,形成相对于这些UBM膜26和突起电极27B凹进的绝缘膜25。在绝缘膜25A的除去中,可以使用干腐蚀或者湿腐蚀。绝缘膜25A例如被除去 $1.0\mu\text{m}$ 左右,最终的绝缘膜25的膜厚被调节为例如 $1.5\mu\text{m}$ 。

(7)如图9(E)所示的那样,在例如 $200\sim 280^\circ\text{C}$ 左右的温度下,对突起电极27B进行焊锡回流,在上侧拐角部形成圆的突起电极27。

20 (8)当这些一连串的工序结束时,能够完成在外部连接电极18上设有通过UBM膜26而电气和机械连接的突起电极27的半导体晶片10W。

(9)然后,对半导体晶片10W进行切割工序,能够形成图1所示的半导体芯片1。

25 (10)接着,通过在图3和图4或者图6和图7所示的那样的多层布线基板5上安装半导体芯片1,能够完成本发明的第三实施例所涉及的半导体器件2。

在这样的本发明的第三实施例所涉及的半导体器件的制造方法中,能够得到与通过本发明的第一实施例所涉及的半导体器件2的制造方法所得到的效果相同的效果,同时,通过UBM膜26围绕突起电极27B的侧面和底面,该UBM膜26能够保持突起电极27B的形状(起到堤坝的作用),因此,即使在突起电极27B
30 上下降回流,也能防止突起电极材料(Sn)的流出,而能够制造出这样的细微的

焊锡突起电极 27: 在回流工序后, 能够通过 UBM 膜 26 来调节形状。

而且, 在本发明的第三实施例所涉及的半导体器件 2 中, 能够防止伴随着回流工序的突起电极 27B 的流出所引起的相邻突起电极 27 之间的短路, 能够提高电气可靠性, 同时, 能够把突起电极 27 的排列间隔细微化 (小间距化), 能够进一步实现突起电极 27 的细微化、多端子化。

而且, 凹型形状的 UBM 膜 26 具有适当的机械强度, 突起电极 27 的形状变化难于产生, 能够提高突起电极 27 与该突起电极 27 上的其他电极之间的电气连接可靠性。在此, 所谓「其他的电极」是指: 例如, 如图 3 和图 4 所示的插入物 3 的栓塞 34、多层布线基板 5 的电极 52, 以及图 6 和图 7 所示的半导体芯片 7A ~ 7C 的栓塞 74。

(第四实施例)

本发明的第四实施例用于: 在设有第一基板上的第一电极和第二基板上的第二电极的半导体器件中, 第一电极与第二电极的接合。

在此, 对于第一基板, 能够实用地使用半导体基板, 对于第二基板, 能够实用地使用另一个半导体基板、布线基板等。而且, 第一电极和第二电极是接合用电极, 最好通过从基板表面突出的突出形状来加工第一电极或者第二电极的至少一方。

例如, 对于第一电极或者第二电极能够实用地使用突起电极。

而且, 第一电极或者第二电极可以是凸区 (land)。为了使接合容易, 最好通过从基板表面突出的突出形状来加工凸区。而且, 凸区由导体图形形成, 但是, 由于比其周围突起一定程度, 因此, 如果电极能够相互接触并接合, 就不需要特别加工成突起形状。

而且, 当把穿过半导体基板 (例如半导体芯片) 或者其他半导体基板而设置的穿过栓塞作为第一电极或者第二电极时, 如果有选择地除去穿过栓塞之外的半导体基板的表面部分, 能够使穿过栓塞从半导体基板表面突起。

本发明的第四实施例所涉及的半导体器件中, 对于第一电极或者第二电极, 最好使用至少 Cu、Ni、Au、Ag 之一的金属或者包含它们的合金。

这些金属作为第一电极或者第二电极即连接用电极的材料是常见的。特别是, Cu、Ni、Ag 容易生成氧化物等化合物, Au 容易发生有机物附着。这样, 在本发明的第四实施例中, 是适当的电极材料。

在本发明的第四实施例所涉及的半导体器件的制造方法中，包括在第一电极或者第二电极的至少一方上附着溶剂的工序。在所使用的溶剂中最好至少包含无机酸或者有机酸。考虑氧化物等的除去效果，选择适合于除去效果的无机酸或者有机酸，把该所选择的至少一方添加到溶剂中。

- 5 而且，在本发明的第四实施例所涉及的半导体器件的制造方法中，包括使溶剂活性化的工序。对于容易的活性化，可以实用地使用电阻加热、红外线照射、电子束照射或者激光照射。而且，考虑半导体器件的构造、活性化能量的供给方法等，来选择活性化方法。

[半导体制造系统的构成及动作]

- 10 在本发明的第四实施例所涉及的半导体器件的制造中，可以实用地使用图10所示的半导体制造系统（倒装芯片键合器）300。

半导体制造系统300包括：工作台301、工作头309、电荷耦合器件（CCD）
15 摄象机305和306。在工作台301上放置构筑半导体器件的，作为第一基板所接合的一方的半导体芯片（例如高速DRAM芯片）303。在工作头309上保持构造
半导体器件的，作为第二基板所接合的另一方半导体芯片（例如逻辑芯片）307。
在此，虽然未说明半导体芯片303的具体断面构造，单与上述图1所示的半导
体芯片1相同，把半导体基板10构成为主体。

- 在工作台301上配置例如真空吸附系统320的吸附部，在工作台301上装卸
自如地吸附保持半导体芯片303。同样，在工作头309上设置真空吸附系统320
20 的吸附部，在工作头309上装卸自如地吸附保持半导体芯片307。

而且，在半导体芯片303向工作台301的供给以及半导体芯片303从工作台
301的排出中使用搬运机器人321。同样，在半导体芯片307向工作头309的供
给以及半导体芯片307从工作头309的排出中使用搬运机器人322。

- 工作台301、工作头309的至少一方连接在位置调节机构323上，在该位置
25 调节机构323上连接电荷耦合器件（CCD）摄象机305和306。位置调节机构323
进行放置在工作台301上的半导体芯片303与保持在工作头309上的半导体芯
片307之间的位置对准。

- 具体地说，放置在工作台301上的半导体芯片303上的第一电极304由电荷
耦合器件（CCD）摄象机305进行摄象，通过位置调节机构323根据该摄象图象
30 来算出第一电极304的位置信息。同样，保持在工作头309下的半导体芯片307

上(图10中的下侧)的第二电极308由电荷耦合器件(CCD)摄象机306进行摄象,通过位置调节机构323根据该摄象图象来算出第二电极308的位置信息。根据这些位置信息,位置调节机构323使工作台301或者工作头309的至少一方在x-y平面上移动,而且,调节以z轴为中心的倾角 θ ,使第一电极304的位置与第二电极308的位置相一致。

电荷耦合器件(CCD)摄象机305和306连接在摄象机移动机构324上。当第一电极304与第二电极308之间的位置对准结束时,摄象机移动机构324使电荷耦合器件(CCD)摄象机305和306从工作台301与工作头309之间的接合区域退出。

在半导体制造系统300中,进一步包括溶剂射出器330、连接在该溶剂射出器330上的射出控制/移动机构331。溶剂射出器330由类似于注射器的构造来构成,使溶剂附着在半导体芯片303的第一电极304(和/或半导体芯片307的第二电极308上)。射出控制/移动机构331可以在电荷耦合器件(CCD)摄象机305和306退出的区域中(工作台301与工作头309之间)即半导体芯片303上,在与第一电极304非接触的状态下扫描溶剂射出器330。而且,射出控制/移动机构331能够控制溶剂从溶剂射出器330的射出量。

在此,在本发明的第四实施例中,对于溶剂,在第一电极304与第二电极308之间的接合前,在未到达第一电极304或者第二电极308的较低一方的熔点温度上,使用活性化的溶剂。而且,对于溶剂,在第一电极304与第二电极308之间接合之后,使用热固化的溶剂。

上述位置调节机构323可以使工作台301或者工作头309的至少一方沿着z轴移动。通过该移动,至少在第一电极304上附着了溶剂之后,在第一电极304与插入了溶剂的第二电极308之间施加压缩配重。

在工作台301中内置加热器302,在工作头309中内置加热器310。加热器302和310加热第一电极304与第二电极308之间的溶剂,促进该溶剂的活性化。

而且,本发明的第四实施例所涉及的半导体制造系统300,工作台301与工作头309的接合区域可以暴露在大气中,但是,最好至少把该接合区域保持在惰性气体气氛中。对于惰性气体,可以实用地使用 N_2 或Ar。

而且,在半导体制造系统300中,为了提高接合性,可以把超声波振动发生机构连接在工作台301或者工作头309的至少一方上。

[半导体器件的制造方法]

下面使用图 11 来说明本发明的第四实施例所涉及的半导体器件的制造方法。在此，在半导体器件的制造中，使用上述图 10 所示的半导体制造系统 300。

半导体器件，如图 10 和图 12 所示的那样，使半导体芯片（高速 DRAM 芯片）303 的电路搭载面与半导体芯片（逻辑芯片）307 的电路搭载面相对地开合来制造。即，本发明的第四实施例所涉及的半导体器件的制造方法是进行半导体基板相互的接合的制造方法。直接接合的部分在半导体芯片 303 的第一电极 304 与半导体芯片 307 的第二电极 308 之间。在半导体芯片 303 与 307 之间，可以通过最短距离来高速传导时钟信号、控制信号、数据信号等信号，因此，能够实现电路工作速度、数据的读出动作速度及写入动作速度等的高速化。

(1) 首先，使用图 10 所示的半导体制造系统 300，接合半导体芯片 303 的第一电极 304 与半导体芯片 307 的第二电极 308 (S400)。该接合处理最好在常压（大气压）下的 N_2 、Ar 等惰性气体气氛中实施。而且，接合处理可以在大气中实施。

而且，在接合处理的实施前，第一电极 304、第二电极 308 的至少一方形成成为适合于接合的构造或者形状。例如，在半导体芯片 307 中，在切割工序前的晶片状态下，第二电极 308 的形状形成成为突起状。该第二电极 308 例如以 Cu 为主要成分而形成，由 $5\mu m$ 方形的平面尺寸、 $10\mu m$ 的排列芯片而形成。而且，在每个芯片上排列着约一万个第二电极 308。

而且，在半导体芯片 303 中，预先形成具有与半导体芯片 307 的第二电极 308 相等的尺寸，并且，具有相同排列间距的第一电极 304。第一电极 304 与第二电极 308 相同，以 Cu 为主要成分而形成。

在本发明的第四实施例所涉及的半导体器件中，对于第一电极 304、第二电极 308，可以实用地使用作为接合用电极的 Cu 突起电极。

上述接合处理的详细程序为以下这样：

首先，在图 10 所示的半导体制造系统 300 中，工作台 301 和工作头 309 被设定为隔开的状态下。而且，给工作台 301 供给半导体芯片 303，给工作头 309 供给半导体芯片 307 (S401)。半导体芯片 303 的供给由搬运机器人 321 进行，半导体芯片 307 的供给由搬运机器人 322 进行。而且，工作台 301 的放置面、工作头 309 的保持面都是在例如没有倾斜的状态下预先调节相对于 x-y 平面（水

平面)的倾角,双方的平行度被确保在高精度下。

接着,放置在工作台 301 上的半导体芯片 303 的第一电极 304 被电荷耦合器件(CCD)摄象机 305 摄象,第一电极 304 的位置信息被输出给位置调节机构 323。同样,保持在工作头 309 上的半导体芯片 307 的第二电极 308 由电荷耦合器件
5 (CCD)摄象机 306 摄象,第二电极 308 的位置信息被输出给位置调节机构 323。位置调节机构 323 根据这些位置信息而使工作台 301 或者工作头 309 在 x-y 平面上移动,通过调节倾角 θ ,来进行第一电极 304 与第二电极 308 之间的位置对准(S402)。而且,在位置对准中并不一定使用 CCD 摄象机来进行,也可以利用使用激光的光学位置对准。

接着,通过射出控制/移动机构 331,来使溶剂射出器 330 在半导体芯片 303
10 上进行扫描。溶剂射出器 330 在第一电极 304 上向该第一电极 304 射出溶剂,把该溶剂附着包覆在第一电极 304 上(S403)。在本发明的第四实施例所涉及的半导体器件的制造方法中,溶剂仅附着在半导体芯片 303 的第一电极 304 上,但是,本发明并不限于此,可以在半导体芯片 307 的第二电极 308 上单独或
15 者与第一电极 304 一起来附着溶剂。

在此,溶剂的附着是活性化前的溶剂的附着。溶剂通过被活性化,而具有这样的性质:溶解或者改变(还原)在第一电极 304 的金属表面上所形成的氧化物、硫化物或者附着在金属表面上的有机物中的至少一个。例如,可以实用地使用包含异丙醇等的溶媒、己烯乙二醇和聚甘油等多价醇、作为活性剂的醋酸和氨基乙醇等有机酸的液状溶剂。在溶剂中,可以取代有机酸而使用磷酸、盐酸、硫酸、
20 氟酸等无机酸,或者在有机酸中加入上述无机酸。而且,溶剂可以使用水溶性、非水溶性的类型。在本发明的第四实施例的实施例所涉及的半导体器件的制造方法中,溶剂从溶剂射出器 330 射出、分散、附着,但是,如果是液状溶剂,可以用毛刷和毛笔来涂刷。

接着,通过位置调节机构 323 使工作台 301 或者工作头 309 的至少一方在 z
25 轴向上移动,在半导体芯片 303 的第一电极 304 与半导体芯片 307 的第二电极 308 之间通过溶剂来接触(S404)。

而且,使工作台 301 或者工作头 309 的至少一方在 z 轴向上移动,在第一电极 304 与第二电极 308 之间施加压缩配重(S405)。同时,通过内置在工作台
30 301 中的加热器 302 来加热第一电极 304,用内置在工作头 309 中的加热器 310

来加热第二电极 308。在此，由于使用加热器 302 和 310，因此是电阻加热。加热在未到达第一电极 304 和第二电极 308 中的任一个熔点温度较低一方的范围内被实施，通过第一电极 304、第二电极 308，在溶剂达到活性化温度之前进行。例如，使用这样的加热：在溶剂从室温到达 160℃ 的活性化温度之前，以每秒
5 10℃ 的速度进行温度上升，在到达活性化温度的状态下，保持一分钟。

其中，如上述那样，能够与溶剂的活性化一起，在第一电极 304 和第二电极 308 之间施加超声波振动。通过超声波振动的施加，促进了第一电极 304、第二电极 308 各自表面的氧化物等的覆盖膜的除去，在第一电极 304、第二电极 308 的表面上，能够容易使金属新生面被露出。

10 通过这些接合处理 (S400)，电连接并且机械接合半导体芯片 303 的第一电极 304 与半导体芯片 307 的第二电极 308 之间。

(2) 接合处理完成的半导体芯片 303 和 307 被输送到退火装置中，进行退火 (S410)。退火条件例如是 250℃ 的温度下一小时。通过该退火，能够使第一电极 304 与第二电极 308 的接合面附近产生的空隙被消除，并且，能够增加接
15 合表面积而提高接合强度，因此，能够提高半导体器件的生产性。

(3) 退火结束的半导体芯片 303 和 307 被浸渍在充满清洗液的清洗槽中，进行超声波清洗，由此，除去残留在电极间、半导体芯片间的溶剂 (S411)。

(4) 在溶剂清洗结束之后，在半导体芯片 303 与 307 之间的间隙中填充未充满树脂 (S412)。未充满树脂能够防止第一电极 304 和第二电极 308 暴露在
20 大气中，能够防止来自外部的水分的侵入，因此，能够防止时效的电特性和机械特性的变差。而且，未充满树脂能够提高半导体芯片 303 与半导体芯片 307 之间和第一电极 304 与第二电极 308 的接合部分的机械强度。

(5) 接着，通过封装半导体芯片 303 和 307 (S413)，能够制造本发明的第四实施例所涉及的半导体器件。

25 而且，在本发明的第四实施例中，溶剂能够使用水溶性的溶剂或者非水溶性的溶剂。当然，能够根据这样的溶剂的性质来适当变更溶剂清洗工序 (S411) 的清洗方法。例如，在使用脂溶性的溶剂的情况下，能够选择有机溶剂作为溶剂清洗液。

[半导体器件的构造]

30 在图 12 中表示了通过本发明的第四实施例所涉及的制造方法所制造的半导

体器件的一例。半导体器件包括：具有第一电极 304 的半导体芯片 303、具有与第一电极 304 相接合的第二电极 308 的半导体芯片 307、半导体芯片 303 与 307 之间的未充满树脂 353、构筑封装的布线基板 350、电连接半导体芯片 303 的外部电极 351 和布线基板 350 的电极的导线 352。

- 5 在这样的本发明的第四实施例所涉及的半导体器件的制造方法中，在半导体芯片 303 的第一电极 304、半导体芯片 307 的第二电极 308 至少任一方上附着活性化之前的溶剂，在通过加热而使溶剂活性化的状态下，在压缩第一电极 304 和第二电极 308 的方向上加压。溶剂的活性化温度不会到达第一电极 304 和第二电极 308 的金属的熔点，金属间相互的接合在固相状态下进行。这样，不需要
10 危险的气体的处理和真空装置，因此，能够谋求半导体生产线的简化。并且，由于不引起金属的熔融来进行第一电极 304 与第二电极 308 之间的接合，而能够抑制接合不良的发生。

[变形例]

- 本发明的第四实施例所涉及的半导体器件具有把半导体芯片 303 作为高速
15 DRAM 芯片、把半导体芯片 307 作为逻辑芯片的层叠构造，但是，本发明并不仅限于这样的构造。本发明能够适合于具有 DRAM 芯片、SRAM（静态随机存取存储器）芯片等的存储器芯片彼此的层叠构造、逻辑芯片彼此的层叠构造的半导体器件。

- 而且，本发明能够适合于层叠三个以上的半导体芯片的半导体器件，特别是，
20 三维层叠构造的半导体器件。在三维层叠构造的半导体器件中，能够使用穿通栓塞作为连接电极。

而且，本发明能够适合于这样的情况：在切割工序前的晶片状态下，接合电极彼此。

- 而且，在图 10 所示的本发明的第四实施例所涉及的半导体制造系统 300 中，
25 工作台 301 与工作头 309 之间的平行度和半导体芯片 303 的第一电极 304 与半导体芯片 307 的第二电极 308 之间的 x 方向、y 方向以及倾角 θ 的位置对准精度可以适应于电极尺寸、排列间距、电极数等所制造的半导体器件所要求的精度。

- 而且，本发明的第四实施例所涉及的半导体器件的制造方法，在附着溶剂（S403），接触电极（S404）之后，通过加热器 302 和 310 来加热溶剂（S405）。
30 但是，本发明并不仅限于该处理顺序，也可以采用这样的处理顺序：在附着溶剂

之后进行加热，通过加热使溶剂活性化，然后，使电极接触。根据本发明人实施的实验的结果，在附着了溶剂之后，预先通过加热来活性化，然后，接触电极并加压，进行电极间的接合，由此，能够缩短加压时间。而且，如果不缩短加压时间，能够充分进行电极间的接合，提高接合部分的机械强度，提高可靠性。

- 5 而且，本发明的第四实施例所涉及的半导体器件的制造方法，通过电阻加热来使溶剂活性化，但是，也可以通过红外线照射、电子束照射、激光照射等加热措施来使溶剂活性化。

(第五实施例)

- 10 本发明的第五实施例说明了本发明第四实施例所涉及的半导体器件及其制造方法的变形例所涉及的半导体器件及其制造方法。具体地说，在本发明所涉及的半导体器件的制造方法的电极接合(S405)后，取代附着需要清洗工序的溶剂的工序，采用这样的工序：通过热固化来附着起未充满树脂作用的溶剂。通过追加附着具有这样作用的溶剂的工序，在本发明的第五实施例所涉及的半导体器件的制造方法中，能够省略溶剂的清洗工序和未充满树脂的填充工序。

- 15 所谓起未充满树脂作用的溶剂是具有这样性质的溶剂：例如在150℃左右的比常温高的比较低的温度下，作为液体来溶解或者变化(还原)金属氧化物等，在比其高的例如250℃下热固化。作为该溶剂热固化后的性质，与接触的部件的紧密性较高，并且，在装置使用环境下，能够防止水分等的侵入。

[半导体器件的构造]

- 20 本发明第五实施例所涉及的半导体器件，如图13所示的那样，包括：作为第一基板的布线基板503、该布线基板503上的第一电极504、层叠在布线基板503上的作为第二基板的半导体芯片501、该半导体芯片501上(图中的下侧表面上)的与第一电极504相接合的第二电极502、布线基板503与半导体芯片501之间的未充满树脂505。

- 25 在此，布线基板503包含至少在其表面上具有第一电极和布线的把玻璃环氧树脂作为芯材的印刷电路板、陶瓷基板、碳化硅基板、玻璃基板、硅基板等。在第一电极和布线的基础上，还可以在布线基板503上搭载电路。而且，布线基板503并不仅限于仅在表面上设置布线层的单层布线构造，也可以是在里面或者内部设置布线层的多层布线构造。

- 30 半导体芯片501并不限于此，可以是本发明的第四实施例所涉及的半导体

器件的高速 DRAM 芯片或者逻辑芯片。

[半导体器件的制造方法]

下面使用图 14 来说明本发明的第五实施例所涉及的半导体器件的制造方法。在此，在半导体器件的制造中，使用上述图 10 所示的半导体制造系统 300。

5 半导体器件，如图 13 所示的那样，使布线基板 503 的芯片搭载面与半导体芯片 501 的电路搭载面相对地开合来制造。即，本发明的第五实施例所涉及的半导体器件的制造方法是进行布线基板与半导体基板的接合的制造方法。直接接合的部分在布线基板 503 的第一电极 504 与半导体芯片 501 的第二电极 502 之间。

(1) 首先，使用图 10 所示的半导体制造系统 300，接合布线基板 503 的第一电极 504 与半导体芯片 501 的第二电极 502 (S450)。该接合处理最好在常压 (大气压) 下的 N_2 、Ar 等惰性气体气氛中实施。而且，接合处理可以在大气中实施。

而且，在接合处理的实施前，第一电极 504、第二电极 502 的至少一方形成 15 为适合于接合的构造或者形状。例如，在半导体芯片 501 中，在切割工序前的晶片状态下，第二电极 502 的形状形成成为棱柱状或者圆柱状。该第二电极 502 例如以 Ni 为主要成分而形成，由 $60\ \mu\text{m}$ 方形或者直径 $60\ \mu\text{m}$ 的平面尺寸、 $100\ \mu\text{m}$ 的排列芯片而形成。而且，在每个芯片上排列着约 4900 个第二电极 502。而且，在布线基板 503 中，通过与第二电极 502 相同的排列间距来形成第一电极 504，该第一电极 504 通过比第二电极 502 稍大的 $70\ \mu\text{m}$ 方形或者直径 $70\ \mu\text{m}$ 的平面 20 尺寸而形成。第一电极 504、第二电极 502，在本发明的第五实施例中，在以 Cu 为主要成分的基础表面上被覆 Ni，但是，也可以不象本发明的第四实施例所涉及的半导体器件的第一电极 304 和第二电极 308 那样，形成为突起状。即，使布线基板 503 的第一电极 504 的尺寸比半导体芯片 501 的第二电极 502 的尺寸稍大，而在接合时的位置对准中具有裕量。

25 上述接合处理的详细顺序为以下这样：

首先，在图 10 所示的半导体制造系统 300 中，工作台 301 和工作头 309 被 30 设定为隔开的状态下。而且，给工作台 301 供给布线基板 503，给工作头 309 供给半导体芯片 501 (S451)。布线基板 503 的供给由搬运机器人 321 进行，半导体芯片 501 的供给由搬运机器人 322 进行。而且，工作台 301 的放置面、工作头 309 的保持面都是在例如没有倾斜的状态下预先调节相对于 x-y 平面 (水平

面)的倾角,双方的平行度被确保在高精度下。

接着,放置在工作台301上的布线基板503的第一电极504被电荷耦合器件(CCD)摄象机305摄象,第一电极504的位置信息被输出给位置调节机构323。同样,保持在工作头309上的半导体芯片501的第二电极502由电荷耦合器件(CCD)摄象机306摄象,第二电极502的位置信息被输出给位置调节机构323。位置调节机构323根据这些位置信息而使工作台301或者工作头309在x-y平面上移动,通过调节倾角 θ ,来进行第一电极504与第二电极502之间的位置对准(S452)。而且,在位置对准中并不一定使用CCD摄象机来进行,也可以利用使用激光的光学位置对准。

接着,通过射出控制/移动机构331,来使溶剂射出器330在半导体芯片303上进行扫描。溶剂射出器330在第一电极504上向该第一电极504射出溶剂,把该溶剂附着包覆在第一电极504上(S453)。在本发明的第五实施例所涉及的半导体器件的制造方法中,溶剂仅附着在布线基板503的第一电极504上,但是,本发明并不仅限于此,可以在半导体芯片501的第二电极502上单独或者与第一电极504一起来附着溶剂。在此,溶剂的附着是活性化前的溶剂的附着。与本发明的第四实施例的半导体器件的制造方法中所使用的溶剂相同,溶剂通过被活性化,而具有这样的性质:溶解或者改变(还原)在第一电极304的金属表面上所形成的氧化物等。而且,溶剂具有在高于活性化温度的温度下进行热固化的性质。这样的溶剂以ノ-フロ-アンダ-フィル这样的名称而市售。

接着,通过位置调节机构323使工作台301或者工作头309的至少一方在z轴向上移动,在布线基板503的第一电极504与半导体芯片501的第二电极502之间通过溶剂来接触(S454)。

而且,使工作台301或者工作头309的至少一方在z轴向上移动,在第一电极504与第二电极502之间施加压缩配重(S455)。同时,通过内置在工作台301中的加热器302来加热第一电极504,用内置在工作头309中的加热器310来加热第二电极502。在此,由于使用加热器302和310,因此是电阻加热。与本发明的第四实施例所涉及的半导体器件的制造方法相同,加热在未达到第一电极504和第二电极502中的任一个熔点温度较低一方的范围内被实施,通过第一电极504、第二电极502,在溶剂达到活性化温度之前进行。在此,如上述那样,能够与溶剂的活性化一起,在第一电极504与第二电极502之间施加超声

波振动。通过超声波振动的施加，促进第一电极 504、第二电极 502 各自表面的氧化物等的被覆膜的除去，在第一电极 504、第二电极 502 的表面上，能够容易使金属新生面被露出。

通过这些接合处理 (S450)，电连接并且机械接合布线基板 503 的第一电极 504 与半导体芯片 501 的第二电极 502 之间。

(2)接合处理完成的布线基板 503 和半导体芯片 501 被输送到退火装置中，进行退火 (S460)。退火条件例如是 250℃ 的温度下一小时。通过该退火，能够使第一电极 504 与第二电极 502 的接合面附近产生的空隙被消除，并且，能够增加接合表面积而提高接合强度，因此，能够提高半导体器件的生产性。而且，通过退火，能够使溶剂热固化，而形成未充满树脂 505。其结果，通过溶剂的热固化，能够把第一电极 504 和第二电极 502 与大气隔开，而得到时效的电气和机械的稳定性，同时，能够提高接合部的机械强度。而且，可以不需要溶剂的清洗工序，并且，不需要未充满树脂的填充工序，因此，能够进一步提高半导体器件的生产性。

而且，如果仅进行溶剂的热固化，可以使退火条件为例如 250℃ 的温度下 30 分钟。

在这样的本发明的第五实施例所涉及的半导体器件的制造方法中，在由上述本发明的第四实施例所涉及的半导体器件的制造方法所得到的效果的基础上，使半导体芯片 501 的第二电极 502 通过溶剂而与布线基板 503 的第一电极 504 相接合，然后使溶剂热固化，通过设置这样的工序，可以不需要溶剂的清洗工序和未充满树脂的填充工序，削减制造工序数量。

[变形例]

本发明的第五实施例所涉及的半导体器件的制造方法是：附着溶剂 (S453)，接触电极 (S454)，然后，通过加热器 302 和 310 进行加热 (S455)。但是，并不仅限于该处理顺序，也可以采用这样的处理顺序：在附着溶剂之后进行加热，通过加热使溶剂活性化，然后，使电极接触。

而且，本发明的第五实施例所涉及的半导体器件的制造方法是：通过电阻加热来使溶剂活性化，但是，也可以通过红外线照射、电子束照射、激光照射等加热措施来使溶剂活性化。

而且，在本发明中，可以使用在常温下保持薄膜状态的薄膜状溶剂。在此情

况下，薄膜状溶剂易于附着在保持在工作头 309 中的半导体芯片 501 上。

(其他的实施例)

虽然本发明通过上述多个实施例进行了记载，但是，不能理解为：成为该描述的一部分的论述以及附图并限定了本发明。应当知道：本领域技术人员可以根据该描述实现各种代替实施例及运用技术。

例如，在本发明的第一实施例所涉及的半导体器件 2 中，在突起电极 21 中使用了 Cu 突起电极，但是，本发明并不仅限于这样的材料，可以通过例如 Au 突起电极、Ni 突起电极等来构筑半导体器件 2。

而且，在本发明的第三实施例所涉及的半导体器件 2 中，在突起电极 27 中使用了 Sn 突起电极，但是，本发明可以通过 Sn-Pb、Sn-Ag、Sn-Zn、Sn-Cu 等两元合金的突起电极、Sn-Ag-Cu 等三元合金的突起电极、四元合金以上的突起电极来构筑半导体器件 2。

而且，在本发明的第一实施例所涉及的半导体器件 2 中，说明了这样的情况：在半导体芯片 1 的外部连接电极（外部连接电极或者焊盘）18 上配置 UBM 膜 20 和突起电极 21，在插入物 3 的外部连接电极 37 上配置 UBM 膜 40 和突起电极 41，但是，本发明也可以在多层布线基板 5 的电极（内部端子或者内部电极）52 和未图示的多层布线基板 5 的外部连接电极上配置 UBM 膜和突起电极。

而且，在本发明的第一实施例所涉及的半导体器件 2 中，在多层布线基板 5 上仅安装了一个半导体芯片 1，但是，本发明并不限于此，可以成为在多层布线基板 5 上平面地安装多个半导体芯片 1 的多芯片构造。

而且，本发明可以把第一实施例至第三实施例所涉及的任一种半导体器件及其制造方法与第四实施例或者第五实施例所涉及的半导体器件及其制造方法进行组合。

这样，本发明可以包含在此没有记载的各种实施形态等。因此，本发明的技术范围仅由与上述说明支持的权利要求的范围而限定。

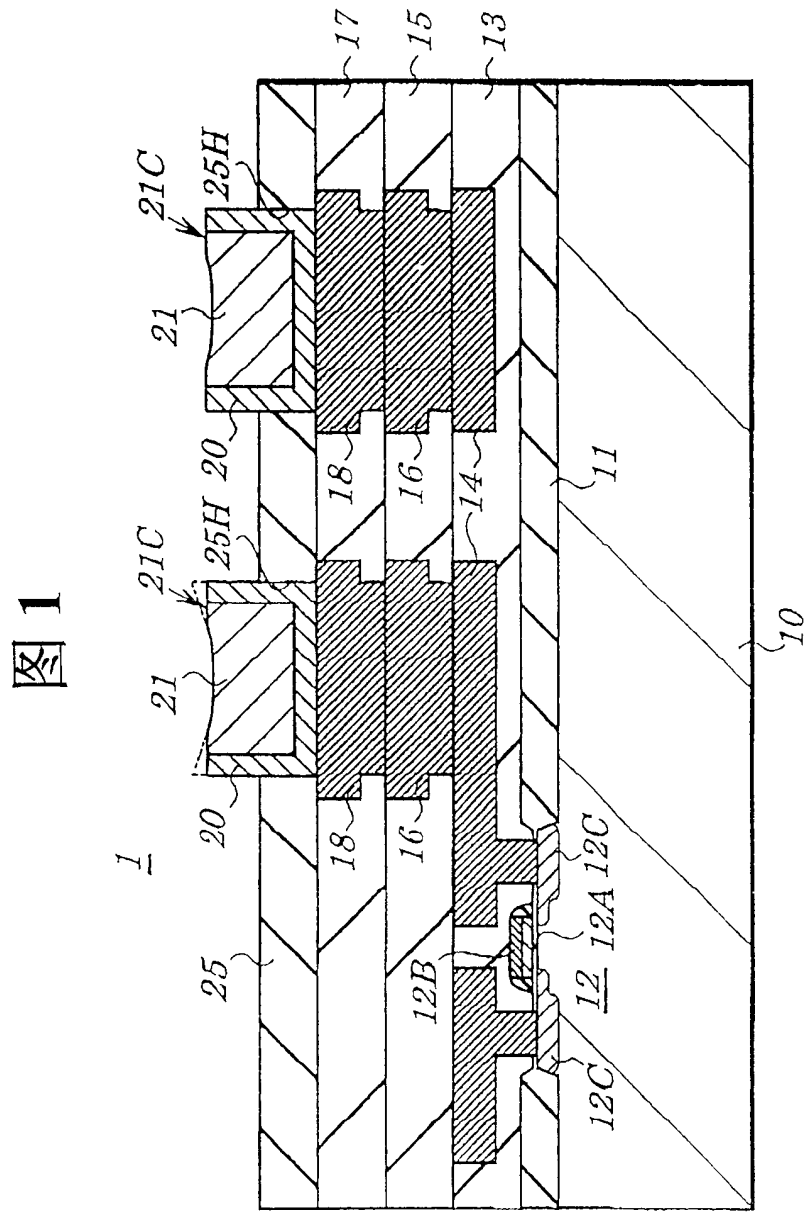


图 1

图 2(A)

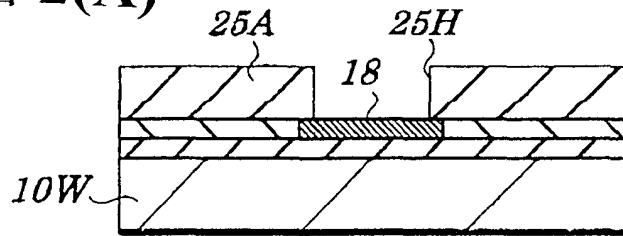


图 2(B)

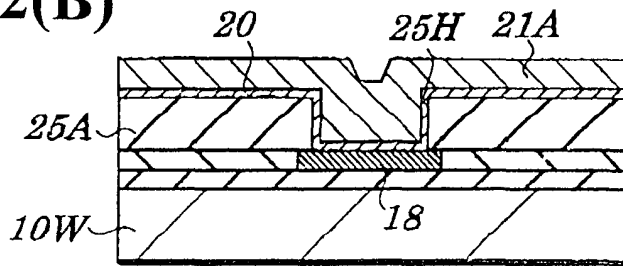


图 2(C)

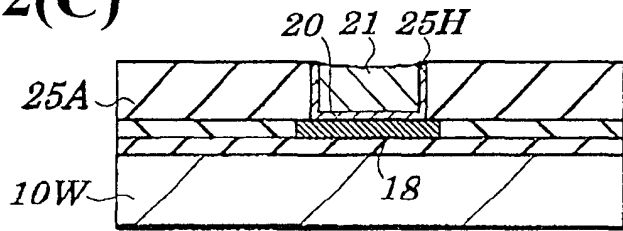


图 2(D)

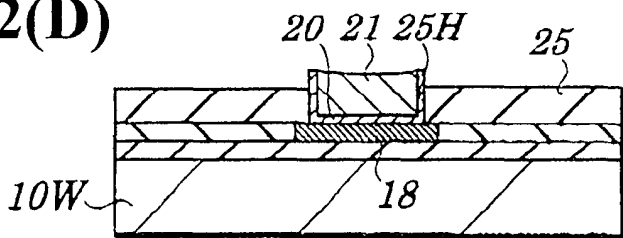


图 2(E)

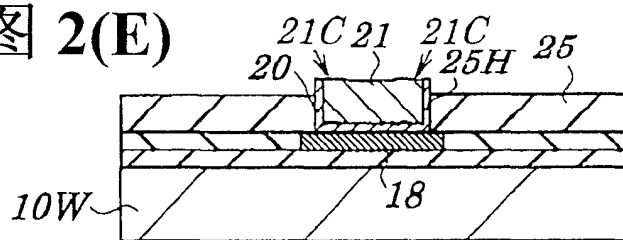


图 3

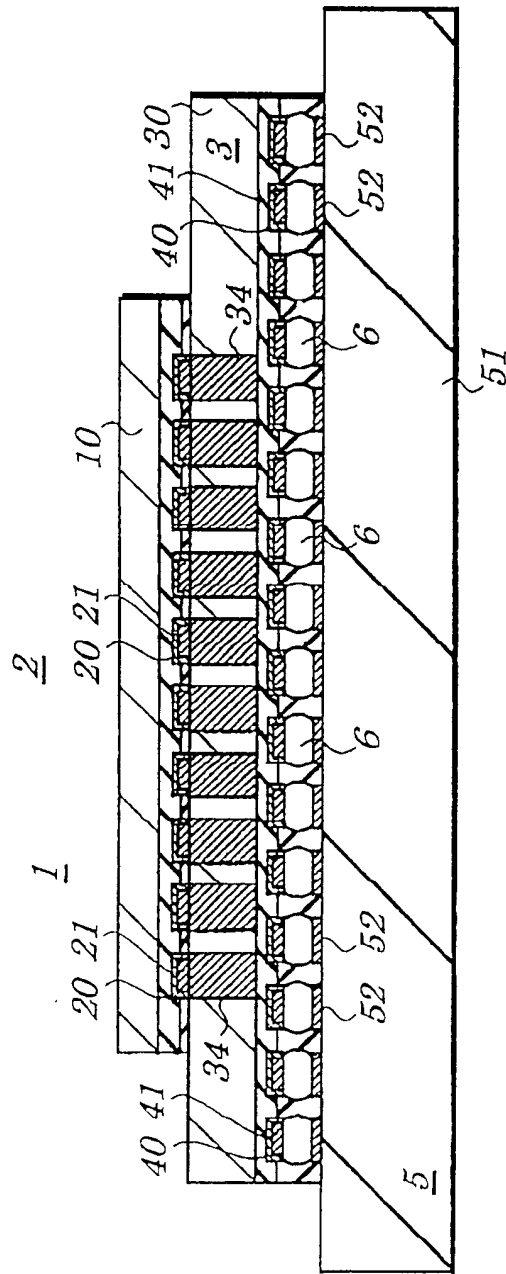


图 4

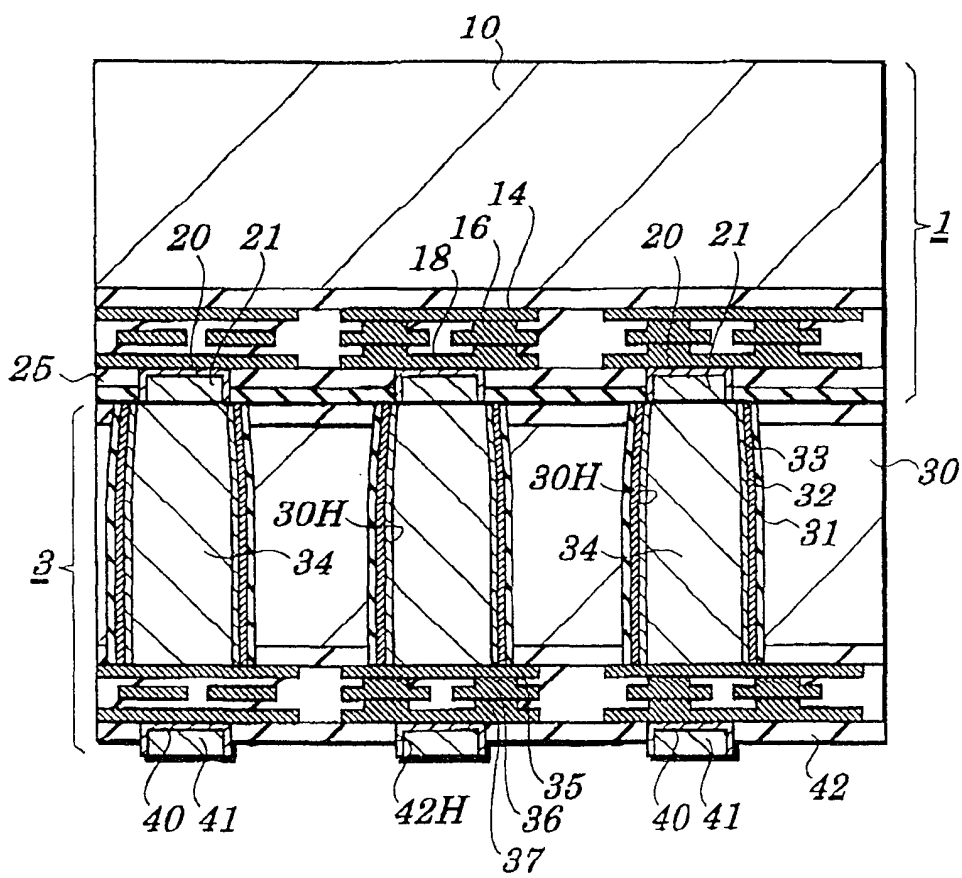


图 5(A)

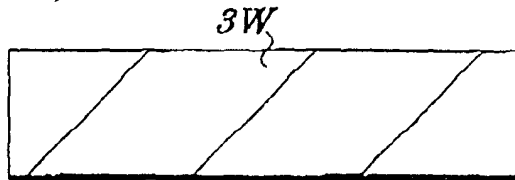


图 5(B)

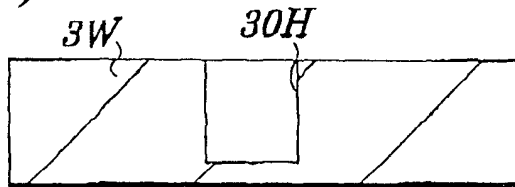


图 5(C)

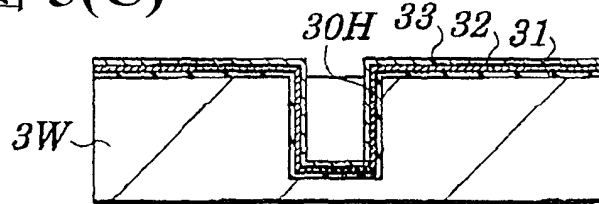


图 5(D)

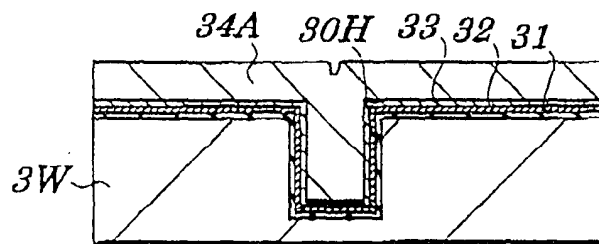


图 5(E)

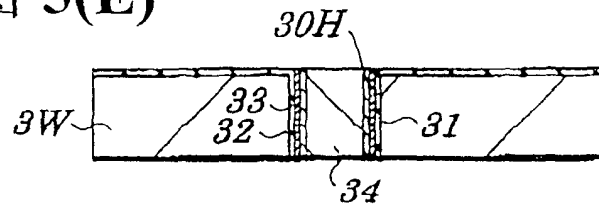


图6

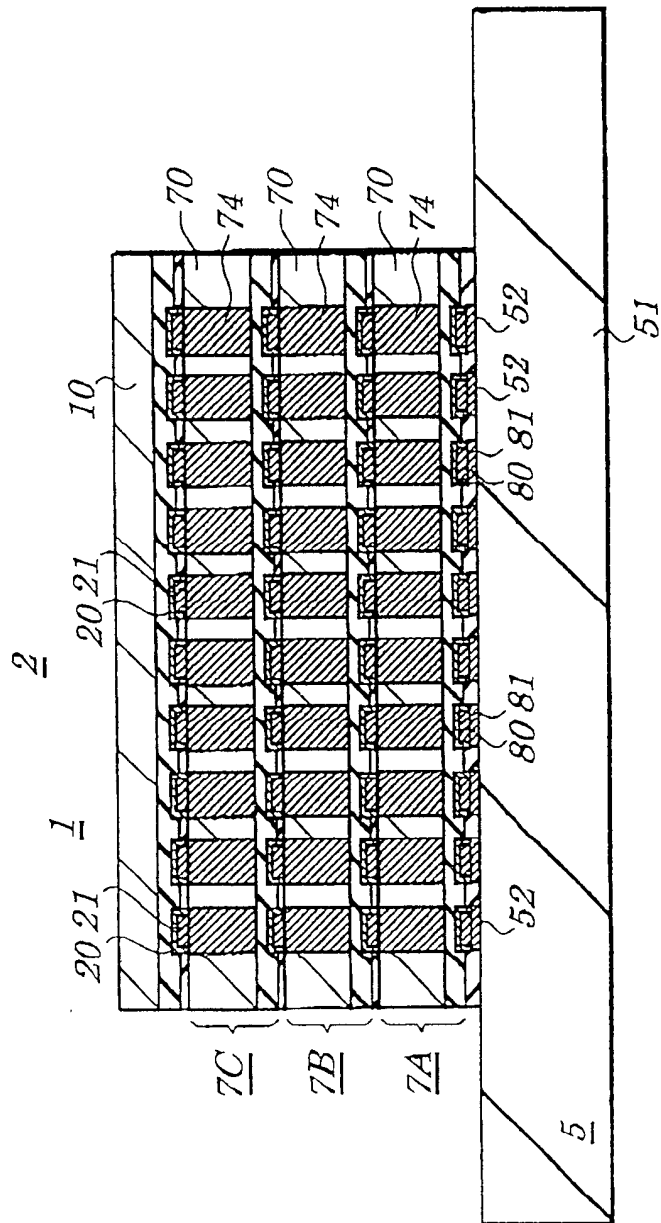


图 7

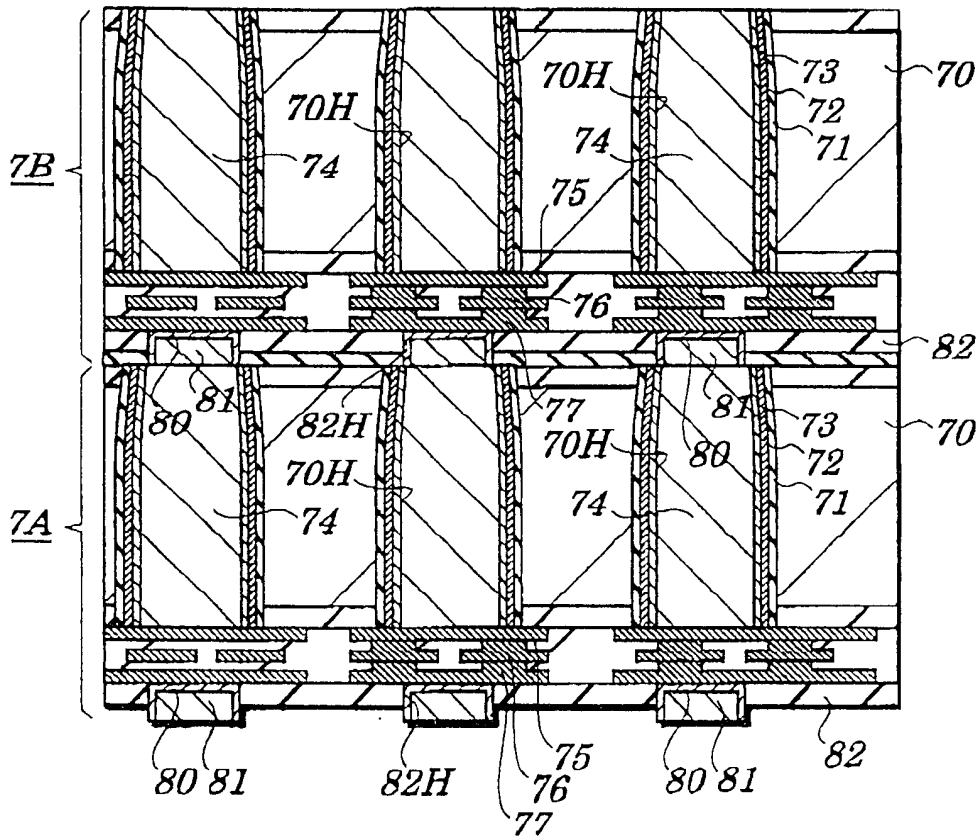


图 8(A)

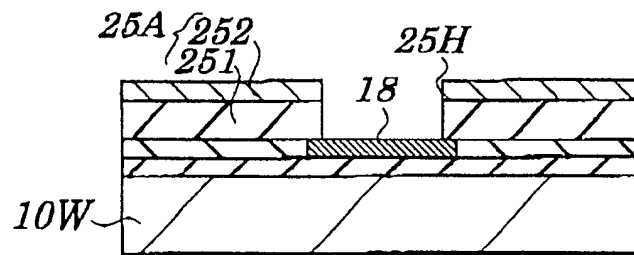


图 8(B)

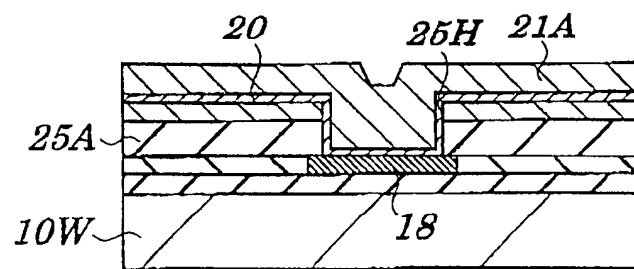


图 8(C)

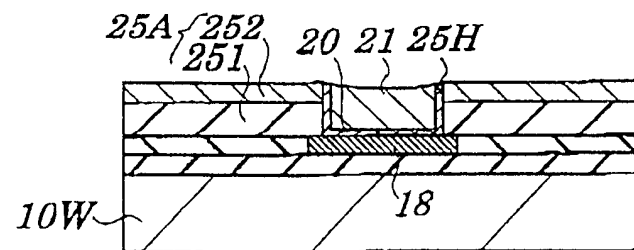


图 8(D)

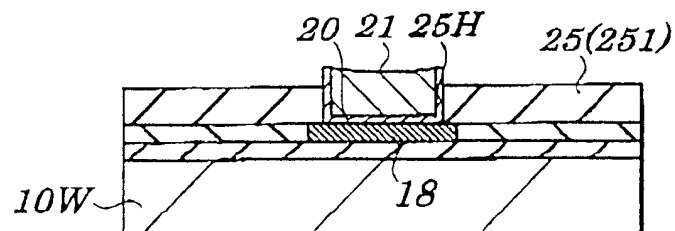


图 9(A)

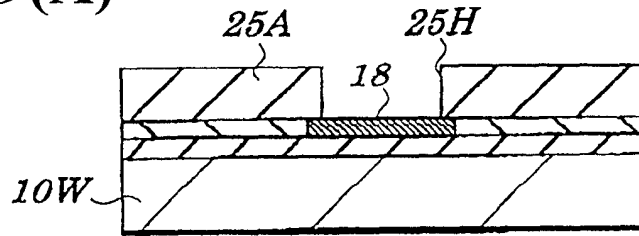


图 9(B)

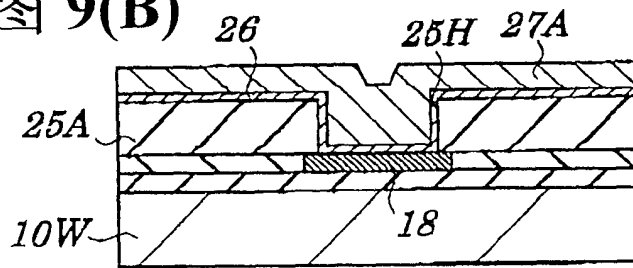


图 9(C)

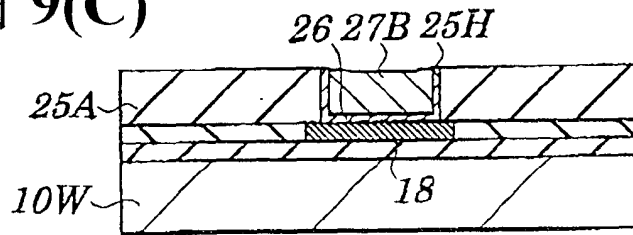


图 9(D)

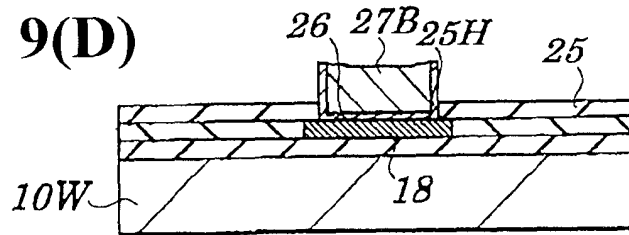


图 9(E)

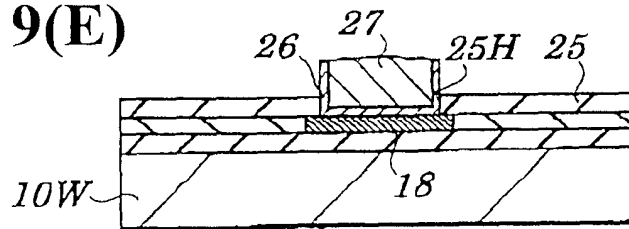


图 10

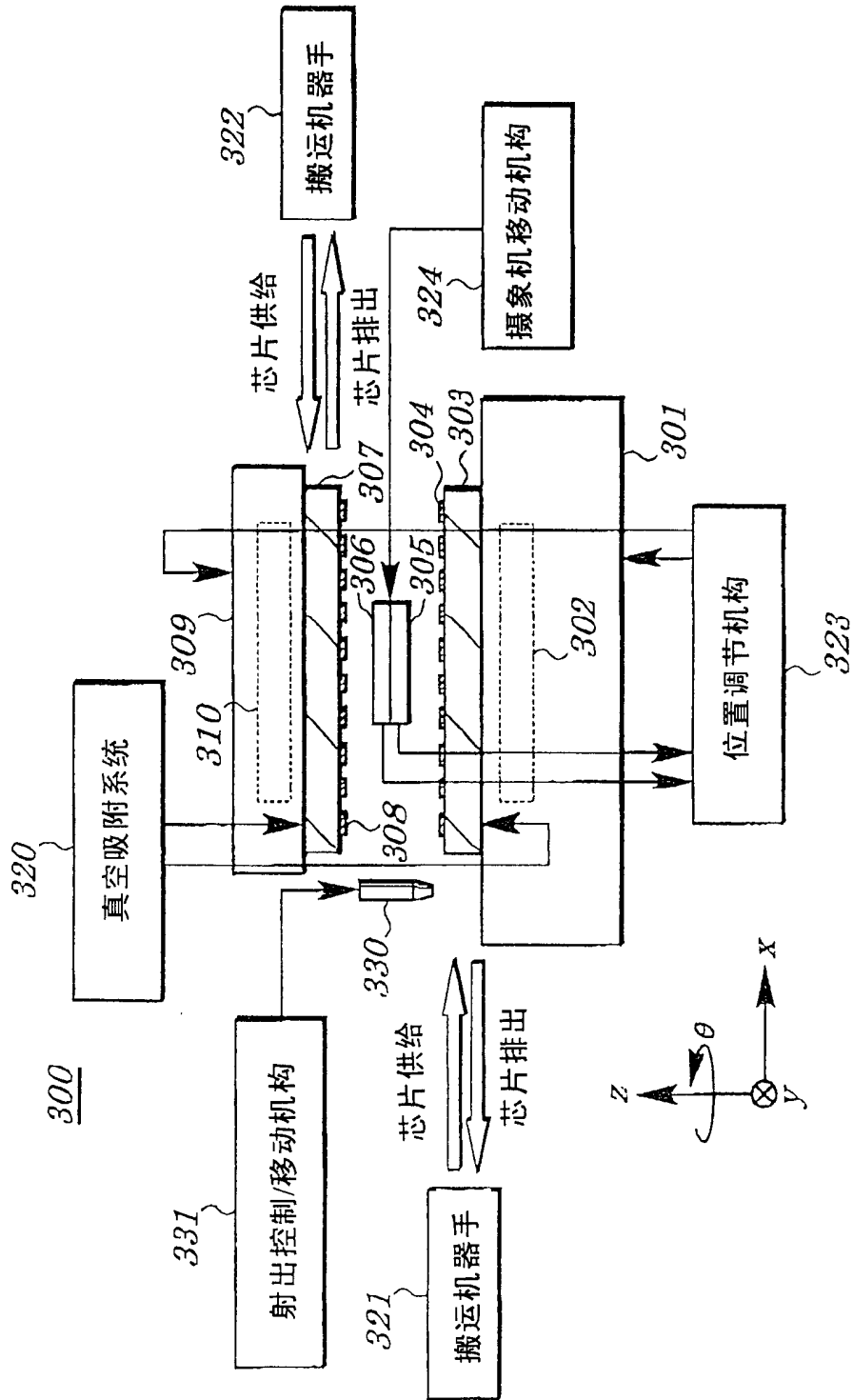


图 11

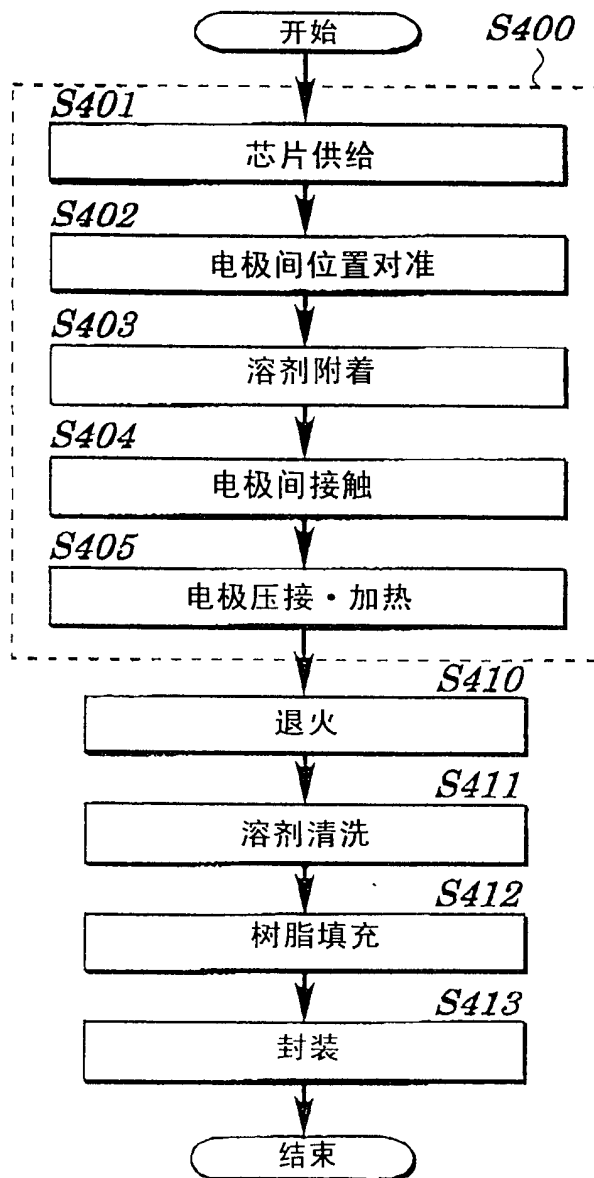


图 12

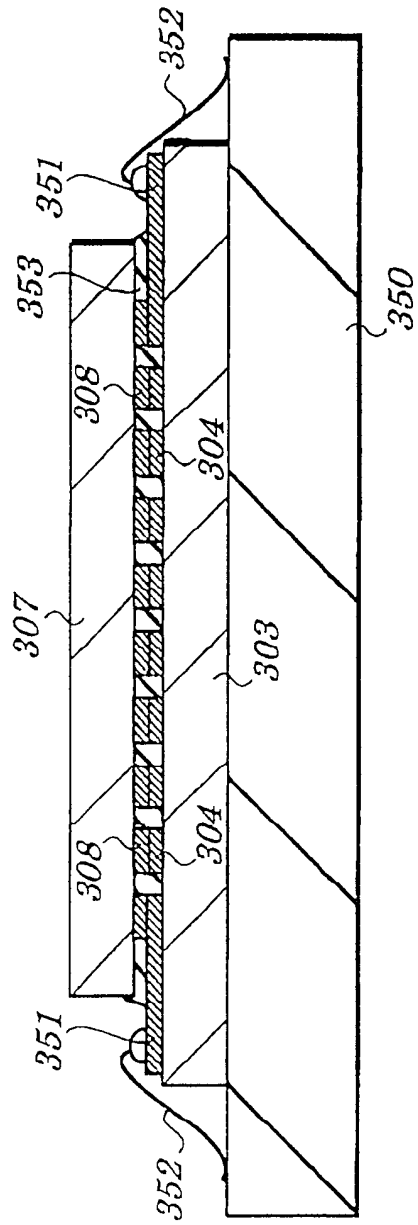


图 13

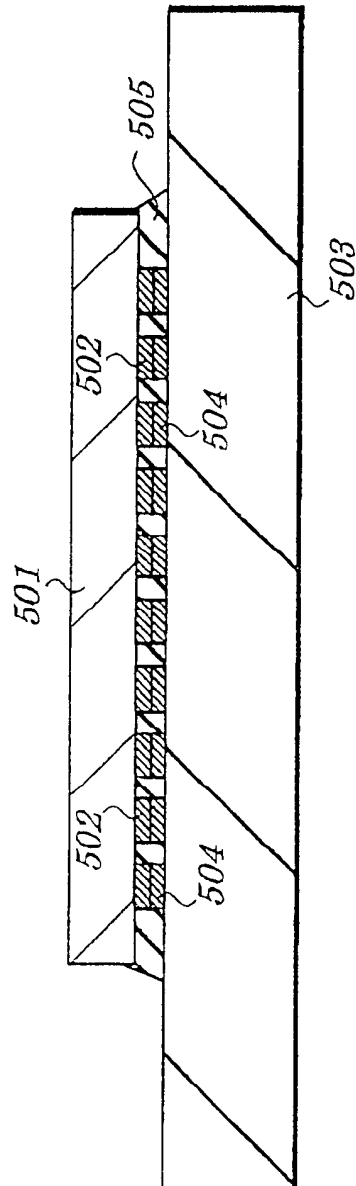


图 14

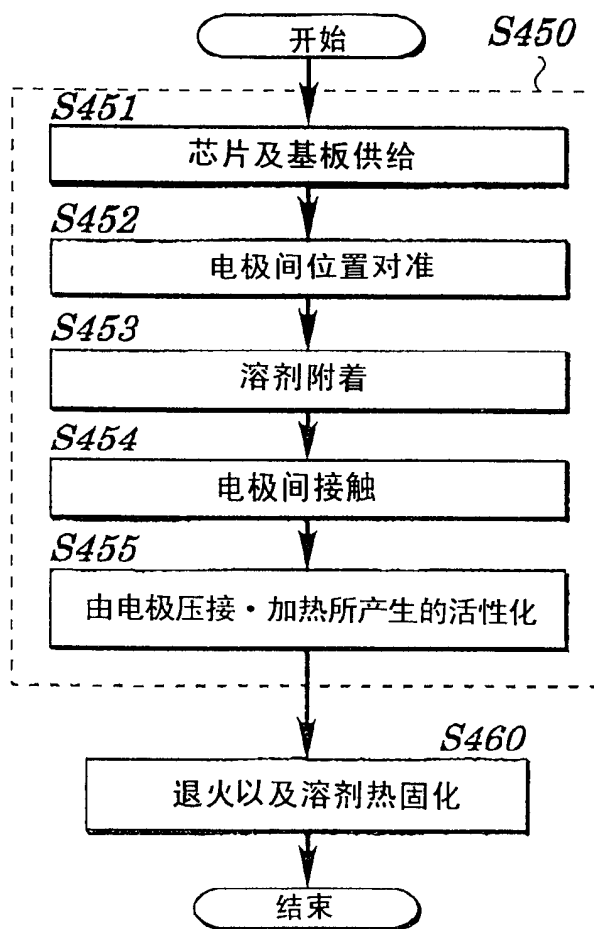


图 15(A)

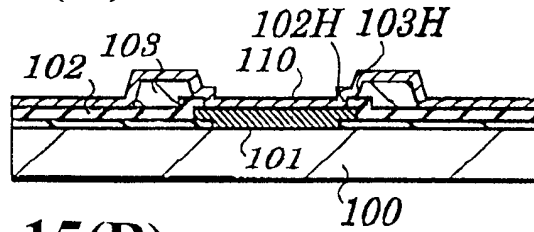


图 15(B)

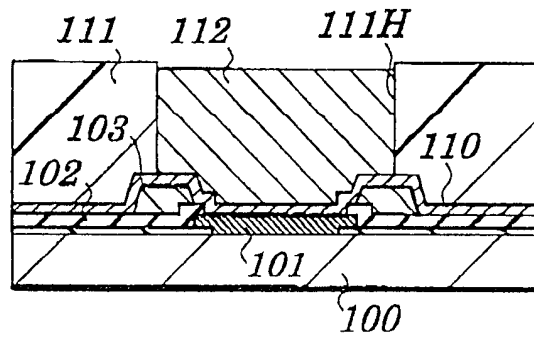


图 15(C)

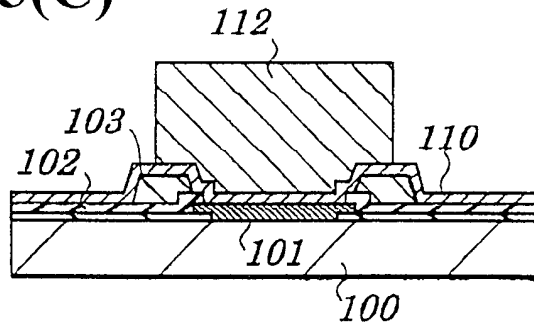
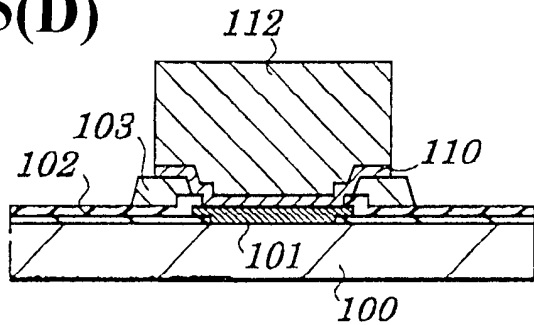


图 15(D)



现有技术

图 16(A)

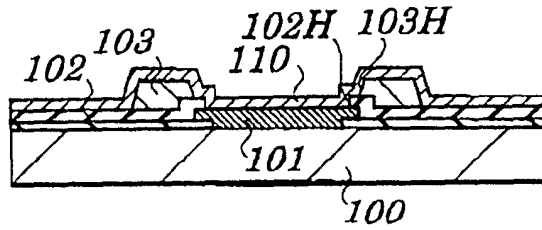


图 16(B)

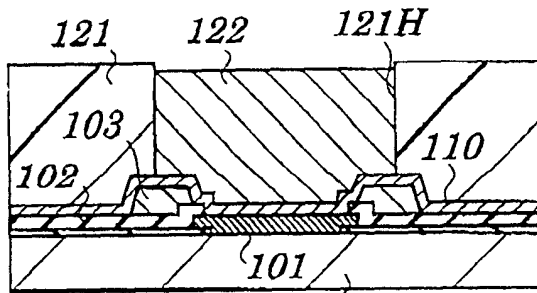


图 16(C)

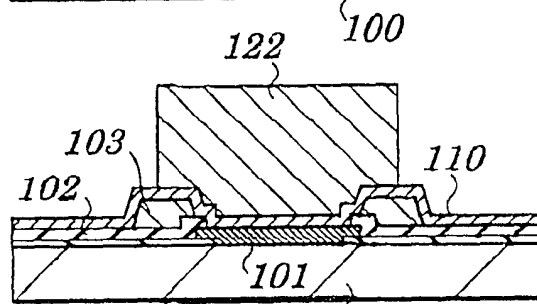


图 16(D)

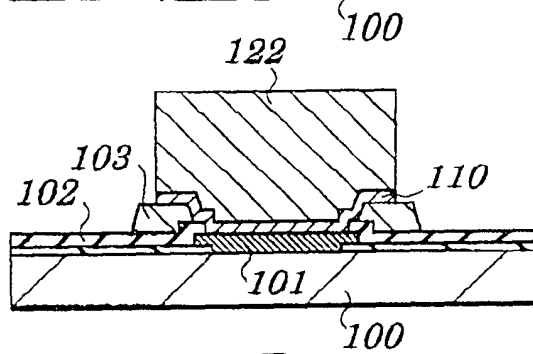
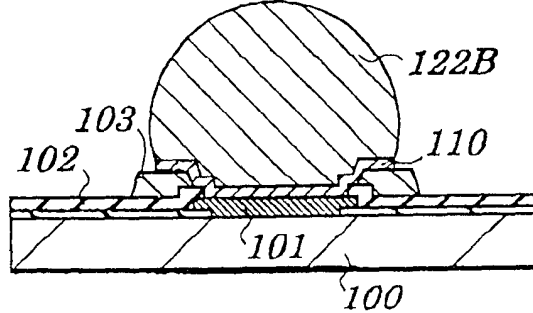
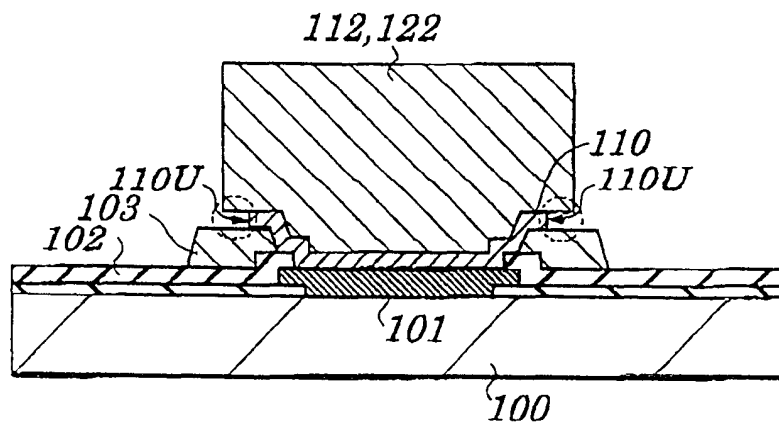


图 16(E)



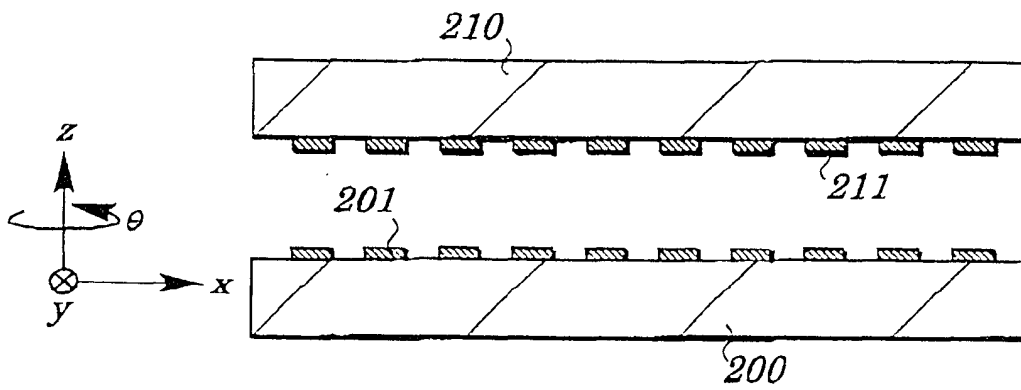
现有技术

图 17



现有技术

图 18



现有技术