



(12) 发明专利

(10) 授权公告号 CN 107026176 B

(45) 授权公告日 2020.10.16

(21) 申请号 201610836535.1

(22) 申请日 2016.09.21

(65) 同一申请的已公布的文献号  
申请公布号 CN 107026176 A

(43) 申请公布日 2017.08.08

(30) 优先权数据  
62/221,199 2015.09.21 US

(73) 专利权人 格罗方德半导体公司  
地址 英属开曼群岛大开曼岛

(72) 发明人 C·豪夫 I·洛伦茨 M·滋尔  
U·亨泽尔 N·加恩

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314  
代理人 程伟 王锦阳

(51) Int.Cl.

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)

(56) 对比文件

US 2014176216 A1, 2014.06.26

US 2005044522 A1, 2005.02.24

US 2011278581 A1, 2011.11.17

US 8443306 B1, 2013.05.14

US 2013307074 A1, 2013.11.21

审查员 何贝

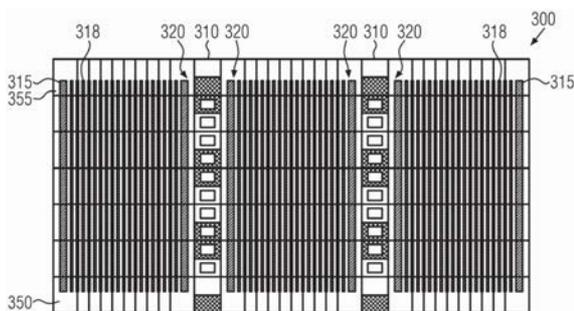
权利要求书2页 说明书7页 附图5页

(54) 发明名称

接触SOI衬底

(57) 摘要

本发明涉及接触SOI衬底,其提供一种集成电路。该集成电路包括:半导体块体衬底;埋置氧化物层,形成于该半导体块体衬底上;多个单元,各单元具有晶体管装置,形成于该埋置氧化物层上方;多条栅极电极线,穿过该多个单元并为该单元的该晶体管装置提供栅极电极;以及多个连接单元(tap cell),经配置以电性接触该半导体块体衬底并被布置于与具有该晶体管装置的该多个单元下方或上方的位置不同的位置。



1. 一种集成电路,包括:  
半导体块体衬底;  
埋置氧化物层,形成于该半导体块体衬底上;  
多个单元,各单元具有晶体管装置,形成于该埋置氧化物层上方;  
多条栅极电极线,穿过该多个单元并为该单元的该晶体管装置提供栅极电极;以及  
多个连接单元,经配置以电性接触该半导体块体衬底并被布置于与具有该晶体管装置的该多个单元下方或上方的位置不同的位置,

其中,该多个连接单元的至少其中一个被布置于埋置边界单元之间,与该栅极电极线相比具有较大宽度的边界栅极电极线穿过该埋置边界单元;

其中,该埋置边界单元形成于另外的标准单元规则网格内。

2. 如权利要求1所述的集成电路,其中,该半导体块体衬底包括与该多个连接单元的其中一个关联的N掺杂区或P掺杂区的至少其中一个,该N掺杂区或该P掺杂区的该至少其中一个并经由形成于该埋置氧化物层中的开口中的接触通过该多个连接单元的该其中一个与偏压电压源电性连接。

3. 如权利要求1所述的集成电路,其中,该多个连接单元被布置于与具有该晶体管装置的该多个单元的列平行的至少一列中,以使该连接单元在该至少一列中彼此相邻设置。

4. 如权利要求1所述的集成电路,还包括边界单元,其被布置于邻近该多个单元的最外单元,该边界单元并具有宽度大于穿过具有该晶体管装置的该多个单元的栅极电极线的宽度的栅极电极线。

5. 如权利要求1所述的集成电路,其中,该埋置氧化物层及该半导体块体衬底是全耗尽绝缘体上硅衬底的部分。

6. 如权利要求1所述的集成电路,其中,该栅极电极线至少部分由多晶硅材料制成。

7. 一种集成电路,包括:

标准单元网格,各标准单元具有构建于全耗尽绝缘体上硅衬底上的场效应晶体管;

多个连接单元,经配置以为该场效应晶体管的至少其中一些提供反偏压;以及

其中,该连接单元的至少其中一些不构建于该标准单元网格的标准单元上方或下方;

埋置边界单元,在其之间布置该连接单元;

第一多晶硅线,穿过该标准单元;以及

第二多晶硅线,穿过该埋置边界单元;

其中,该第二多晶硅线具有大于该第一多晶硅线的宽度的宽度;

其中,该埋置边界单元形成于另外的标准单元规则网格内。

8. 如权利要求7所述的集成电路,其中,该全耗尽绝缘体上硅衬底具有具有N掺杂区及P掺杂区的块体衬底以及形成于该块体衬底上方的埋置氧化物层,以及其中,接触被形成为穿过该埋置氧化物层并抵达该N掺杂区及P掺杂区,从而允许该反偏压。

9. 如权利要求7所述的集成电路,其中,为该场效应晶体管提供栅极电极的多晶硅线穿过该标准单元。

10. 如权利要求7所述的集成电路,其中,该连接单元的至少其中一些被打破该标准单元网格的规则性的埋置边界单元包围。

11. 如权利要求7所述的集成电路,还包括:

边界单元,邻近布置于该标准单元的最外单元;以及  
第三多晶硅线,穿过该边界单元;  
其中,该第三多晶硅线具有大于该第一多晶硅线的宽度的宽度。

12. 如权利要求7所述的集成电路,其中,该场效应晶体管形成于该全耗尽绝缘体上硅衬底的半导体层上,且该场效应晶体管包括以金属材料及多晶硅材料形成于该半导体层上方的栅极电极,以及其中,该多晶硅材料形成成为穿过该标准单元网格的多晶硅栅极线。

13. 一种制造集成电路的方法,该方法包括:

提供具有半导体块体衬底以及形成于该块体衬底上的埋置氧化物层的绝缘体上硅衬底;

在该绝缘体上硅衬底上形成晶体管装置;

在该半导体块体衬底中形成N掺杂区及P掺杂区的至少其中一个;

在该N掺杂区及P掺杂区的该至少其中一个上方的该埋置氧化物层中形成开口;

用接触材料填充该开口;

在该绝缘体上硅衬底上方形成多条栅极电极线;

形成多个连接单元;以及

形成多个标准单元,该多条栅极电极线穿过该多个标准单元;

其中,该多个连接单元的至少其中一个被布置于埋置边界单元之间,与该栅极电极线相比具有较大宽度的边界栅极电极线穿过该埋置边界单元;

其中,该埋置边界单元形成于另外的标准单元规则网格内。

14. 如权利要求13所述的方法,还包括通过该多个连接单元的其中一个使该N掺杂区及P掺杂区的该至少其中一个与偏压电压网络电性接触。

15. 如权利要求13所述的方法,其中,使该多个连接单元的至少其中一些不位于任意该多条栅极电极线的上方或下方。

16. 如权利要求13所述的方法,还包括定义标准单元网格,各该标准单元包括晶体管装置,以及其中,该标准单元网格的各标准单元被该多条栅极电极线的其中一条穿过,以及其中,该连接单元被彼此相邻地布置于至少一列中,该列平行于该标准单元网格的列。

17. 如权利要求13所述的方法,还包括:

定义标准单元网格,各该单元包括晶体管装置,以及其中,该标准单元网格的各标准单元被该多条栅极电极线的其中一条穿过;

提供第一组的该埋置边界单元;

提供第二组的该埋置边界单元,以通过该标准单元网格的标准单元使该第二组的该埋置边界单元与该第一组的该埋置边界单元隔开;

在该第一组的该埋置边界单元之间布置该多个连接单元的第一连接单元;以及

在该第二组的该埋置边界单元之间布置该多个连接单元的第二连接单元。

## 接触SOI衬底

### 技术领域

[0001] 本发明通常涉及集成电路及半导体装置领域,尤其涉及至SOI装置的半导体块体衬底的接触的形成。

### 背景技术

[0002] 制造例如CPU(中央处理单元)、存储装置、ASIC(专用集成电路;application specific integrated circuit)等先进集成电路需要依据特定的电路布局在给定的芯片面积上形成大量电路元件。在多种电子电路中,场效应晶体管代表一种重要类型的电路元件,其基本确定该集成电路的性能。一般来说,目前实施多种制造方法技术来形成场效应晶体管(field effect transistor;FET),其中,对于许多类型的复杂电路,MOS技术因在操作速度和/或功耗和/或成本效率方面的优越特性而成为目前最有前景的方法之一。在使用例如CMOS技术制造复杂集成电路期间,在包括结晶半导体层的衬底上形成数百万个N沟道晶体管和P沟道晶体管。

[0003] 目前,FET通常构建于绝缘体上硅(silicon-on-insulator;SOI)衬底上,尤其全耗尽绝缘体上硅(fully depleted silicon-on-insulator;FDSOI)衬底上。FET的沟道形成于薄半导体层中,通常包括或由硅材料或其它半导体材料制成,其中,该半导体层形成于绝缘层、埋置氧化物(buried oxide;BOX)层上,该绝缘层、埋置氧化物层形成于半导体块体衬底上。由半导体装置激进的尺寸缩小引起的一个严重问题必定是漏电流的发生。由于漏电流依赖于FET的阈值电压,因此衬底偏压(反偏压(back biasing))可降低泄漏功率。通过这种先进的技术,衬底或适当的阱经偏压以提升晶体管阈值,从而降低漏电流。在PMOS装置中,晶体管的基体(body)被偏压为高于正供应电压 $V_{DD}$ 的电压。在NMOS装置中,晶体管的基体被偏压为低于负供应电压 $V_{SS}$ 的电压。

[0004] 图1a显示具有半导体块体衬底10的SOI配置,其中,在块体衬底10中形成 $N^+$ 掺杂区11及 $P^+$ 掺杂区12。另外,该SOI配置包括形成于半导体块体衬底10上的BOX层13以及形成于BOX层13上并提供沟道区的半导体层20。图1a还显示形成于半导体层20上方的栅极电极材料(例如多晶硅)层14。 $N^+$ 掺杂区11及 $P^+$ 掺杂区12分别用以反偏压P沟道FET栅极或N沟道FET栅极。在集成电路(integrated circuit;IC)中,通过栅极电极线(多晶线)14a来形成单元结构,该栅极电极线将主动半导体装置的标准单元定义为图1a上所示的单元。一般来说,多晶硅(多晶)线14a(图1b及1e)彼此平行。要注意的是,除该多晶材料以外,FET的栅极可包括金属材料。在先进IC中,栅极构造如此之小以致通过当前技术,它们无法被制造为任意布置的栅极。相反,必须制造由具有精确定义的宽度及间距的平行多晶线形状14a组成的多晶线14a的规则网格,如图1b中所示。之后,在额外的制造步骤中,将利用多晶线(poly line;PC)切割掩膜以移除不想要的多晶线14a。该规则的多晶线网格(“栅极海”)必须被边界单元包围,该边界单元包含具有较大宽度的平行多晶线形状15,以在制造期间保护该标准单元的规则多晶线14a免受抛光缺陷。

[0005] 为了减少执行设计制造方法所需的时间,已创建单元库,其中可获得标准单元设

计。当然,有一些应用可能需要一个或多个特殊单元,在此情况下,设计人员将创建定制单元用于布局或者以想要的设计所需的方式更改库单元。所得的布局用以制造想要的集成电路。依据所使用的设计及库,可对PMOS或NMOS装置或两者进行反偏压。为偏压标准单元的NMOS及PMOS的块体,通过电荷泵来产生电压,该电荷泵是输出 $V_{DDbias}$ 及 $V_{SSbias}$ 电压的定制块。各标准单元行必须具有至少一个(基体或阱)连接单元((body-or well-) tap cell)。不过,设计人员有时习惯以规则间隔每一特定距离在标准单元行中布置一个连接阱。

[0006] 与该标准单元网格类似,在集成电路设计中通常使用连接阱网格,以提供晶体管的基体偏压。该连接阱必须在提供偏压电压的网络与 $P^+/N^+$ 区(如图1a中所示的区域11及12)之间建立电性连接。由于该偏压电压网络实施于路由位于图1a中所示的BOX层13上方的数个层的金属层上,且在 $P^+/N^+$ 区11及12驻留于块体衬底10中的BOX层13下方的情况下,BOX层13(为很好的绝缘体)的部分必须被移除,以形成至区域11、12的接触。由于BOX层13较厚,因此蚀刻进入BOX层13的开口必须较大。因此,在传统技术中会产生特定问题,如图1c至1e中所示。

[0007] 图1c显示与图1a中所示的配置类似的配置,其中,在图案化半导体层20以后,在BOX层13中形成开口,使用用以形成FET的栅极电极14a的多晶材料层14填充该开口。BOX层13的该开口形成于图1b中所示的规则多晶线网格区域内。在BOX层13中形成该开口以后形成多晶材料层14,以形成反偏压接触。在多晶材料层14上方形成掩膜层16,如图1c中所示。如图1d中所示,通过标准光刻图案化掩膜层16,以获得图案化掩膜17,图案化掩膜17用以在BOX层13上方形成多晶线(栅极)14a(见图1e)。

[0008] 不过,在执行用以形成多晶栅极14a的该蚀刻制造方法期间,在BOX层13的该开口中形成薄的多晶脊19。实际上,无法适当地控制多晶脊19的形成,因为所使用的光刻装置的焦点位于必须形成多晶栅极14a的位置上。另一方面,由于所形成的规则多晶线网格,多晶脊19的形成无法避免。在BOX层13的该开口中的多晶脊19的不期望的形成导致晶圆污染,因为不稳定的多晶脊结构19在进一步的处理期间容易断裂。

[0009] 针对上述情形,本发明提供一种形成衬底接触的技术,以避免因在现有技术制造方法中在大的BOX开口中形成薄的多晶脊而引起的多晶残渣所导致的晶圆污染。

## 发明内容

[0010] 下面提供本发明的简要总结,以提供本发明的一些态样的基本理解。本发明内容并非详尽概述本发明。其并非意图识别本发明的关键或重要元件或划定本发明的范围。其唯一目的在于提供一些简化的概念,作为后面所讨论的更详细说明的前序。

[0011] 一般来说,本文所揭露的发明主题涉及形成包括晶体管装置的半导体装置,尤其是具有包括用以反偏压(back biasing)晶体管装置的连接单元(tap cell)的(MOS)FET的集成电路。

[0012] 本发明提供一种集成电路,该集成电路具有:半导体块体衬底;埋置氧化物层,形成于该半导体块体衬底上;多个单元,各单元具有晶体管装置,形成于该埋置氧化物层上方;多条栅极电极线,穿过该单元并为该单元的该晶体管装置提供栅极电极;以及多个连接单元,经配置以电性接触该半导体块体衬底并被布置于与具有该晶体管装置的该多个单元下方或上方的位置不同的位置,其中,该多个连接单元的至少其中一个被布置于埋置边界

单元之间。例如,该集成电路还可在可能或可能不包含晶体管来连接该PC线的区域中包括多个填充单元。

[0013] 而且,本发明提供一种集成电路,该集成电路具有:标准单元网格,各该标准单元具有构建于全耗尽绝缘体上硅(Fully Depleted Silicon-on-Insulator;FDSOI)衬底上的场效应晶体管;以及多个连接单元(tap cell),经配置以为该场效应晶体管的至少其中一些提供反偏压。该连接单元的至少其中一些不构建于该标准单元网格的任何标准单元上方或下方。

[0014] 另外,本发明提供一种制造集成电路的方法,该方法包括:提供具有半导体块体衬底以及形成于该块体衬底上的埋置氧化物层的绝缘体上硅(SOI)衬底;在该SOI衬底上形成晶体管装置;在该块体衬底中形成N掺杂区及P掺杂区的至少其中一个;在该N掺杂区及P掺杂区的该至少其中一个上方的该埋置氧化物层中形成开口并用接触材料填充该开口;以及在该SOI衬底上方形成多条栅极电极线,而不填充该网格的任意材料于该开口中。该SOI衬底可为包括形成于该埋置氧化物层上并提供该晶体管装置的沟道区的薄半导体层的FDSOI衬底。可形成连接单元以提供该N掺杂区及P掺杂区与提供用以反偏压该晶体管装置的电压的偏压电压网络的电性连接。

[0015] 在所有上述例子中,该连接单元在半导体块体衬底(在其上方形成晶体管装置)的N掺杂区/P掺杂区与用以反偏压该晶体管装置的偏压电压网络之间提供电性连接。该晶体管装置可具有可由金属材料及多晶硅材料制成的栅极电极,其中,该多晶硅材料以穿过规则(标准)单元网格的(多晶)栅极电极线的形式提供。

## 附图说明

[0016] 结合附图参照下面的说明可理解本发明,这些附图中类似的附图标记代表类似的元件,以及其中:

[0017] 图1a至1e显示标准单元网格的传统反偏压,其中,图1a显示包括用以反偏压的半导体块体衬底中的掺杂区的SOI配置,图1b显示包括平行多晶线及边界单元的规则标准单元,以及图1c至1e显示与在BOX层中所形成的较大开口中形成的薄多晶脊相关的晶圆污染问题;

[0018] 图2a至2c显示集成电路(IC)的连接单元-标准单元设计,其中,衬底接触被移至规则多晶线网格的外部;

[0019] 图3a至3b显示集成电路的替代连接单元-标准单元设计,其中,衬底接触被移至规则多晶线网格的外部;以及

[0020] 图4显示集成电路的另一个替代连接单元-标准单元设计,其中,衬底接触被移至规则多晶线网格外部。

[0021] 尽管本文所揭露的发明主题容许各种修改及替代形式,但附图中以示例形式显示本发明主题的特定实施例,并在此进行详细说明。不过,应当理解,本文对特定实施例的说明并非意图将本发明限于所揭露的特定形式,相反,意图涵盖落入由所附权利要求定义的本发明的精神及范围内的所有修改、等同及替代。

## 具体实施方式

[0022] 下面说明本发明的各种示例实施例。出于清楚目的,不是实际实施中的全部特征都在本说明书中进行说明。当然,应当了解,在任意此类实际实施例的开发中,必须作大量的特定实施决定以满足开发者的特定目标,例如符合与系统相关及与商业相关的约束条件,该些约束条件因不同实施而异。而且,应当了解,此类开发努力可能复杂而耗时,但其仍然是本领域的普通技术人员借助本发明所执行的常规程序。

[0023] 下述实施例经充分说明以使本领域的技术人员能够使用本发明。应当理解,基于本发明,其它实施例将显而易见,并可作系统、结构、制造方法或机械的改变而不背离本发明的范围。在下面的说明中,给出具体标号的细节以供充分理解本发明。不过,显而易见的是,本发明的实施例可在不具有该些特定细节的情况下实施。为避免模糊本发明,一些已知的电路、系统配置、结构配置以及制造方法步骤未作详细揭露。

[0024] 现在将参照附图来说明本发明。附图中示意各种结构、系统及装置仅是出于解释目的以及避免使本发明与本领域技术人员已知的细节混淆,但仍包括该些附图以说明并解释本发明的示例。本文中所使用的词语和词组的意思应当被理解并解释为与相关领域技术人员对这些词语及词组的理解一致。本文中的术语或词组的连贯使用并不意图暗含特别的定义,亦即与本领域技术人员所理解的通常惯用意思不同的定义。若术语或词组意图具有特定意思,亦即不同于本领域技术人员所理解的意思,则此类特别定义会以直接明确地提供该术语或词组的特定定义的定义方式明确表示于说明书中。

[0025] 在完整阅读本申请以后,本领域的技术人员很容易了解,本方法可应用于各种技术,例如NMOS、PMOS、CMOS等,并很容易应用于各种装置,包括但不限于逻辑装置、SRAM装置等,尤其是在用以制造集成电路(IC)的FDSOI技术的背景下。一般来说,本文中说明其中可形成反(衬底)偏压N沟道晶体管和/或P沟道晶体管的制造技术及半导体装置。该制造技术可集成于CMOS制造方法中。在完整阅读本申请以后,本领域的技术人员很容易了解,原则上,本方法可应用于各种技术,例如NMOS、PMOS、CMOS等,并且很容易应用于各种装置,包括但不限于逻辑装置、存储器装置、SRAM装置等。本文中所述的技术及工艺可用以制造MOS集成电路装置,包括NMOS集成电路装置、PMOS集成电路装置,以及CMOS集成电路装置。详而言之,本文中所述的制造方法步骤与形成集成电路(包括平面式及非平面式集成电路)的栅极结构的任意半导体装置制造方法结合使用。尽管术语“MOS”通常是指具有金属栅极电极及氧化物栅极绝缘体的装置,但该术语在全文中用以指包括位于半导体衬底上方的栅极绝缘体(无论是氧化物还是其它绝缘体)上方的导电栅极电极(无论是金属还是其它导电材料)的任意半导体装置。

[0026] 一般来说,本发明提供用以形成至FDSOI装置的块体衬底的接触的技术,以促进该块体衬底的反偏压,以及连接单元及标准单元的设计,其中,将要形成以制造多晶栅极线的多晶材料不会形成于FDSOI衬底的BOX层的开口中。

[0027] 依据本发明的集成电路的示例连接单元-标准单元设计显示于图2a至2c中。为FET的反偏压提供的衬底接触被移至分别包括FET的标准单元的规则网格的外部。图2a中所示的单元轮廓100的特征为连接单元/BOX开口110设于没有作为规则多晶线网格或多晶栅极的部分的多晶材料形成的晶圆的区域中。可在P掺杂区130及N掺杂区135中接触晶圆衬底,这可与图1a中所示的区域11及12类似。连接单元/BOX开口110被布置于埋置边界单元/多晶

线120之间。埋置边界单元120可与传统设计的边界单元15(见图1b)类似,但它们形成于另外的标准单元规则网格内,而不是在那个网格的边缘。

[0028] 该标准单元可表示包括FET的任意类型逻辑单元,例如反相器、NAND门单元、多路复用器等。如图2b中所示,可形成特定的底部边界单元220(图2b的顶部图)及顶部边界单元220'(图2b的底部图)。通过开口210在P掺杂区230及N掺杂区235中可接触晶圆衬底。由于所示设计,该标准单元网格的多晶线将总是与BOX层中的开口(也就是,在边界单元120的外部)充分隔开,从而不会如上面就现有技术所述那样由这些开口中的不稳定多晶结构的不期望形成而引起多晶残渣。

[0029] 由于邻近衬底接触的埋置边界单元中的较宽多晶形状320,连接单元可能不再位于规则标准单元上方或下方,因为这些标准单元使用规则多晶线网格。相反,连接单元可能被置于起始于下方标准单元边界行并结束于上方标准单元边界行的连接单元列中,如图2c中所示。较为详细地,图2c显示集成电路的连接单元-标准单元设计300,标准单元350位于晶圆的特定区域的下方边界,标准单元355位于晶圆的特定区域的上方边界。与传统设计类似,边界单元及边界多晶线315设于该区域的左右边界。边界多晶线形状315具有与标准单元的多晶线318相比较大的宽度,以在制造期间保护这些规则多晶线318免受抛光缺陷。

[0030] 该标准单元的多晶线318彼此平行。该多晶线网格的传统规则性被埋置(内部)边界单元/多晶线320的列的设置打破。在埋置边界单元/多晶线320的两列之间,BOX层310中的开口及连接单元经布置以接触该晶圆的半导体块体衬底的N掺杂及P掺杂区。该N掺杂区可为以例如磷、砷等N型杂质重浓度掺杂的区域。该P掺杂区可为以例如硼、铟等P型杂质重浓度掺杂的区域。例如,“重浓度掺杂”可包括高于 $10^{19}/\text{cm}^3$ 的任意杂质浓度。该连接单元在块体衬底(在其上方形成晶体管装置)的N掺杂/P掺杂区与用以反偏压晶体管装置的偏压电压网络之间提供电性连接。

[0031] 要注意的是,在图2c中所示的设计中,在该IC配置的列中可以等距间隔设置连接单元。较佳地,连接单元之间的距离不超过使用与该IC相关联的设计规则所获得的最大允许距离。具体而言,设计规则可分别指定从衬底或阱区中的任意点至最近衬底或阱连接的最大距离。而且,应当注意,除提供半导体块体衬底的掺杂区的耦接以外,该连接单元可为功率线提供去耦电容器,以更有效地使用被该连接单元占据的区域。

[0032] 在标准单元布局之前、之后或同时,可在IC设计布局内布置该连接单元。功率泄漏降低及控制可通过该连接单元的数量及定位优化。该连接单元的间距可基于关联的FET及其它装置的几何尺寸,以于几何尺寸不断缩小时,连接单元的频率及间距可如期望那样增加或减少。

[0033] 各该连接单元也可具有独立于关联装置的电压源和/或控制器的偏压电压源和/或控制器。该连接单元的电压源和/或控制器可相对于关联装置而位于本地或远程,可能甚至在独立的裸芯片或芯片上。各连接单元可具有独立电压源。或者,所有连接单元可由单个电压源控制。IC内的连接单元簇可分别具有共用电压,以使IC中的各连接单元簇可与相应的电压源和/或控制器连接。

[0034] 这里,以及在下面的例子中,所揭露的布局可集成于IC设计工具中,该IC设计工具可包括可与各种数据库(例如半导体晶圆代工厂和/或晶圆代工厂的一个或多个客户的数据库)耦接的多个电子软件设计工具。尤其,该IC设计工具可包括可通过图形用户界面访问

的多个装置库,由此,来自各装置库的单元可被布置于IC设计布局中。

[0035] 在此例子中,以及在下面参照图3a、3b及4所述的例子中,所揭露的连接单元-标准单元设计可用于包括SOI或FDSOI FET的半导体装置制造的背景中。通过连接单元可被反偏压的FET可包括具有与图1a中所示的配置类似的配置的FET。较为详细地,通过本文中所揭露的设计被反偏压的FET可形成于FDSOI衬底上,该FDSOI衬底包括块体衬底、形成于该块体衬底上的BOX层以及形成于该BOX层上的半导体层。

[0036] 该块体半导体衬底可为硅衬底,尤其单晶硅衬底。可使用其它材料来形成该半导体衬底,例如锗、硅锗、磷酸钾、砷化镓等。该块体半导体衬底包括N<sup>+</sup>/P<sup>+</sup>掺杂区以供反偏压。该BOX层可包括介电材料,例如二氧化硅,且可具有例如至少50纳米的厚度。该半导体层可提供该FET的沟道区且可由任意适当的半导体材料组成,例如硅、硅/锗、硅/碳、其它II-VI族或III-V族半导体化合物以及类似物。该半导体层可具有适于形成全耗尽场效应晶体管的厚度,例如在约5至8纳米范围内的厚度。

[0037] 该FET包括形成于该半导体层上方的栅极电极。该栅极电极可包括金属栅极及多晶硅栅极材料。该金属栅极的材料可依赖于将要形成的该晶体管装置是P沟道晶体管还是N沟道晶体管。在该晶体管装置为N沟道晶体管的实施例,该金属可包括La(镧)、LaN(氮化镧)或TiN(氮化钛)。在该晶体管装置为P沟道晶体管的实施例,该金属可包括Al(铝)、AlN(氮化铝)或TiN(氮化钛)。

[0038] 该金属栅极可包括功函数调整材料,例如TiN。详而言之,该金属栅极可包括功函数调整材料,该功函数调整材料包括适当的过渡金属氮化物,例如周期表中第IV-VI族的那些,包括例如氮化钛(TiN)、氮化钽(TaN)、氮化铝钛(TiAlN)、氮化铝钽(TaAlN)、氮化铌(NbN)、氮化钒(VN)、氮化钨(WN)以及类似物,具有约1至60纳米的厚度。而且,通过添加杂质例如铝、碳或氟可调整该金属栅极的有效功函数。在该金属栅极的顶部可形成该多晶栅极。

[0039] 该栅极电极可通过栅极介电质与该FDSOI衬底的半导体层隔开。该栅极介电质可包括具有高于4的介电常数k的高k材料层。该高k材料层可包括过渡金属氧化物,例如氧化铪、二氧化铪以及氮氧化硅铪的至少其中一者,且可直接形成于该FDSOI衬底的半导体层上。

[0040] 依据本发明的集成电路的其它示例连接单元-标准单元设计显示于图3a及3b中。设计400及500集成来自顶部及底部的边界单元的元素,相当于图2a至2c中所示的设计,但具有增加的单元宽度,这可从图3a及3b获知。

[0041] 与图2a至2c中所示的连接单元相比,布局400及500的连接单元每单元消耗更多面积,但它们可被任意布置于该布局内部。因此,可以更灵活的方式实现该连接单元的布置,且当布置于棋盘格(checker-board)设计中时,所需要的连接单元可以更少。另外,不需要特定的边界单元来调整布置边界处的连接单元多晶线网格。

[0042] 如图3a中所示,布局400包括埋置边界单元420以及顶部/底部单元结构440。BOX层中的开口410被布置于结构420与440之间。开口410允许电性接触P掺杂区430及N掺杂区435,该P掺杂区430及N掺杂区435形成于该块体半导体衬底中,以反偏压形成于该半导体层及该半导体块体衬底上方的晶体管装置。这样的连接单元布局400可用于图3b中所示的连接单元-标准单元布局500中。

[0043] 与图2c中所示的布局类似,图3b中所示的布局包括边界单元/多晶线515及平行布

置的多晶线518的列。而且,提供埋置边界单元/多晶线520,在其之间可布置BOX层中的开口510并因此布置连接单元。

[0044] 依据图4中所示的另一个例子,通过适当选择的后设计补偿(重新定位)及相应的设计规则可避免对如图3a及3b中所示的较宽的埋置多晶线的需要。由此,可减少实施适于任意布置的该连接单元所需的空间。图4中所示的布局600包括埋置边界单元/多晶线620以及埋置顶部/底部单元结构640,在BOX层中形成开口610以接触P掺杂630及N掺杂635区,如上所述。

[0045] 因此,本发明提供连接单元-标准单元布局,以避免在FDSOI衬底的BOX层中所形成的开口中形成多晶材料来接触反偏压FET所需的该FDSOI衬底的块体衬底的掺杂区。由此,可避免因BOX层的开口中所形成的不稳定多晶结构所引起的多晶残渣而导致的晶圆污染。

[0046] 由于本领域的技术人员借助这里的教导可以很容易地以不同但等同的方式修改并实施本发明,因此上述特定的实施例仅为示例性质。例如,可以不同的顺序执行上述制造方法步骤。而且,本发明不限于这里所示架构或设计的细节,而是如下面的权利要求所述。因此,显然,可对上面揭露的特定实施例进行修改或变更,所有此类变更落入本发明的范围及精神内。要注意的是,用于说明本说明书以及所附权利要求中的各种制造方法或结构的“第一”、“第二”、“第三”或者“第四”等术语的使用仅用作此类步骤/结构的快捷参考,并不一定意味着按排列顺序执行/形成此类步骤/结构。当然,依据准确的权利要求语言,可能要求或者不要求此类制造方法的排列顺序。因此,下面的权利要求规定本发明的保护范围。

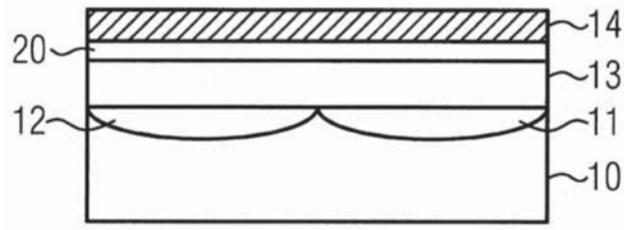


图1a

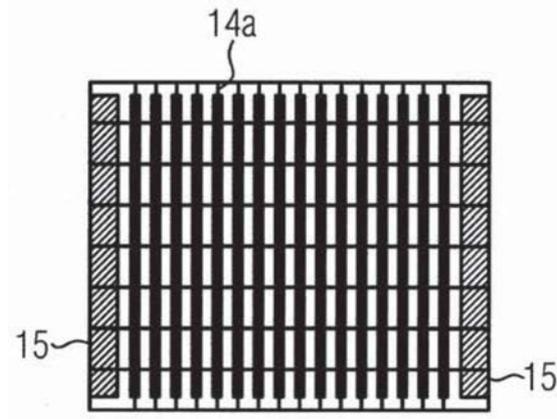


图1b

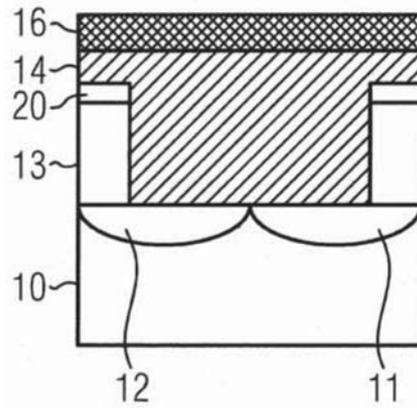


图1c

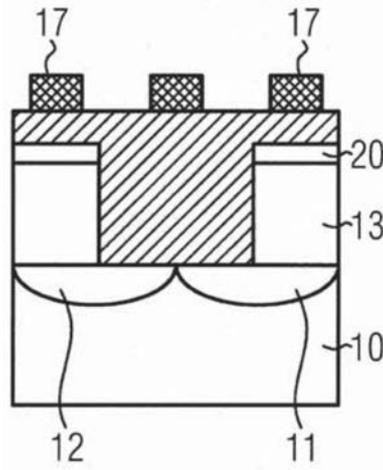


图1d

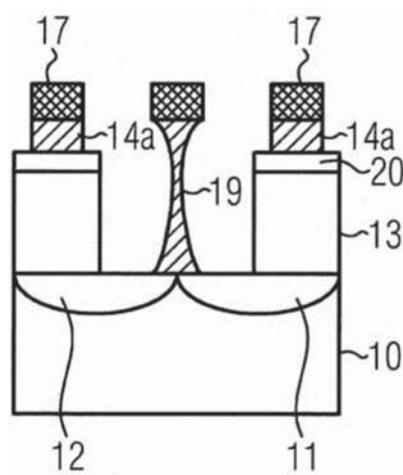


图1e

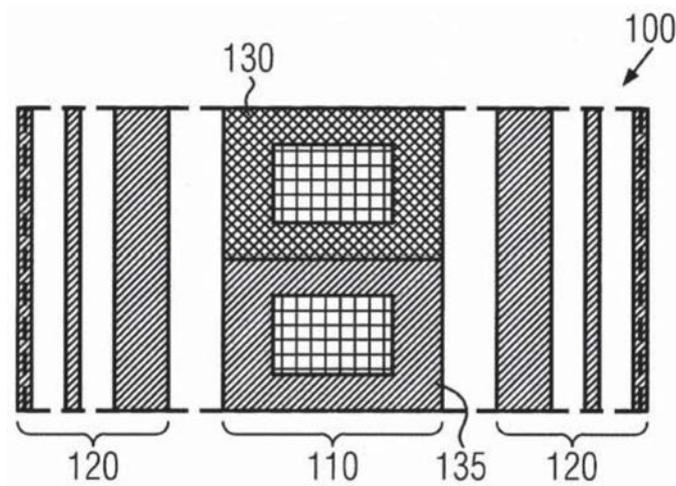


图2a

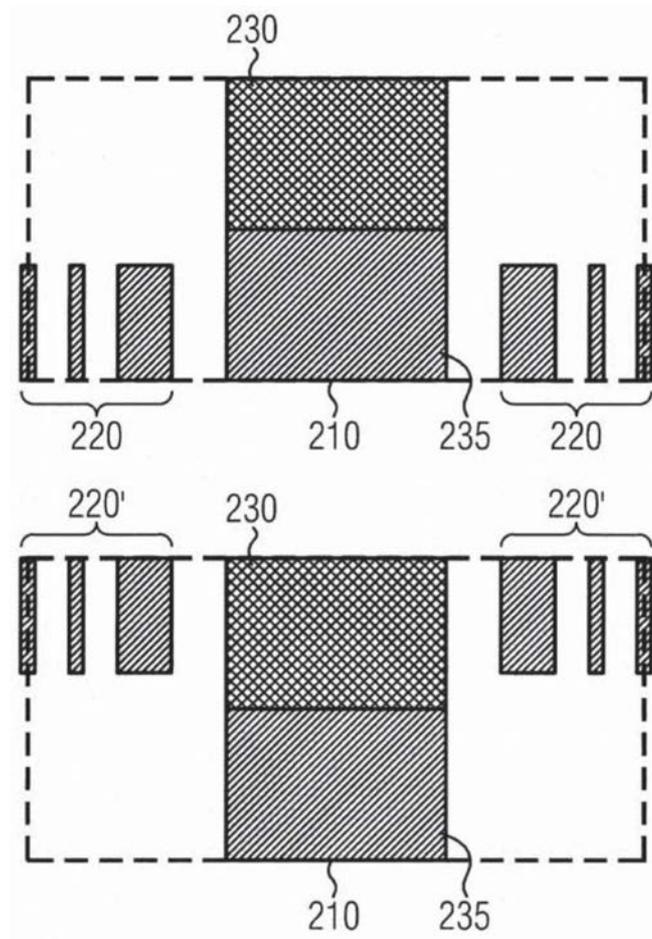


图2b

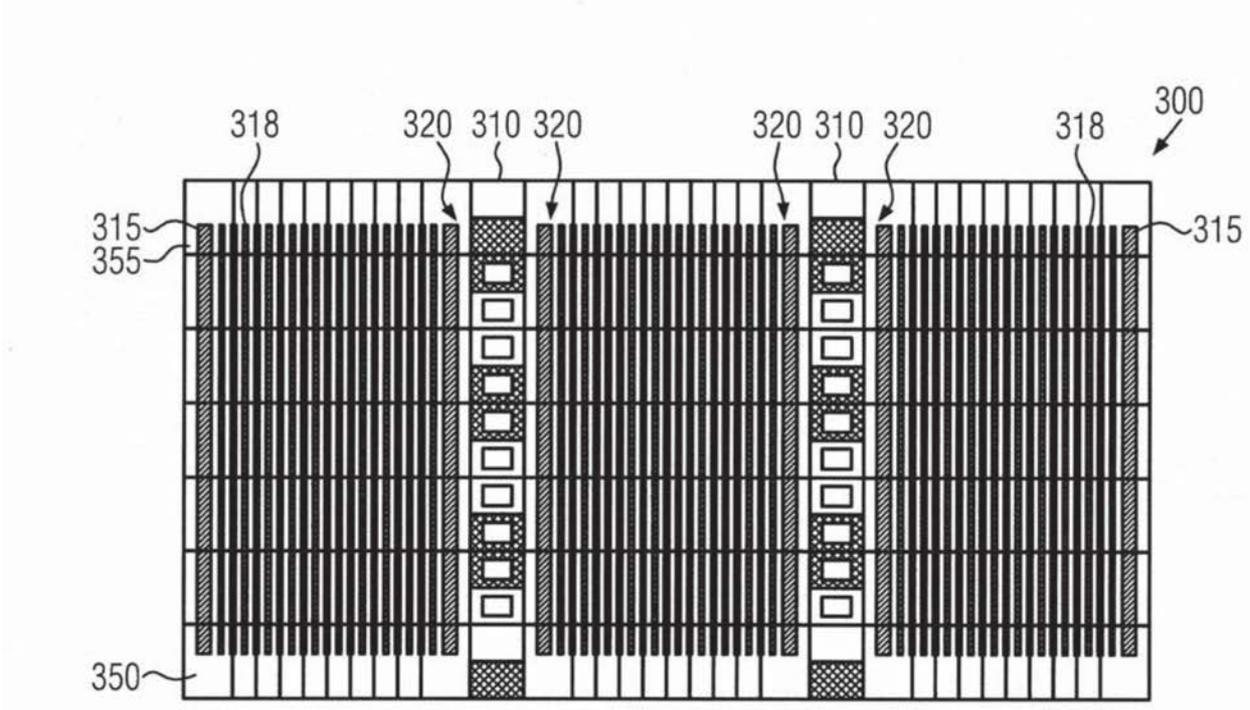


图2c

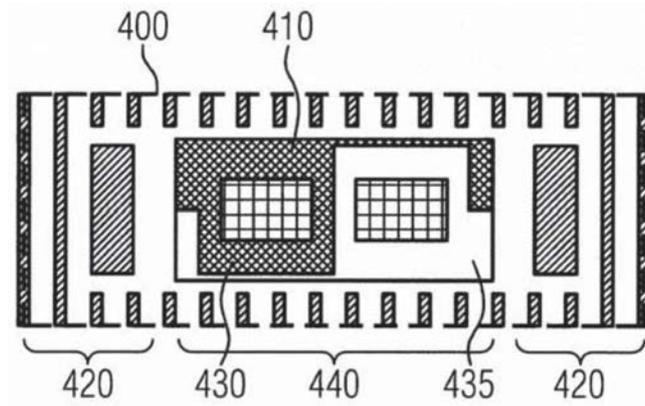


图3a

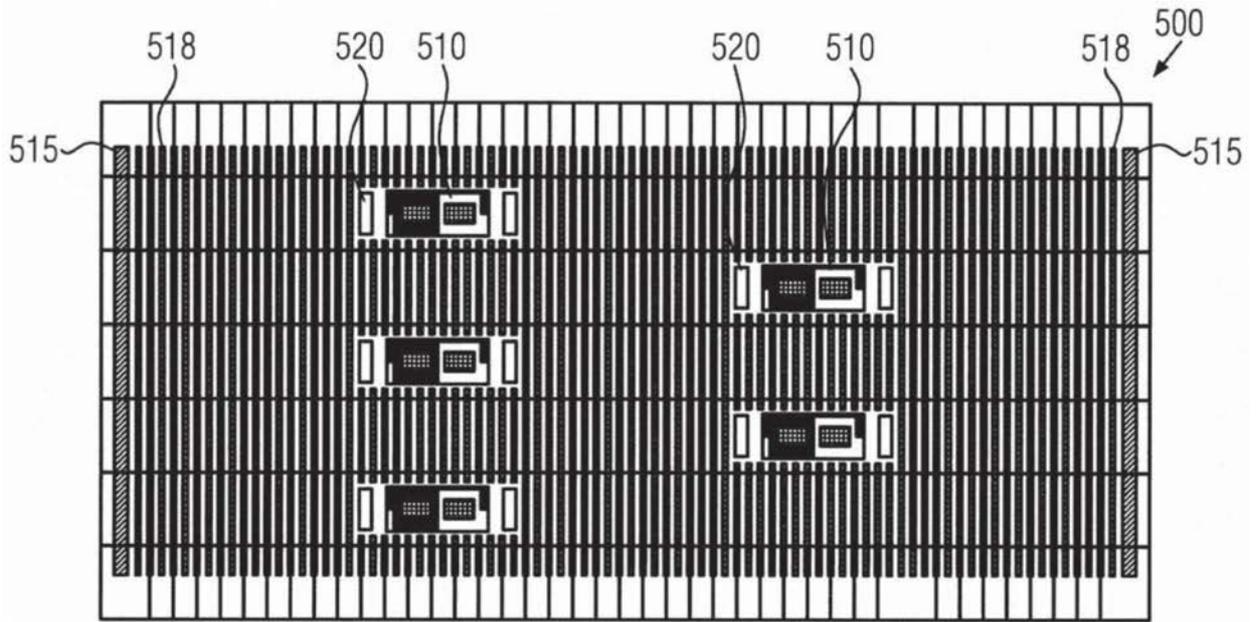


图3b

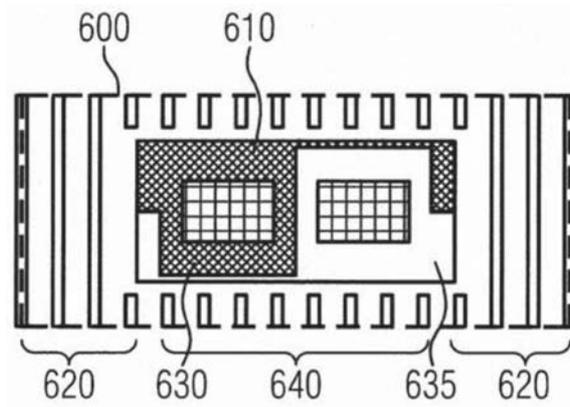


图4