



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월14일

(11) 등록번호 10-1519912

(24) 등록일자 2015년05월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01) H03K 19/0175 (2006.01)

(21) 출원번호 10-2008-0123890

(22) 출원일자 2008년12월08일

심사청구일자 2013년12월06일

(65) 공개번호 10-2010-0065523

(43) 공개일자 2010년06월17일

(56) 선행기술조사문헌

KR1020070002913 A

KR1020080060824 A

KR1020070109464 A

KR1020080081822 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신홍재

서울특별시 동대문구 장안벚꽃로 167,  
삼성래미안2차아파트 203동 1602호 (장안동)

김용호

경기 파주시 월롱면 엘지로 245, 101동 1312호 ( 파주LCD산업단지)

김진호

경기 파주시 마음밭길 114, 205동 1004호 ( 금촌동, 대방노블랜드아파트)

(74) 대리인

박영복

전체 청구항 수 : 총 4 항

심사관 : 추장희

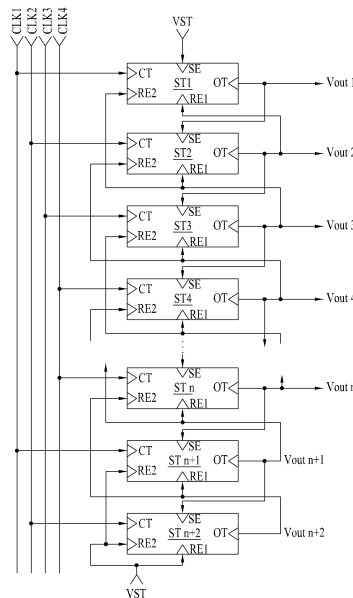
(54) 발명의 명칭 쉬프트 레지스터

(57) 요약

본 발명은 게이트 라인의 방전시간을 최소화할 수 있는 쉬프트 레지스터는, 순차적으로 스캔펄스를 출력하는 다수의 스테이지들을 포함하며; 제 k 스테이지는, 제 k-1 스테이지로부터의 스캔펄스 및 제 k+2 스테이지로부터의 스캔펄스에 따라 제 1 내지 제 3 노드의 논리상태를 제어하는 제 1 노드 제어부; 제 k 스테이지의 제 2 노드의

(뒷면에 계속)

대표도 - 도1



논리상태 및 제  $k+1$  스테이지로부터의 스캔펄스에 따라 제 4 노드의 논리상태를 제어하는 제 2 노드 제어부; 제  $k$  스테이지의 제 3 노드의 논리상태 및 제  $k+1$  스테이지로부터의 스캔펄스에 따라 제 5 노드의 논리상태를 제어하는 제 3 노드 제어부; 상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 출력단자를 통해 스캔펄스로서 출력하는 풀업 스위칭소자; 상기 제 4 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자를 통해 방전용 전압을 출력하는 제 1 풀다운 스위칭소자; 및, 상기 제 5 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자를 통해 방전용 전압을 출력하는 제 2 풀다운 스위칭소자를 포함함을 특징으로 한다.

---

**명세서**

**청구범위**

**청구항 1**

순차적으로 스캔펄스를 출력하는 다수의 스테이지들을 포함하며;

제 k 스테이지는,

제 k-1 스테이지로부터의 스캔펄스 및 제 k+2 스테이지로부터의 스캔펄스에 따라 제 1 내지 제 3 노드의 논리상태를 제어하는 제 1 노드 제어부;

제 k 스테이지의 제 2 노드의 논리상태 및 제 k+1 스테이지로부터의 스캔펄스에 따라 제 4 노드의 논리상태를 제어하는 제 2 노드 제어부;

제 k 스테이지의 제 3 노드의 논리상태 및 제 k+1 스테이지로부터의 스캔펄스에 따라 제 5 노드의 논리상태를 제어하는 제 3 노드 제어부

상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 출력단자를 통해 스캔펄스로서 출력하는 풀업 스위칭소자;

상기 제 4 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자를 통해 방전용 전압을 출력하는 제 1 풀다운 스위칭소자; 및,

상기 제 5 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자를 통해 방전용 전압을 출력하는 제 2 풀다운 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 2**

제 1 항에 있어서,

제 k 스테이지에 구비된 제 1 노드 제어부는,

제 k-1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 k-1 스테이지의 출력단자와 상기 제 1 노드간을 접속시키는 제 1 스위칭소자;

제 k+2 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 방전용 전압을 전송하는 방전용전원라인과 상기 제 1 노드간을 접속시키는 제 2 스위칭소자;

상기 제 2 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 노드와 상기 방전용전원라인간을 접속시키는 제 3 스위칭소자;

상기 제 3 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 노드와 상기 방전용전원라인간을 접속시키는 제 4 스위칭소자;

제 1 교류전원라인으로부터의 제 1 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 상기 제 2 노드간을 접속시키는 제 5 스위칭소자;

상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 노드와 방전용전원라인간을 접속시키는 제 6 스위칭소자;

제 2 교류전원라인으로부터의 제 2 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 교류전원라인과 방전용전원라인간을 접속시키는 제 7 스위칭소자; 및,

상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 3 노드와 방전용전원라인간을 접속시키는 제 8 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 3**

제 2 항에 있어서,

상기 제 k 스테이지에 구비된 제 2 노드 제어부는,

상기 제 3 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 제 4 노드간을 접속시키는 제 9 스위칭소자;

제 k+1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 충전용 전압을 전송하는 충전용전원라인과 상기 제 4 노드간을 접속시키는 제 10 스위칭소자; 및,

상기 제 2 교류전원라인으로부터의 제 2 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 4 노드와 방전용전원라인간을 접속시키는 제 11 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

**청구항 4**

제 3 항에 있어서,

상기 제 k 스테이지에 구비된 제 3 노드 제어부는,

상기 제 2 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 제 5 노드간을 접속시키는 제 12 스위칭소자;

제 k+1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 충전용 전압을 전송하는 충전용전원라인과 상기 제 5 노드간을 접속시키는 제 13 스위칭소자; 및,

상기 제 1 교류전원라인으로부터의 제 1 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 5 노드와 방전용전원라인간을 접속시키는 제 14 스위칭소자를 포함함을 특징으로 하는 쉬프트 레지스터.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 쉬프트 레지스터에 관한 것으로, 특히 게이트 라인의 방전시간을 최소화할 수 있는 쉬프트 레지스터에 대한 것이다.

**배경 기술**

[0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

[0003] 상기 액정패널에는 다수개의 게이트 라인들과 다수개의 데이터 라인들이 교차하게 배열되고, 그 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고, 상기 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 상기 액정패널에 형성된다.

[0004] 상기 화소전극들 각각은 스위칭소자인 박막트랜지스터(TFT; Thin Film Transistor)의 소스단자 및 드레인단자를 경유하여 상기 데이터 라인에 접속된다. 상기 박막트랜지스터는 상기 게이트 라인을 경유하여 게이트단자에 인가되는 스캔펄스에 의해 턴-온되어, 상기 데이터 라인의 데이터 신호가 상기 화소전압에 충전되도록 한다.

[0005] 한편, 상기 구동회로는 상기 게이트 라인들을 구동하기 위한 게이트 드라이버와, 상기 데이터 라인들을 구동하기 위한 데이터 드라이버와, 상기 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 콘트롤러와, 액정표시장치에서 사용되는 여러 가지의 구동전압들을 공급하는 전원공급부를 구비한다.

[0006] 상기 게이트 드라이버는 스캔펄스를 게이트 라인들에 순차적으로 공급하여 액정패널상의 액정셀들을 1라인분씩 순차적으로 구동한다. 여기서, 상기 게이트 드라이버는 상술한 바와 같은 스캔펄스들을 순차적으로 출력할 수 있도록 쉬프트 레지스터를 구비한다.

[0007] 종래의 쉬프트 레지스터는 차례로 스캔신호를 출력하는 다수의 스테이지들을 포함한다. 스테이지로부터는 스캔펄스가 출력되는데, 이 스캔펄스는 게이트 라인에 공급되어 게이트 라인을 일정시간 동안 충전시킨다. 즉, 게이트 라인은 하이상태의 스캔펄스에 의해 충전되고 로우상태의 스캔펄스에 의해 방전된다. 이때, 게이트 라인의 방전시간을 최대한 줄이는 것이 액정표시장치의 화질 향상에 중요한 역할을 하는 바, 액정표시장치가 대면적화되어 게이트 라인이 길어질 수록 이 방전시간도 길어지는 문제점이 있었다.

**발명의 내용**

**해결 하고자하는 과제**

[0008] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 게이트 라인에 접속된 스테이지의 출력단자를 풀업 스위칭소자와 풀다운 스위칭소자를 이용하여 빠르게 방전시킴으로써 게이트 라인의 방전시간을 최소화할 수 있는 쉬프트 레지스터를 제공하는데 그 목적이 있다.

**과제 해결수단**

[0009] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 쉬프트 레지스터는, 순차적으로 스캔펄스를 출력하는 다수의 스테이지들을 포함하며; 제 k 스테이지는, 제 k-1 스테이지로부터의 스캔펄스 및 제 k+2 스테이지로부터의 스캔펄스에 따라 제 1 내지 제 3 노드의 논리상태를 제어하는 제 1 노드 제어부; 제 k 스테이지의 제 2 노드의 논리상태 및 제 k+1 스테이지로부터의 스캔펄스에 따라 제 4 노드의 논리상태를 제어하는 제 2 노드 제어부; 제 k 스테이지의 제 3 노드의 논리상태 및 제 k+1 스테이지로부터의 스캔펄스에 따라 제 5 노드의 논리상태를 제어하는 제 3 노드 제어부; 상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 출력단자를 통해 스캔펄스로서 출력하는 풀업 스위칭소자; 상기 제 4 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자를 통해 방전용 전압을 출력하는 제 1 풀다운 스위칭소자; 및, 상기 제 5 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자를 통해 방전용 전압을 출력하는 제 2 풀다운 스위칭소자를 포함함을 특징으로 한다.

[0010] 제 k 스테이지에 구비된 제 1 노드 제어부는, 제 k-1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 k-1 스테이지의 출력단자와 상기 제 1 노드간을 접속시키는 제 1 스위칭소자; 제 k+2 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 방전용 전압을 전송하는 방전용전원라인과 상기 제 1 노드간을 접속시키는 제 2 스위칭소자; 상기 제 2 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 노드와 상기 방전용전원라인간을 접속시키는 제 3 스위칭소자; 상기 제 3 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 노드와 상기 방전용전원라인간을 접속시키는 제 4 스위칭소자; 제 1 교류전원라인으로부터의 제 1 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 상기 제 2 노드간을 접속시키는 제 5 스위칭소자; 상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 노드와 방전용전원라인간을 접속시키는 제 6 스위칭소자; 제 2 교류전원라인으로부터의 제 2 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 교류전원라인과 방전용전원라인간을 접속시키는 제 7 스위칭소자; 및, 상기 제 1 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 3 노드와 방전용전원라인간을 접속시키는 제 8 스위칭소자를 포함함을 특징으로 한다.

[0011] 상기 제 k 스테이지에 구비된 제 2 노드 제어부는, 상기 제 3 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 제 4 노드간을 접속시키는 제 9 스위칭소자; 제 k+1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 충전용 전압을 전송하는 충전용전원라인과 상기 제 4 노드간을 접속시키는 제 10 스위칭소자; 및, 상기 제 2 교류전원라인으로부터의 제 2 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 4 노드와 방전용전원라인간을 접속시키는 제 11 스위칭소자를 포함함을 특징으로 한다.

[0012] 상기 제 k 스테이지에 구비된 제 3 노드 제어부는, 상기 제 2 노드의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 제 5 노드간을 접속시키는 제 12 스위칭소자; 제 k+1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 충전용 전압을 전송하는 충전용전원라인과 상기 제 5 노드간을 접속시키는 제 13 스위칭소자; 및, 상기 제 1 교류전원라인으로부터의 제 1 교류전압에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 5 노드와 방전용전원라인간을 접속시키는 제 14 스위칭소자를 포함함을 특징으로 한다.

**효과**

[0013] 본 발명에 따른 쉬프트 레지스터에는 다음과 같은 효과가 있다.

[0014] 본 발명에 따른 쉬프트 레지스터는 풀업 스위칭소자와 풀다운 스위칭소자를 이용하여 스테이지의 출력단자를 빠르게 방전시킴으로써 출력단자에 접속된 게이트 라인의 방전시간을 최소화할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0015] 도 1은 본 발명의 실시예에 따른 쉬프트 레지스터를 나타낸 도면이고, 도 2는 도 1의 각 스테이지에 공급 또는 출력되는 각종 신호들의 타이밍도를 나타낸 도면이다.
- [0016] 본 발명의 실시예에 따른 쉬프트 레지스터는, 도 1에 도시된 바와 같이, n개의 스테이지들 및 두 개의 더미 스테이지(STn+1, STn+2)를 포함한다. 여기서, 제 1 및 제 2 더미 스테이지(STn+1, STn+2)를 포함한 각 스테이지들(ST1 내지 STn)은 각각의 출력단자(OT)를 통해 한 프레임 기간동안 한 번의 스캔펄스를 출력하고, 이를 자신의 전단 및 후단에 위치한 스테이지에 공급하여 그것의 동작을 제어한다.
- [0017] 제 k 스테이지는 제 k-1 스테이지로부터의 스캔펄스를 세트단자(SE)를 통해 공급받으며, 제 k+1 스테이지로부터의 스캔펄스를 제 1 리세트단자(RE1)를 통해 공급받으며, 제 k+2 스테이지로부터의 스캔펄스를 제 2 리세트단자(RE2)를 통해 공급받는다. 또한, 각 스테이지(ST1 내지 STn+2)는 클럭단자(CT)를 통해 해당 클럭펄스를 공급받으며, 출력단자(OT)를 통해 스캔펄스를 출력한다.
- [0018] 단, 제 1 스테이지(ST1)의 전단에는 스테이지가 존재하지 않으므로, 제 1 스테이지(ST1)는 타이밍 컨트롤러로부터의 스타트 펄스(Vst)를 세트단자(SE)를 통해 공급받는다. 한편, 도시하지 않은 제 n-1 스테이지는 제 1 더미 스테이지(STn+1)로부터의 제 1 더미 스캔펄스(Voutn+1)를 제 2 리세트단자(RE2)를 통해 공급받는다. 또한, 제 n 스테이지(STn)는 제 1 더미 스테이지(STn+1)로부터의 제 1 더미 스캔펄스(Voutn+1)를 제 1 리세트단자(RE1)를 통해 공급받으며, 제 2 더미 스테이지(STn+2)로부터의 제 2 더미 스캔펄스(Voutn+2)를 제 2 리세트단자(RE2)를 통해 공급받는다.
- [0019] 상기 스테이지들(ST1 내지 STn+2)은 제 1 스테이지(ST1)부터 제 2 더미 스테이지(STn+2) 순서로 차례로 스캔펄스를 출력한다. 즉, 제 1 스테이지(ST1)가 제 1 스캔펄스(Vout1)를 출력하고, 이어서 제 2 스테이지(ST2)가 제 2 스캔펄스(Vout2)를 출력하고, 다음으로, 제 3 스테이지(ST3)가 제 3 스캔펄스(Vout3)를 출력하고, ..., 다음으로 제 k 스테이지가 제 k 스캔펄스를 출력하고, 제 1 더미 스테이지(STn+1)가 제 k+1 스캔펄스를 출력하고, 마지막으로 제 2 더미 스테이지(STn+2)가 제 k+2 스캔펄스를 출력한다.
- [0020] 상기 제 1 및 제 2 더미 스테이지(STn+1, STn+2)를 제외한 상기 스테이지들로부터 출력된 스캔펄스(Vout1 내지 Voutn)는 액정패널(도시되지 않음)의 게이트 라인들에 순차적으로 공급되어, 상기 게이트 라인들을 순차적으로 스캐닝하게 된다.
- [0021] 이러한 쉬프트 레지스터는 액정패널에 내장될 수 있다. 즉, 상기 액정패널은 화상을 표시하기 위한 표시부와 상기 표시부를 둘러싸는 비표시부를 갖는데, 상기 쉬프트 레지스터는 상기 비표시부에 내장된다.
- [0022] 이와 같이 구성된 쉬프트 레지스터의 전체 스테이지는 충전용 전압(VDD), 방전용 전압(VSS), 제 1 교류 전압(VDD\_0), 제 2 교류 전압(VDD\_E), 그리고 서로 순차적인 위상차를 갖고 순환하는 클럭펄스들(CLK1 내지 CLK4) 중 어느 하나를 인가받는다. 한편, 상기 스테이지들(ST1 내지 STn+2) 중 제 1 스테이지(ST1)는 스타트 펄스(Vst)를 더 공급받는다.
- [0023] 상기 충전용 전압(VDD)은 충전용전원라인으로부터 제공되며, 상기 방전용 전압(VSS)은 방전용전원라인으로부터 제공되며, 상기 제 1 클럭펄스(CLK1)는 제 1 클럭전송라인으로부터 제공되며, 상기 제 2 클럭펄스(CLK2)는 제 2 클럭전송라인으로부터 제공되며, 상기 제 3 클럭펄스(CLK3)는 제 3 클럭전송라인으로부터 제공되며, 상기 제 4 클럭펄스(CLK4)는 제 4 클럭전송라인으로부터 제공되며, 그리고 상기 스타트 펄스(Vst)는 스타트전송라인으로부터 제공된다.
- [0024] 상기 충전용 전압(VDD) 및 방전용 전압(VSS)은 모두 직류 전압으로서, 상기 충전용 전압(VDD)은 상기 방전용 전압(VSS)보다 상대적으로 높은 전위를 갖는다. 예를 들어, 상기 충전용 전압(VDD)은 정극성을 나타내고, 상기 방전용 전압(VSS)은 부극성을 나타낼 수 있다. 한편, 상기 방전용 전압(VSS)은 접지전압이 될 수 있다. 상기 방전용 전압(VSS)은 상기 각 클럭펄스의 로우상태의 전압값과 동일하다.
- [0025] 상기 각 클럭펄스(CLK1 내지 CLK4)는 각 스테이지의 스캔펄스를 생성하는데 사용되는 신호들로서, 각 스테이지들(ST1 내지 STn+2)은 이들 클럭펄스들 중 어느 하나를 이용하여 스캔펄스를 생성한다. 예를 들어, 제 4k+1 스테이지는 제 1 클럭펄스(CLK1)를 사용하여 스캔펄스를 출력하고, 제 4k+2 스테이지는 제 2 클럭펄스(CLK2)를 사용하여 스캔펄스를 출력하고, 제 4k+3 스테이지는 제 3 클럭펄스(CLK3)를 사용하여 스캔펄스를 출력하고, 제 4k+4 스테이지는 제 4 클럭펄스(CLK4)를 사용하여 스캔펄스를 출력한다. 상기 k는 0을 포함한 자연수이다.

- [0026] 본 발명에서는 서로 다른 위상차를 갖는 4종의 클럭펄스를 사용하는 예를 나타내었지만, 상기 클럭펄스의 종류는 2개 이상이면 몇 개라도 사용할 수 있다.
- [0027] 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 위상차를 갖고 출력된다. 상기 제 2 클럭펄스(CLK2)는 상기 제 1 클럭펄스(CLK1)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 3 클럭펄스(CLK3)는 상기 제 2 클럭펄스(CLK2)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 4 클럭펄스(CLK4)는 상기 제 3 클럭펄스(CLK3)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 1 클럭펄스(CLK1)는 상기 제 4 클럭펄스(CLK4)보다 한 펄스폭만큼 위상지연되어 출력된다.
- [0028] 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)들은 순차적으로 출력되며, 또한 순환하면서 출력된다. 즉, 제 1 클럭펄스(CLK1)부터 제 4 클럭펄스(CLK4)까지 순차적으로 출력된 후, 다시 제 1 클럭펄스(CLK1)부터 제 4 클럭펄스(CLK4)까지 순차적으로 출력된다. 따라서, 상기 제 1 클럭펄스(CLK1)는 상기 제 4 클럭펄스(CLK4)와 제 2 클럭펄스(CLK2) 사이에 해당하는 기간에서 출력된다. 여기서, 상기 제 4 클럭펄스(CLK4)와 스타트 펄스(Vst)를 서로 동기시켜 출력할 수도 있다. 이와 같이 상기 제 4 클럭펄스(CLK4)와 스타트 펄스(Vst)가 서로 동기될 때, 상기 제 1 내지 제 4 클럭펄스(CLK4)들 중 제 4 클럭펄스(CLK4)가 가장 먼저 출력된다.
- [0029] 상기 각 클럭펄스(CLK1 내지 CLK4)는 한 프레임 기간동안 여러 번 출력되지만, 상기 스타트 펄스(Vst)는 한 프레임 기간동안 단 한번 출력된다. 다시 말하면, 각 클럭펄스(CLK1 내지 CLK4)는 한 프레임 기간동안 주기적으로 여러 번의 액티브 상태(하이 상태)를 나타내지만, 상기 스타트 펄스(Vst)는 한 프레임 기간동안 단 한번의 액티브상태를 나타낸다.
- [0030] 각 스테이지들(ST1 내지 STn+2)은 상기 제 1 및 제 2 교류 전압(VDD\_0, VDD\_E)을 공급받는다. 상기 제 1 및 제 2 교류 전압(VDD\_0, VDD\_E)은 모두 교류 전압으로서, 상기 제 1 교류 전압(VDD\_0)은 제 2 교류 전압(VDD\_E)에 대하여 180도 위상 반전된 형태를 갖는다. 상기 제 1 및 제 2 교류 전압(VDD\_0, VDD\_E)의 하이 상태에서의 전압값은 상기 충전용 전압(VDD)의 전압값과 동일 할 수도 있으며, 상기 제 1 및 제 2 교류 전압(VDD\_0, VDD\_E)의 로우 상태에서의 전압값은 상기 방전용 전압(VSS)의 전압값과 동일 할 수도 있다. 제 1 및 제 2 교류 전압(VDD\_0, VDD\_E)은 p 프레임 기간을 주기로 하여 그들의 상태가 반전된다. 여기서, p는 자연수이다.
- [0031] 상기 제 1 교류 전압(VDD\_0)은 제 1 교류전원라인으로부터 제공되며, 상기 제 2 교류 전압(VDD\_E)은 제 2 교류전원라인으로부터 제공된다.
- [0032] 도 3은 도 1에 도시된 임의의 하나의 스테이지의 구성을 나타낸 도면이다.
- [0033] 제 k 스테이지는 제 1 내지 제 5 노드(Q, QB1, QB2, Gd1, Gd2), 제 1 내지 제 3 노드 제어부(NC1 내지 NC3), 풀업 스위칭소자(Tu), 제 1 풀다운 스위칭소자(Td1), 및 제 2 풀다운 스위칭소자(Td2)를 포함한다.
- [0034] 제 k 스테이지에 구비된 제 1 노드 제어부(NC1)는 제 k-1 스테이지로부터의 스캔펄스 및 제 k+2 스테이지로부터의 스캔펄스에 따라 제 1 내지 제 3 노드(Q, QB1, QB2)의 논리상태를 제어한다. 이를 위해, 제 k 스테이지의 제 1 노드 제어부(NC1)는 제 1 내지 제 8 스위칭소자(Tr1, Tr8)를 포함한다.
- [0035] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 1 스위칭소자(Tr1)는 제 k-1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 k-1 스테이지의 출력단자(OT)와 상기 제 1 노드(Q)간을 접속시킨다.
- [0036] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 2 스위칭소자(Tr2)는 제 k+2 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 방전용 전압(VSS)을 전송하는 방전용전원라인과 상기 제 1 노드(Q)간을 접속시킨다.
- [0037] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 3 스위칭소자(Tr3)는 상기 제 2 노드(QB1)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 노드(Q)와 상기 방전용전원라인간을 접속시킨다.
- [0038] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 4 스위칭소자(Tr4)는 제 3 노드(QB2)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 노드(Q)와 상기 방전용전원라인간을 접속시킨다.
- [0039] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 5 스위칭소자(Tr5)는 제 1 교류전원라인으로부터의 제 1 교류 전압(VDD\_0)에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 상기 제 2 노드(QB1)간을

접속시킨다.

- [0040] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 6 스위칭소자(Tr6)는 상기 제 1 노드(Q)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 노드(QB1)와 방전용전원라인간을 접속시킨다.
- [0041] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 7 스위칭소자(Tr7)는 제 2 교류전원라인으로부터의 제 2 교류 전압(VDD\_E)에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 교류전원라인과 방전용전원라인간을 접속시킨다.
- [0042] 제 k 스테이지의 제 1 노드 제어부(NC1)에 구비된 제 8 스위칭소자(Tr8)는 제 1 노드(Q)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 3 노드(QB2)와 방전용전원라인간을 접속시킨다.
- [0043] 한편, 제 k 스테이지에 구비된 제 2 노드 제어부(NC2)는 제 k 스테이지의 제 2 노드(QB1)의 논리상태 및 제 k+1 스테이지로부터의 스캔펄스에 따라 제 4 노드(Gd1)의 논리상태를 제어한다. 이를 위해, 제 k 스테이지의 제 2 노드 제어부(NC2)는 제 9 내지 제 11 스위칭소자(Tr9 내지 Tr11)를 포함한다.
- [0044] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 9 스위칭소자(Tr9)는 상기 제 3 노드(QB2)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 제 4 노드(Gd1)간을 접속시킨다.
- [0045] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 10 스위칭소자(Tr10)는 제 k+1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 충전용 전압(VDD)을 전송하는 충전용전원라인과 상기 제 4 노드(Gd1)간을 접속시킨다.
- [0046] 제 k 스테이지의 제 2 노드 제어부(NC2)에 구비된 제 11 스위칭소자(Tr11)는 상기 제 2 교류전원라인으로부터의 제 2 교류 전압(VDD\_E)에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 4 노드(Gd1)와 방전용전원라인간을 접속시킨다.
- [0047] 한편, 제 k 스테이지에 구비된 제 3 노드 제어부(NC3)는 제 k 스테이지의 제 3 노드(QB2)의 논리상태 및 제 k+1 스테이지로부터의 스캔펄스에 따라 제 5 노드(Gd2)의 논리상태를 제어한다. 이를 위해, 상기 제 3 노드 제어부(NC3)는 제 12 내지 제 14 스위칭소자(Tr12 내지 Tr14)를 포함한다.
- [0048] 제 k 스테이지의 제 3 노드 제어부(NC3)에 구비된 제 12 스위칭소자(Tr12)는 상기 제 2 노드(QB1)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 1 교류전원라인과 제 5 노드(Gd2)간을 접속시킨다.
- [0049] 제 k 스테이지의 제 3 노드 제어부(NC3)에 구비된 제 13 스위칭소자(Tr13)는 제 k+1 스테이지로부터의 스캔펄스에 따라 턴-온 또는 턴-오프되며, 턴-온시 충전용 전압(VDD)을 전송하는 충전용전원라인과 상기 제 5 노드(Gd2)간을 접속시킨다.
- [0050] 제 k 스테이지의 제 3 노드 제어부(NC3)에 구비된 제 14 스위칭소자(Tr14)는 상기 제 1 교류전원라인으로부터의 제 1 교류 전압(VDD\_0)에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 제 5 노드(Gd2)와 방전용전원라인간을 접속시킨다.
- [0051] 제 k 스테이지에 구비된 풀업 스위칭소자(Tu)는 제 1 노드(Q)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 출력단자(OT)를 통해 스캔펄스를 출력한다. 이때, 각 스테이지의 풀업 스위칭소자(Tu)는 외부로부터 공급되는 제 1 내지 제 4 클럭펄스들(CLK1 내지 CLK4) 중 어느 하나를 공급받고, 이를 스캔펄스로서 출력한다.
- [0052] 제 k 스테이지에 구비된 제 1 풀다운 스위칭소자(Td1)는 상기 제 4 노드(Gd1)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자(OT)를 통해 방전용 전압(VSS)을 출력한다.
- [0053] 제 k 스테이지에 구비된 제 2 풀다운 스위칭소자(Td2)는 상기 제 5 노드(Gd2)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 출력단자(OT)를 통해 방전용 전압(VSS)을 출력한다.
- [0054] 이와 같이 구성된 스테이지의 동작을 도 2 및 도 3을 참고하여 설명하면 다음과 같다.
- [0055] 각 스테이지의 동작은 동일하므로, 제 k 스테이지의 동작을 예로 들어 설명하면 다음과 같다.
- [0056] 먼저, 제 1 기간(t1) 동안의 동작을 설명하면 다음과 같다.
- [0057] 제 1 기간(t1)에 제 k-1 스테이지로부터의 하이상태의 스캔펄스가 제 k 스테이지에 구비된 제 1 스위칭소자(Tr1)의 게이트전극 및 드레인전극에 공급된다. 그러면, 제 1 스위칭소자(Tr1)가 턴-온되고, 이 턴-온된 제 1



스위칭소자(Tr1)를 통해 상기 스캔펄스가 제 1 노드(Q)에 공급된다. 그러면, 이 제 1 노드(Q)가 VM전압의 크기만큼 충전되어 이 제 1 노드(Q)에 게이트전극을 통해 접속된 풀업 스위칭소자(Tu), 제 6 스위칭소자(Tr6) 및 제 8 스위칭소자(Tr8)가 턴-온된다.

[0058] 상기 턴-온된 제 6 스위칭소자(Tr6)를 통해 방전용 전압(VSS)이 제 2 노드(QB1)에 공급된다. 한편, 이 제 2 노드(QB1)에는 홀수번째 프레임 기간마다 턴-온상태를 유지하는 제 5 스위칭소자(Tr5)를 통과한 하이상태의 제 1 교류 전압(VDD\_0)도 공급된다. 즉, 이 제 2 노드(QB1)에는 로우상태의 방전용 전압(VSS)과 하이 상태의 제 1 교류 전압(VDD\_0)이 동시에 인가되는데, 제 6 스위칭소자(Tr6)의 면적이 제 5 스위칭소자(Tr5)의 면적보다 더 크게 설계되기 때문에, 상기 제 2 노드(QB1)의 전압은 상대적으로 면적이 큰 제 6 스위칭소자(Tr6)를 통해 공급되는 전압에 의해 좌우된다. 다시 말하여, 이 제 1 기간(t1)에서의 제 2 노드(QB1)의 전압은 로우상태의 논리를 갖는다. 이에 따라, 로우논리를 갖도록 방전된 제 2 노드(QB1)에 게이트전극을 통해 접속된 제 12 스위칭소자(Tr12)는 턴-오프된다.

[0059] 상기 턴-온된 제 8 스위칭소자(Tr8)를 통해 제 2 노드(QB1)에 방전용 전압(VSS)이 공급되며, 이 제 2 노드(QB1)에 게이트전극을 통해 접속된 제 9 스위칭소자(Tr9)는 턴-오프된다. 한편, 홀수번째 프레임 기간마다 로우상태의 전압으로 유지되는 제 2 교류 전압(VDD\_E)에 의해 제 11 스위칭소자(Tr11)는 턴-오프 상태를 유지한다.

[0060] 그리고, 이 제 1 기간(t1)에 제 k+1 및 제 k+2 스테이지로부터의 스캔펄스는 없으므로 제 2 스위칭소자(Tr2), 제 10 스위칭소자(Tr10) 및 제 13 스위칭소자(Tr13)는 턴-오프 상태이다. 그리고, 제 14 스위칭소자(Tr14)는 하이상태의 제 1 교류 전압(VDD\_0)에 의해 턴-온된 상태를 유지하며, 이 턴-온된 제 14 스위칭소자(Tr14)를 통해 방전용 전압(VSS)이 제 5 노드(Gd2)에 공급된다. 따라서, 이 제 5 노드(Gd2)는 방전되며, 이 방전된 제 5 노드(Gd2)에 게이트전극을 통해 접속된 제 2 풀다운 스위칭소자(Td2)는 턴-오프된다.

[0061] 한편, 이 제 1 기간(t1)의 제 4 노드(Gd1)는 방전상태이므로, 이 제 4 노드(Gd1)에 게이트전극을 통해 접속된 제 1 풀다운 스위칭소자(Td1)는 턴-오프 상태이다.

[0062] 이후, 제 2 기간(t2) 동안의 동작을 설명하면 다음과 같다.

[0063] 제 2 기간(t2)에는 하이상태의 제 1 클럭펄스(CLK1)가 제 1 스테이지(ST1)에 구비된 풀업 스위칭소자(Tu)의 드레인전극에 공급된다. 이에 따라, 풀업 스위칭소자(Tu)의 게이트전극과 드레인전극간의 기생 커패시터(Cgd)에 의한 커플링 현상에 의해 플로팅 상태의 제 1 노드(Q)의 전압이 VM레벨에서 VH레벨로 부트스트랩핑된다. 이에 따라 풀업 스위칭소자(Tu)가 거의 완전하게 턴-온된 상태를 유지하며, 이 턴-온된 풀업 스위칭소자(Tu)를 통해 하이상태의 제 1 클럭펄스(CLK1)가 스캔펄스로서 출력단자(OT)에 안정적으로 공급된다. 이 제 k 스테이지로부터 출력된 스캔펄스는 제 k+1 스테이지에 구비된 제 1 스위칭소자(Tr1)의 게이트전극에 공급된다. 이에 따라, 이 제 2 기간(t2)에 제 k+1 스테이지는 상술된 제 1 기간(t1)에서의 제 k 스테이지와 동일하게 동작한다. 또한, 이 제 k 스테이지로부터의 스캔펄스는 제 k-1 스테이지에 구비된 제 10 및 제 13 스위칭소자(Tr10, Tr13)의 게이트전극에 공급됨과 아울러, 제 k-2 스테이지에 구비된 제 2 스위칭소자(Tr2)의 게이트전극에 공급된다.

[0064] 이어서, 제 3 기간(t3) 동안의 동작을 설명하면 다음과 같다.

[0065] 제 3 기간(t3)에는 제 1 클럭펄스(CLK1)가 로우상태로 유지된다. 이 제 3 기간(t3)에는 제 k 스테이지의 제 1 노드(Q)가 충전상태를 유지하고 있기 때문에 이 제 1 노드(Q)에 게이트단자를 통해 접속된 풀업 스위칭소자(Tu)는 턴-온상태이다. 따라서, 이 제 3 기간에 제 k 스테이지의 풀업 스위칭소자(Tu)는 로우상태의 제 1 클럭펄스(CLK1)를 출력단자(OT)에 공급한다. 이에 따라, 이 출력단자(OT)의 전압이 하이상태에서 로우상태로 천이된다. 한편, 본 발명에서는 이 출력단자(OT)의 하이상태에서 로우상태의 천이시간을 더욱 줄이기 위해, 다음과 같은 동작이 더 진행된다.

[0066] 즉, 제 3 기간(t3)에는 제 k+1 스테이지에 구비된 풀업 스위칭소자(Tu)의 드레인전극에 제 2 클럭펄스(CLK2)가 공급된다. 이 제 3 기간(t3)에서의 제 k+1 스테이지의 동작은 상술된 제 2 기간(t2)에서의 제 k 스테이지의 동작과 동일하다. 이 제 3 기간(t3)에 제 k+1 스테이지로부터 출력된 스캔펄스는 제 k 스테이지에 구비된 제 10 및 제 13 스위칭소자(Tr13)의 게이트전극에 공급된다. 그러면, 턴-온된 제 10 스위칭소자(Tr10)를 통해 충전용 전압(VDD)이 제 4 노드(Gd1)에 공급된다. 한편, 이 기간에 제 11 스위칭소자(Tr11)는 턴-오프 상태이므로, 상기 제 4 노드(Gd1)는 충전상태로 유지되고, 이 제 4 노드(Gd1)에 게이트전극을 통해 접속된 제 1 풀다운 스위칭소

자(Td1)는 턴-온된다. 그러면, 이 턴-온된 제 1 풀다운 스위칭소자(Td1)를 통해 출력단자(OT)에 방전용 전압(VSS)이 공급된다. 결국, 이 제 k 스테이지의 출력단자(OT)에는 상술된 풀업 스위칭소자(Tu)로부터의 로우상태의 제 1 클럭펄스(CLK1)와 상술된 제 1 풀다운 스위칭소자(Td1)로부터의 방전용 전압(VSS)이 함께 공급되기 때문에, 이 출력단자(OT)의 전압이 기존 회로에 비하여 빠르게 방전될 수 있다.

[0067] 한편, 턴-온된 제 13 스위칭소자(Tr13)를 통해 충전용 전압(VDD)이 제 5 노드(Gd2)에 공급되지만, 이 제 5 노드(Gd2)는 상기 제 13 스위칭소자(Tr13)보다 더 큰 면적을 갖는 제 14 스위칭소자(Tr14)로부터 공급되는 방전용 전압(VSS)에 의해서 방전된다. 따라서, 이 제 3 기간(t3)에 이 제 5 노드(Gd2)에 게이트전극을 통해 접속된 제 2 풀다운 스위칭소자(Td2)는 턴-오프 상태를 유지한다.

[0068]

[0069] 이어서, 제 4 기간(t4) 동안의 동작을 설명하면 다음과 같다.

[0070] 제 4 기간(t4)에는 제 k+2 스테이지로부터 스캔펄스가 출력되며, 이 제 k+2 스테이지로부터의 스캔펄스는 제 k 스테이지에 구비된 제 2 스위칭소자(Tr2)의 게이트전극에 공급된다. 이 턴-온된 제 2 스위칭소자(Tr2)를 통해 방전용 전압(VSS)이 제 1 노드(Q)에 공급된다. 그러면, 이 제 1 노드(Q)가 방전되고, 이 방전된 제 1 노드(Q)에 게이트전극을 통해 접속된 풀업 스위칭소자(Tu), 제 6 스위칭소자(Tr6) 및 제 8 스위칭소자(Tr8)가 턴-오프된다.

[0071] 제 6 스위칭소자(Tr6)가 턴-오프됨에 따라 제 k 스테이지의 제 2 노드(QB1)는 제 5 스위칭소자(Tr5)로부터의 하이상태의 제 1 교류 전압(VDD<sub>0</sub>)에 의해 충전된다. 이에 따라, 이 제 2 노드(QB1)에 게이트전극을 통해 접속된 제 12 스위칭소자(Tr12)가 턴-온된다. 이 턴-온된 제 12 스위칭소자(Tr12)를 통해 하이상태의 제 1 교류 전압(VDD<sub>0</sub>)이 제 5 노드(Gd2)에 공급된다. 한편, 이 제 12 스위칭소자(Tr12)는 제 14 스위칭소자(Tr14)보다 더 큰 면적을 갖기 때문에, 이 제 4 기간(t4)에 상기 제 14 스위칭소자(Tr14)가 턴-온 상태이지만, 상기 제 5 노드(Gd2)는 충전된 상태로 유지된다. 이에 따라, 이 충전된 제 5 노드(Gd2)에 게이트전극을 통해 접속된 제 2 풀다운 스위칭소자(Td2)는 턴-온된다. 그러면, 이 턴-온된 제 2 풀다운 스위칭소자(Td2)를 통해 방전용 전압(VSS)이 출력단자(OT)에 공급된다.

[0072] 각 스테이지도 상술된 제 k 스테이지와 동일한 방식으로 동작한다.

[0073] 한편, 짝수번째 프레임 기간에는 제 1 교류 전압(VDD<sub>0</sub>)이 로우상태로 유지되고, 제 2 교류 전압(VDD<sub>E</sub>)이 하이상태로 유지됨에 따라, 이 짝수번째 프레임 기간에는 제 4 노드(Gd1) 대신 제 5 노드(Gd2)가 충전된다. 구체적으로, 짝수번째 프레임 기간에서는 제 k 스테이지가 제 k+1 스테이지로부터의 스캔펄스를 공급받을 때, 제 3 노드 제어부(NC3)에 의해 제 2 풀다운 스위칭소자(Td2)가 동작한다. 또한, 짝수번째 프레임 기간에서는 제 k 스테이지가 제 k+2 스테이지로부터의 스캔펄스를 공급받을 때, 제 2 풀다운 스위칭소자(Td2) 대신에 제 1 풀다운 스위칭소자(Td1)가 동작한다. 이와 같이, 제 1 및 제 2 풀다운 스위칭소자(Td1, Td2)가 프레임 기간별로 번갈아가며 동작함에 따라 제 1 및 제 2 풀다운 스위칭소자(Td1, Td2)의 열화를 방지할 수 있다.

[0074] 한편, 제 1 더미 스테이지(ST<sub>n+1</sub>)에 구비된 제 2 스위칭소자(Tr2)의 게이트전극에는 스타트 펄스(V<sub>st</sub>)가 공급된다. 또한, 제 2 더미 스테이지(ST<sub>n+2</sub>)에 구비된 제 2, 제 10 및 제 13 스위칭소자(Tr2, Tr10, Tr13)의 각 게이트전극에도 스타트 펄스(V<sub>st</sub>)가 공급된다.

[0075] 한편, 도 4는 도 1의 각 스테이지에 공급 또는 출력되는 또 다른 형태의 각종 신호들의 타이밍도를 나타낸 도면이다.

[0076] 도 4에 도시된 바와 같이, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 소정 구간 중첩한 형태로 출력된다. 본 발명에 따른 쉬프트 레지스터는 도 2에 도시된 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 대신에 도 4에 도시된 바와 같은 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 사용할 수 있다. 도 4에 도시된 바와 같은 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)가 사용될 경우, 제 k 스테이지는 제 k-1 스테이지가 아닌 제 k-2 스테이지로부터의 스캔펄스를 세트단자(SE)를 통해 공급받는다. 그리고, 제 1 스타트 펄스(V<sub>st1</sub>)는 제 1 스테이지(ST1)의 세트단자(SE)에 공급되며, 제 2 스타트 펄스(V<sub>st2</sub>)는 제 2 스테이지(ST2)의 세트단자(SE)에 공급된다.

[0077] 도 5는 본 발명의 실시예에 따른 쉬프트 레지스터에 구비된 임의의 스테이지의 제 1, 제 2, 및 제 4 노드(Q, QB1, Gd1)의 전압 상태와 제 k 스테이지로부터 출력되는 스캔펄스의 파형을 나타낸 도면이다.

[0078] 도 6은 종래의 쉬프트 레지스터에 구비된 임의의 스테이지로부터 출력되는 스캔펄스의 파형과 본 발명의 실시예에 따른 쉬프트 레지스터에 구비된 임의의 스테이지로부터 출력되는 스캔펄스의 파형을 비교하기 위한 도면으로

서, 도 6에 도시된 바와 같이, 본 발명의 실시예에 따른 스캔펄스의 하이상태에서 로우상태로의 천이시간이 종래의 스캔펄스의 하이상태에서 로우상태로의 천이시간보다 더 짧음을 알 수 있다.

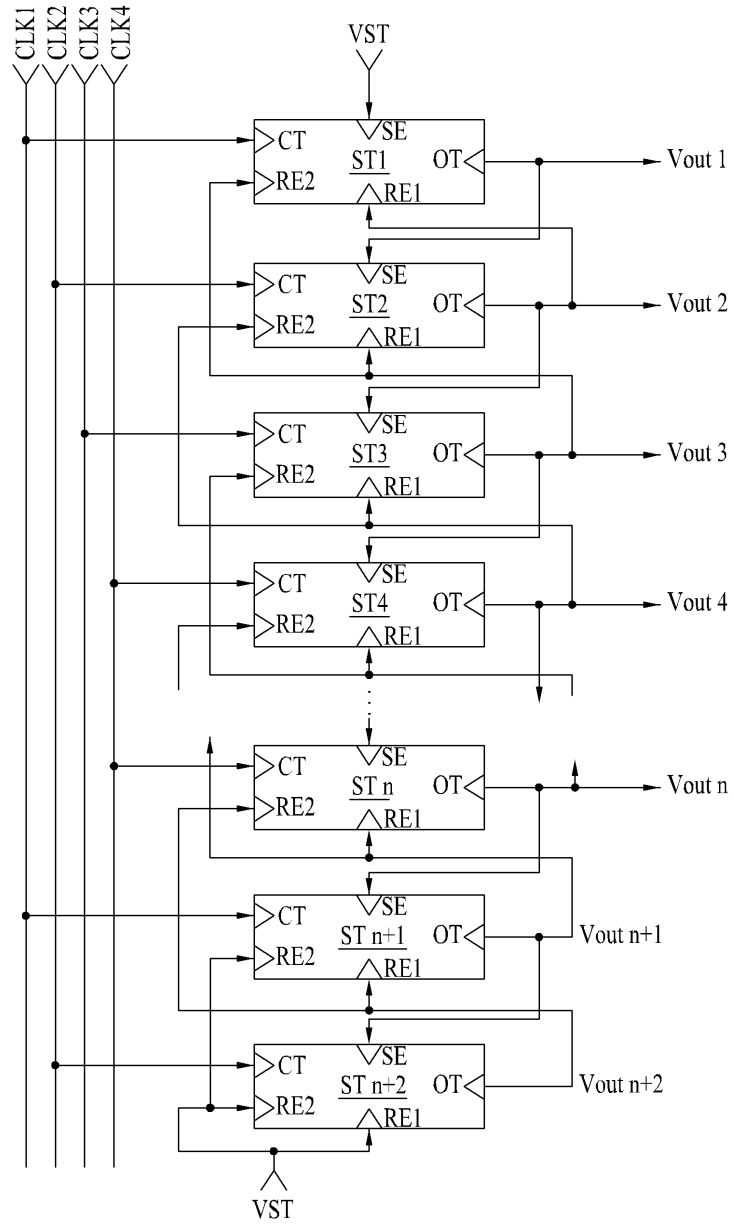
[0079] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

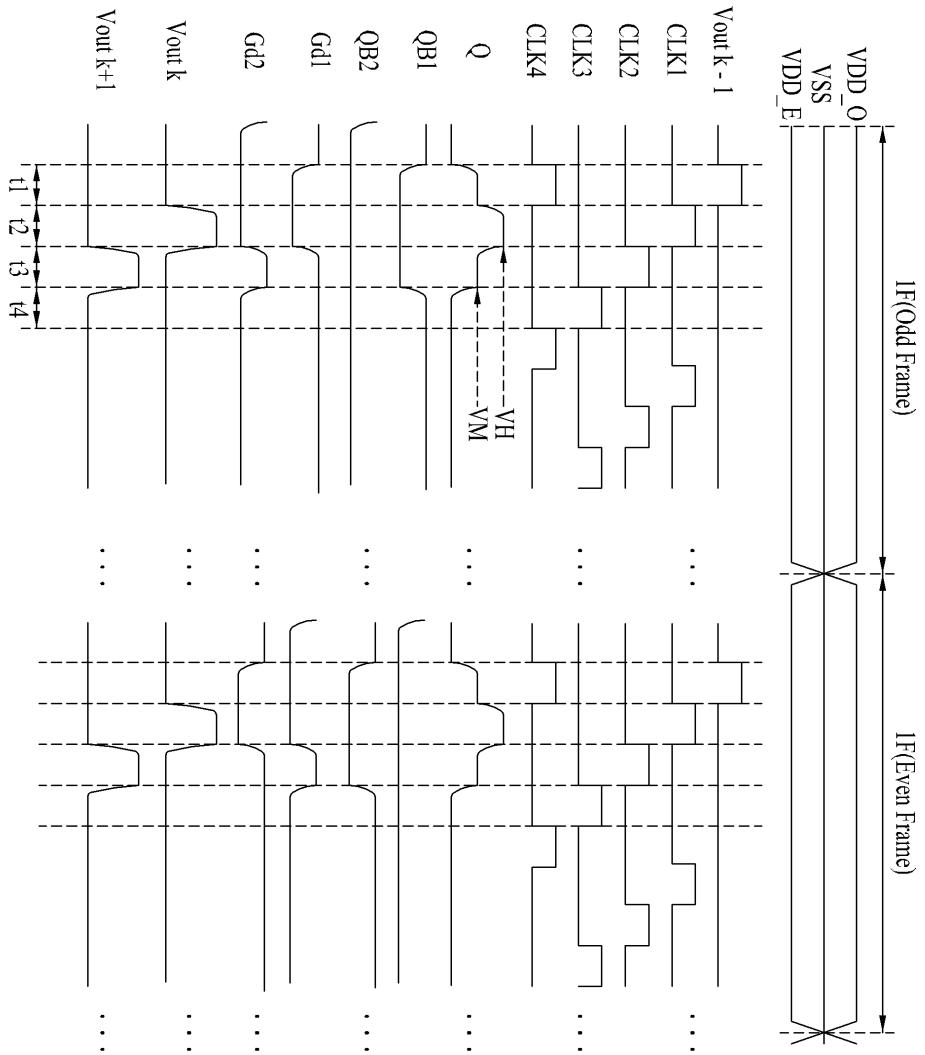
**도면의 간단한 설명**

- [0080] 도 1은 본 발명의 실시예에 따른 쉬프트 레지스터를 나타낸 도면
- [0081] 도 2는 도 1의 각 스테이지에 공급 또는 출력되는 각종 신호들의 타이밍도를 나타낸 도면
- [0082] 도 3은 도 1에 도시된 임의의 하나의 스테이지의 구성을 나타낸 도면
- [0083] 도 4는 도 1의 각 스테이지에 공급 또는 출력되는 또 다른 형태의 각종 신호들의 타이밍도를 나타낸 도면
- [0084] 도 5는 본 발명의 실시예에 따른 쉬프트 레지스터에 구비된 임의의 스테이지의 제 1, 제 2, 및 제 4 노드의 전압 상태와 제 k 스테이지로부터 출력되는 스캔펄스의 파형을 나타낸 도면
- [0085] 도 6은 종래의 쉬프트 레지스터에 구비된 임의의 스테이지로부터 출력되는 스캔펄스의 파형과 본 발명의 실시예에 따른 쉬프트 레지스터에 구비된 임의의 스테이지로부터 출력되는 스캔펄스의 파형을 비교하기 위한 도면

도면

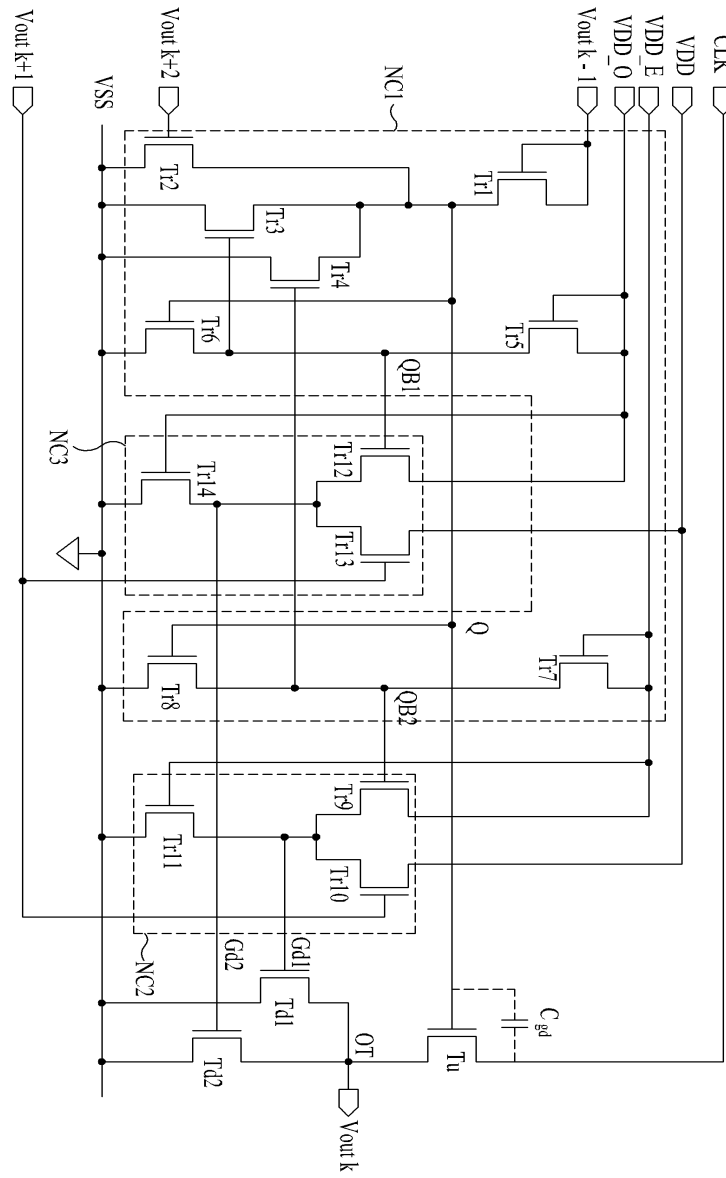
도면1



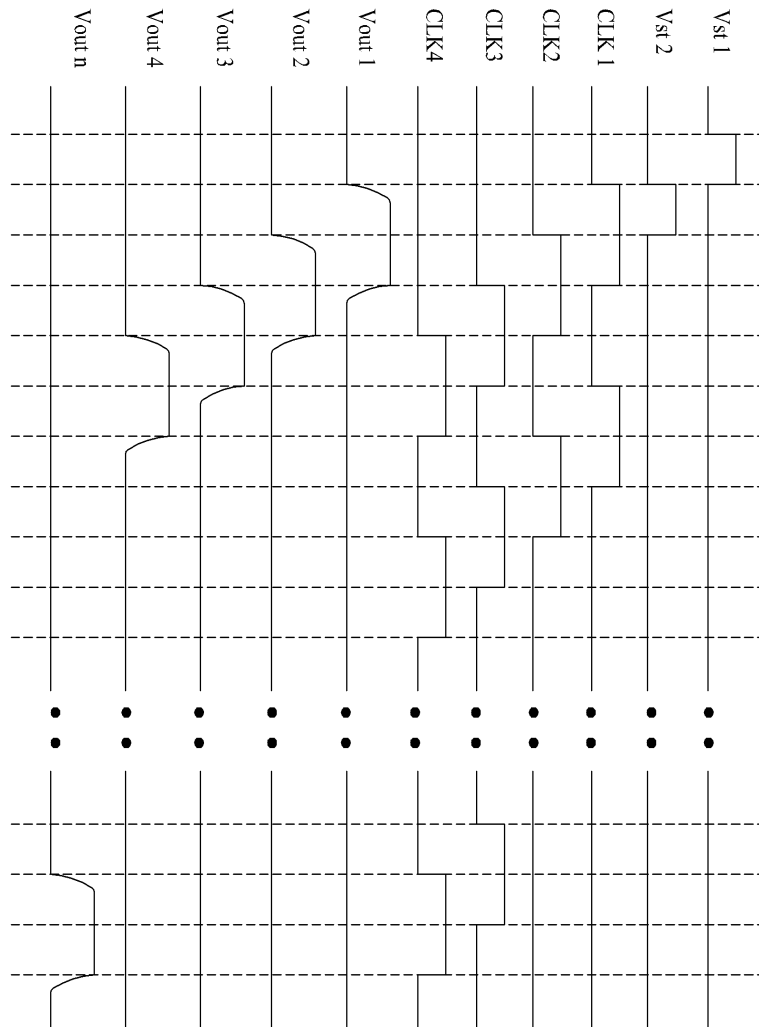


도면2

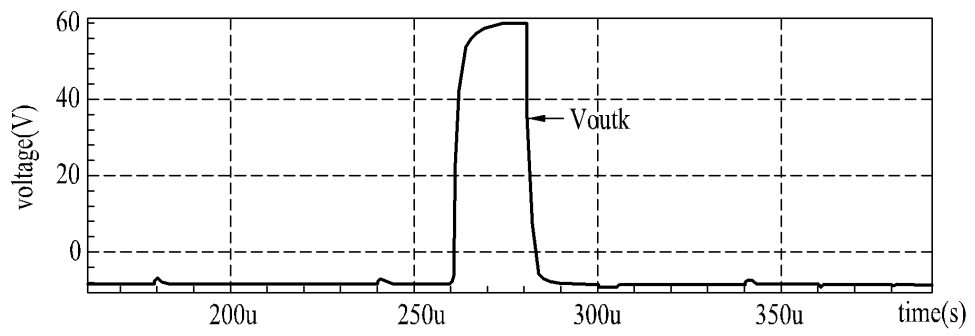
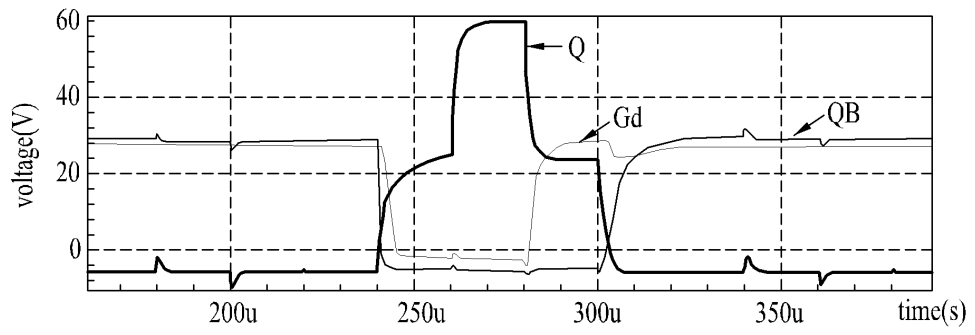
도면3



도면4



도면5





도면6

