



(21) 申请号 202310086925.1

G06F 13/42 (2006.01)

(22) 申请日 2023.01.19

(56) 对比文件

(65) 同一申请的已公布的文献号

申请公布号 CN 116028762 A

CN 107544942 A, 2018.01.05

CN 101330489 A, 2008.12.24

CN 106649200 A, 2017.05.10

(43) 申请公布日 2023.04.28

US 2002178194 A1, 2002.11.28

(73) 专利权人 上海富芮坤微电子有限公司

地址 201203 上海市浦东新区中国(上海)

自由贸易试验区碧波路912弄8号501-A室

黄顺吉等. 数字信号处理及其应用. 北京: 国防工业出版社, 1982, 第388页.

张海滨. 正交频分复用的基本原理与关键技术. 北京: 国防工业出版社, 2006, 第132页.

(72) 发明人 王超 桑圣锋 孙敬成

审查员 薛双双

(74) 专利代理机构 北京品源专利代理有限公司

11332

专利代理师 初春

(51) Int. Cl.

G06F 17/14 (2006.01)

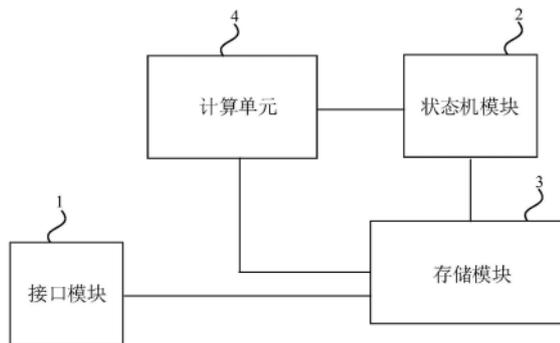
权利要求书2页 说明书7页 附图2页

(54) 发明名称

一种快速傅立叶变换电路及快速傅立叶变换方法

(57) 摘要

本发明实施例公开一种快速傅立叶变换电路及快速傅立叶变换方法。该快速傅立叶变换电路包括接口模块, 状态机模块, 状态机模块用于响应于电路的工作状态, 生成控制信号; 存储模块和计算单元, 计算单元包括至少六个子计算状态, 存储模块与接口模块和状态机模块连接, 存储模块用于根据控制信号, 存储待变换数据、上一子计算状态的临时计算结果或最终变换结果; 计算单元用于根据控制信号, 从存储模块调用待变换数据或上一子计算状态的临时计算结果, 进行全串行变换, 并将存储模块中最终的变换结果通过接口模块输出。本发明实施例提供的技术方案在保证快速傅立叶变换电路计算能力的同时, 减小了快速傅立叶变换电路占用的硬件面积。



1. 一种快速傅立叶变换电路,其特征在于,所述电路,包括:

接口模块,用于传输数据;

状态机模块,所述状态机模块用于响应于所述电路的工作状态,生成控制信号;

存储模块和计算单元,所述计算单元包括至少六个子计算状态,所述存储模块与所述接口模块和所述状态机模块连接,所述存储模块用于根据所述控制信号,存储待变换数据、上一子计算状态的临时计算结果或最终变换结果;其中,所述数据包括待变换数据、上一子计算状态的临时计算结果或最终变换结果;

所述计算单元与所述状态机模块和所述存储模块连接,所述计算单元用于根据所述控制信号,从所述存储模块调用所述待变换数据或上一子计算状态的临时计算结果,进行全串行变换,并将所述存储模块中最终的变换结果通过所述接口模块输出;

所述计算单元包括:

两个复数加法器和一个复数乘法器,所述复数加法器和所述复数乘法器用于在计算阶段,对所述数据分级进行傅里叶变换,并将中间过程的计算结果或最终计算结果缓存于所述存储模块;

归一化单元,所述归一化单元与所述复数加法器和所述状态机模块连接;

所述归一化单元用于在FFT模式时,根据第一控制信号,对所述复数加法器的输出数据进行归一化,并将归一化后的数据写入所述存储模块;其中,所述控制信号包括第一控制信号;

所述存储模块只包括一组两端口RAM;

当提高快速傅立叶变换电路的最高能支持的FFT的点数时,增加两端口RAM的规模和状态机模块的计算状态下的子状态的数量。

2. 根据权利要求1所述的电路,其特征在于,所述电路,还包括:

多路复用模块,所述接口模块通过所述多路复用模块与所述状态机模块、所述存储模块和所述计算单元连接,所述多路复用模块用于将所述数据进行多路复用。

3. 根据权利要求1所述的电路,其特征在于,所述计算阶段包括九个子计算状态;

所述归一化单元,用于在FFT模式时,根据所述第一控制信号,将前一子计算状态中所述复数加法器的输出数据除以2,并将归一化后的数据写入所述存储模块;

所述复数加法器和所述复数乘法器用于在计算阶段,根据所述控制信号,调用所述归一化后的所述数据进入下一子计算状态,并输出各所述子计算状态变换后的数据,直至最后一个所述子计算状态。

4. 根据权利要求1所述的电路,其特征在于,所述电路,还包括:

地址生成模块,所述地址生成模块连接于所述状态机模块与所述存储模块之间,所述地址生成模块用于控制所述待变换数据写入存储单元的地址。

5. 根据权利要求1所述的电路,其特征在于,所述电路,还包括:

时钟模块,所述时钟模块与所述状态机模块和所述存储模块连接,所述时钟模块用于根据第二控制信号,切换用于驱动所述存储模块的读写时钟;其中,所述控制信号包括第二控制信号。

6. 根据权利要求5所述的电路,其特征在于,所述时钟模块,包括:

主时钟和接口总线时钟;

所述主时钟用于在计算阶段,启用计时;

所述接口总线时钟用于在初始化阶段和结果返回阶段,启用计时;

存储模块,用于根据第二控制信号,在初始化阶段,将存储模块的写时钟切换至所述接口总线时钟;在计算阶段,存储模块的读/写时钟都切换至所述主时钟;在计算结果返回阶段,所述存储模块的读时钟切换至所述接口总线时钟。

7. 根据权利要求1所述的电路,其特征在于,所述电路,还包括:

系数分配模块,所述系数分配模块连接于所述状态机模块与所述计算单元之间,所述系数分配模块用于响应于第三控制信号,选择所述计算单元的变换系数;

所述计算单元用于根据所述变换系数,对所述待变换数据进行全串行变换。

8. 根据权利要求1所述的电路,其特征在于,

所述数据包括至少一个采样点;每个所述采样点包括实部和虚部;

所述实部和所述虚部的数据的位宽均为16比特;

所述存储模块包括至少一个存储单元,每个所述存储单元的高16 比特为所述采样点的实部,每个所述存储单元的低16比特为所述采样点的虚部。

9. 一种快速傅立叶变换方法,其特征在于,所述方法应用于权利要求1至8任一项所述的快速傅立叶变换电路;所述方法,包括:

接口模块输入待变换数据;

状态机模块响应于快速傅立叶变换电路的工作状态,生成控制信号;

存储模块根据所述控制信号,存储所述待变换数据、上一子计算状态的临时计算结果或最终变换结果;其中,计算单元包括至少六个子计算状态;

所述计算单元根据所述控制信号,从所述存储模块调用所述待变换数据或上一子计算状态的临时数据,进行全串行变换,得到最终的变换结果;

接口模块输出最终的变换结果。

一种快速傅立叶变换电路及快速傅立叶变换方法

技术领域

[0001] 本发明实施例涉及电路技术领域,尤其涉及一种快速傅立叶变换电路及快速傅立叶变换方法。

背景技术

[0002] 随着显示技术的发展,人们对SOC等芯片的要求越来越高。快速傅里叶变换(Fast Fourier Transform,FFT)是离散傅里叶变换(Discrete Fourier Transform,DFT)的一种快捷计算方式。快速傅里叶变换的实现一般是依照FFT的蝶形图展开。现有的FFT实现技术一般通过全并行结构或以半并行的方式进行运算,完成所有采样点的处理。但现有的快速傅立叶变换(FFT)电路的面积较大,不能满足SOC等芯片的对尺寸的要求。

发明内容

[0003] 本发明实施例提供一种快速傅立叶变换电路及快速傅立叶变换方法,以解决快速傅立叶变换(FFT)电路的面积较大,不能满足SOC等芯片的对尺寸的要求的问题。

[0004] 为实现上述技术问题,本发明采用以下技术方案:

[0005] 本发明实施例提供了一种快速傅立叶变换电路,包括:

[0006] 接口模块,用于传输数据;

[0007] 状态机模块,状态机模块用于响应于电路的工作状态,生成控制信号;

[0008] 存储模块和计算单元,所述计算单元包括至少六个子计算状态,存储模块与接口模块和状态机模块连接,存储模块用于根据控制信号,存储待变换数据、上一子计算状态的临时计算结果或最终变换结果;其中,所述数据包括待变换数据、上一子计算状态的临时计算结果或最终变换结果;

[0009] 计算单元与状态机模块、存储模块以及接口模块连接,计算单元用于根据控制信号,从存储模块调用待变换数据或上一子计算状态的临时计算结果,进行全串行变换,并将所述存储模块中最终的变换结果通过所述接口模块输出。

[0010] 可选的,该快速傅立叶变换电路,还包括:多路复用模块,接口模块通过多路复用模块与状态机模块、存储模块和计算单元连接,多路复用模块用于将数据进行多路复用。

[0011] 可选的,计算单元包括:

[0012] 两个复数加法器和一个复数乘法器,复数加法器和复数乘法器用于在计算阶段,对数据分级进行傅里叶变换,并将中间过程的计算结果或最终计算结果缓存于所述存储模块;

[0013] 归一化单元,归一化单元与复数加法器和状态机模块连接;

[0014] 归一化单元用于在FFT模式时,根据第一控制信号,对复数加法器的输出数据进行归一化,并将归一化后的数据写入存储模块;其中,控制信号包括第一控制信号。

[0015] 可选的,计算阶段包括九个子计算状态;

[0016] 归一化单元,用于在FFT模式时,根据第一控制信号,将前一子计算状态中复数加

法器的输出数据除以2,并将归一化后的数据写入存储模块;

[0017] 复数加法器和复数乘法器用于在计算阶段,根据控制信号,调用归一化后的数据进入下一子计算状态,并输出各子计算状态变换后的数据,直至最后一个子计算状态。

[0018] 可选的,该快速傅立叶变换电路,还包括:

[0019] 地址生成模块,地址生成模块连接于状态机模块与存储模块之间,地址生成模块用于控制待变换数据写入存储单元的地址。

[0020] 可选的,该快速傅立叶变换电路,还包括:

[0021] 时钟模块,时钟模块与状态机模块和存储模块连接,时钟模块用于根据第二控制信号,切换用于驱动存储模块的读写时钟;其中,控制信号包括第二控制信号。

[0022] 可选的,时钟模块,包括:

[0023] 主时钟和接口总线时钟;

[0024] 主时钟用于在计算阶段,启用计时;

[0025] 接口总线时钟用于在初始化阶段和结果返回阶段,启用计时;

[0026] 存储模块,用于根据第二控制信号,在初始化阶段,将存储模块的写时钟切换至接口总线时钟;在计算阶段,存储模块的读/写时钟都切换至主时钟;在计算结果返回阶段,存储模块的读时钟切换至接口总线时钟。

[0027] 可选的,该快速傅立叶变换电路,还包括:

[0028] 系数分配模块,系数分配模块连接于状态机模块与计算单元之间,系数分配模块用于响应于第三控制信号,选择计算单元的变换系数;

[0029] 计算单元用于根据变换系数,对待变换数据进行全串行变换。

[0030] 可选的,数据包括至少一个采样点;每个采样点包括实部和虚部;

[0031] 实部和虚部的数据的位宽均为16比特;

[0032] 存储模块包括至少一个存储单元,每个存储单元的高16 比特为采样点的实部,每个存储单元的低16比特为采样点的虚部。

[0033] 根据本发明的另一方面,本发明提供一种快速傅立叶变换方法,方法应用于第一方面任意项提出的快速傅立叶变换电路;方法,包括:

[0034] 接口模块输入待变换数据;

[0035] 状态机模块响应于快速傅立叶变换电路的工作状态,生成控制信号;

[0036] 存储模块根据控制信号,存储待变换数据、计算阶段的临时数据以及最终变换结果;其中,计算单元包括至少六个在计算状态;

[0037] 所述计算单元根据控制信号,从存储模块调用待变换数据或上一子计算状态的临时数据,进行全串行变换,得到最终的变换结果;

[0038] 接口模块输出最终的变换结果。

[0039] 本发明实施例提供的技术方案通过接口模块传输数据;通过状态机模块响应于电路的工作状态,生成控制信号。计算单元包括至少六个子计算状态,通过存储模块用于根据控制信号,存储待变换数据、上一子计算状态的临时计算结果或最终变换结果。计算单元根据控制信号,从存储模块调用待变换数据或上一子计算状态的临时计算结果,进行全串行变换,并将所述存储模块中最终的变换结果通过所述接口模块输出。这样设置使得快速傅立叶变换电路实现全串行变换,降低了快速傅立叶变换电路的宽度,在保证快速傅立叶变

换电路计算能力的同时,减小了快速傅立叶变换电路占用的硬件面积,解决了快速傅立叶变换电路的面积较大,不能满足SOC等芯片的对尺寸的要求的问题。

附图说明

[0040] 为了更清楚地说明本发明实施例中的技术方案,下面将对本发明实施例描述中所需要使用的附图作简单的介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据本发明实施例的内容和这些附图获得其他的附图。

[0041] 图1是本发明实施例提供的一种快速傅立叶变换电路的结构示意图;

[0042] 图2是本发明实施例提供的另一种快速傅立叶变换电路的结构示意图;

[0043] 图3是本发明实施例提供的又一种快速傅立叶变换方法的流程图。

具体实施方式

[0044] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0045] 基于上述技术问题,本实施例提出了以下解决方案:

[0046] 图1是本发明实施例提供的一种快速傅立叶变换电路的结构示意图。参见图1,本发明实施例提供的快速傅立叶变换电路包括:接口模块1,用于传输数据;状态机模块2,状态机模块2用于响应于电路的工作状态,生成控制信号;存储模块3和计算单元4,计算单元4包括至少六个子计算状态,存储模块3与接口模块1和状态机模块2连接,存储模块3用于根据控制信号,存储待变换数据、上一子计算状态的临时计算结果或最终变换结果;其中,所述数据包括待变换数据、上一子计算状态的临时计算结果或最终变换结果;计算单元4与状态机模块2、存储模块3以及接口模块1连接,计算单元4用于根据控制信号,从存储模块3调用待变换数据或上一子计算状态的临时计算结果,进行全串行变换,并将存储模块3中最终的变换结果通过接口模块1输出。

[0047] 具体的,接口模块1传输数据;接口模块1用于输入待变换数据。接口模块1还可以将变换后的数据输出。状态机模块2,状态机模块2用于响应于电路的工作状态,生成控制信号。其中,快速傅立叶变换电路的工作状态包括:初始化阶段、计算阶段以及计算结果返回阶段。计算单元4包括“基-2”单元。在初始化阶段,接口模块1输入待变换数据。存储模块3用于根据控制信号,存储待变换数据、上一子计算状态的临时数据以及最终的变换结果。在计算阶段,计算单元4根据控制信号,从存储模块3调用待变换数据进行全串行变换,并将变换后的数据输出至接口模块1。在计算结果返回阶段,接口模块1将变换后的数据输出。

[0048] 示例性的,本提出的快速傅立叶变换电路全串行复用计算单元4,对待变换数据进行计算,实现最大化地减少快速傅立叶变换电路的硬件开销。基于本实施例提供的快速傅立叶变换电路,可以包括512点FFT的设计,在SMIC 55nm CMOS工艺节点下做综合面积评估,得到的结果是:在时钟最高频率约束为125MHz时,快速傅立叶变换电路占用的面积只有 0.065mm^2 。通过对该快速傅立叶变换电路进行仿真,可以得到系统主时钟为96MHz时,该快速傅立叶变换电路的计算过程的时间花费不到50us,完全满足SoC芯片(System on Chip,

片上系统)对快速傅立叶变换电路的要求。

[0049] 本实施例提供的快速傅立叶变换电路通过接口模块1传输数据;通过状态机模块2响应于电路的工作状态,生成控制信号,并通过存储模块3用于根据控制信号,存储待变换数据。计算单元4根据控制信号,从存储模块3调用待变换数据进行全串行变换,并将变换后的数据输出至接口模块1。这样设置使得快速傅立叶变换电路实现全串行变换,降低了快速傅立叶变换电路的宽度,在保证快速傅立叶变换电路计算能力的同时,减小了快速傅立叶变换电路占用的硬件面积,解决了快速傅立叶变换电路的面积较大,不能满足SOC等芯片的对尺寸的要求的问题。

[0050] 可选的,图2是本发明实施例提供的另一种快速傅立叶变换电路的结构示意图。在上述实施例的基础上,参见图2,本发明实施例提供的快速傅立叶变换电路,还包括:多路复用模块5,接口模块1通过多路复用模块5与状态机模块2、存储模块3和计算单元4连接,多路复用模块5用于将数据进行多路复用。

[0051] 具体的,多路复用模块5可以将数据进行双向传输,将数据进行多路复用。待变换的数据通过接口模块1输入,并经过多路复用模块5将待变换的数据存入存储模块3。计算单元4通过多路复用模块5从存储模块3调用待变换的数据。计算模块分级进行快速傅立叶变换,每一级计算生成的数据与下一级计算采用串行的方式进行接力计算。变换后的数据通过多路复用模块5输出至存储模块3进行存储,或输出至接口模块1,将变换结果输出。

[0052] 可选的,在上述实施例的基础上,继续参见图2,本实施例提供的计算单元4可以包括:两个复数加法器和一个复数乘法器,复数加法器和复数乘法器用于在计算阶段,对数据分级进行傅里叶变换,并将中间过程的计算结果或最终计算结果缓存于存储模块3;归一化单元41,归一化单元41与复数加法器和状态机模块2连接;归一化单元41用于在FFT模式时,根据第一控制信号,对复数加法器的输出数据进行归一化,并将归一化后的数据写入存储模块3;其中,控制信号包括第一控制信号。

[0053] 具体的,其中,中间过程的计算结果包括上一子计算状态的临时数据。第一控制信号可以是状态机模块2根据电路的工作状态产生的。快速傅立叶变换电路的计算过程可以包括蝶形图,蝶形图的每一级对应一个子计算状态。蝶形图中每一级包括多个节点。蝶形图中所有节点的计算复用1个“基-2”单元,该“基-2”单元包含2个复数加法器和1个复数乘法器,每级内的每个节点按照顺序计算,层级与层级接力执行,实现蝶形图中所有节点全串行的实现结构。图2中示例性的示出计算单元4的实现结构的特点是只使用2个复数加法器和1个复数乘法器,存储模块3可以包括1组规模为512x32bit的2-端口RAM。

[0054] 需要说明的是,图2中示例性的示出2 add_cpx为计算单元4包括的两个复数加法器,1 mult_cpx为计算单元4包括的一个复数乘法器。

[0055] 可选的,在上述实施例的基础上,继续参见图2,计算阶段包括九个子计算状态;归一化单元41,用于在FFT模式时,根据第一控制信号,将前一子计算状态中复数加法器的输出数据除以2,并将归一化后的数据写入存储模块3;复数加法器和复数乘法器用于在计算阶段,根据控制信号,调用归一化后的数据进入下一子计算状态,并输出各子计算状态变换后的数据,直至最后一个子计算状态。

[0056] 具体的,在FFT模式时,2个复数加法器的输出数据写入存储模块3之前,需要除以2,用于做归一化。在IFFT模式时,2个复数加法器的输出数据,不需要除以2,可以直接写入

存储模块3。需要说明的是,计算阶段包括九个子计算状态,其中,子计算状态的个数为 $\log_2(N)$,N为FFT的点数。

[0057] 可选的,在上述实施例的基础上,继续参见图2本实施例提供的快速傅立叶变换电路,还可以包括:地址生成模块6,地址生成模块6连接于状态机模块2与存储模块3之间,地址生成模块6用于控制待变换数据写入存储单元的地址。

[0058] 具体的,状态机模块2根据快速傅立叶变换电路的工作状态,生成控制信号。地址生成模块6响应于控制信号,对存储模块3的地址进行计算,生成待变换数据写入存储单元的地址。接口模块1通过多路复用模块5,按照该地址将待变换数据存储至存储模块3。

[0059] 可选的,在上述实施例的基础上,继续参见图2,本实施例提供的快速傅立叶变换电路,还可以包括:时钟模块7,时钟模块7与状态机模块2和存储模块3连接,时钟模块7用于根据第二控制信号,切换用于驱动存储模块3的读写时钟;其中,控制信号包括第二控制信号。

[0060] 具体的,存储模块3包括读状态和写状态。待变换数据写入存储模块3的状态为写状态。计算单元4从存储模块3读取待变换的数据的状态为读状态。状态机模块2根据快速傅立叶变换电路的当前工作状态,生成第二控制信号。时钟模块7响应于第二控制信号,调节时钟模块7的时钟输出,以控制存储模块3的读写状态。

[0061] 可选的,在上述实施例的基础上,继续参见图2,本实施例提供的快速傅立叶变换电路的时钟模块7,可以包括:主时钟和接口总线时钟;主时钟用于在计算阶段,启用计时;接口总线时钟用于在初始化阶段和结果返回阶段,启用计时;存储模块3,用于根据第二控制信号,在初始化阶段,将存储模块3的写时钟切换至接口总线时钟;在计算阶段,存储模块3的读/写时钟都切换至主时钟;在计算结果返回阶段,存储模块3的读时钟切换至接口总线时钟。

[0062] 具体的,存储模块3的读写状态,对应相应的读/写时钟。存储模块3的读/写时钟在不同阶段存在切换。在初始化阶段,存储模块3的写时钟切换到接口总线时钟intfclk。在计算阶段,存储模块3的读/写时钟都切换到主时钟mclk。在计算结果返回阶段,存储模块3的读时钟切换到接口总线时钟intfclk。FFT计算阶段完成后,时钟模块7切换为接口总线时钟intfclk为下一轮FFT计算的待变换数据写入做准备。存储模块3的读时钟在初始化阶段,选择为主时钟mclk,这样设置为第2阶段的FFT计算时,读存储模块3中的待变换数据作准备。在FFT计算阶段完成后,时钟模块7切换为接口总线时钟intfclk。在快速傅立叶变换电路读出数据阶段完成后,时钟模块7切换为主时钟mclk。

[0063] 需要说明的是,如果需要提高快速傅立叶变换电路的最高能支持的FFT的点数时,只需要增加2-端口RAM的规模和状态机模块2的计算状态下的子状态的数量即可,而引起快速傅立叶变换电路的面积明显增加的因素只取决于存储模块3的规模。

[0064] 需要说明的是,图2示例性的示出存储模块3的读时钟为rdclk,读使能为rdcsn,写时钟为wrclk,写使能为wrdsn的情况,在此不作任何限定。

[0065] 可选的,在上述实施例的基础上,继续参见图2,本实施例提供的快速傅立叶变换电路,还可以包括:系数分配模块8,系数分配模块8连接于状态机模块2与计算单元4之间,系数分配模块8用于响应于第三控制信号,选择计算单元4的变换系数;计算单元4用于根据变换系数,对待变换数据进行全串行变换。

[0066] 具体的,状态机模块2根据快速傅立叶变换电路的工作状态,生成第三控制信号。第三控制信号用于控制系数分配模块8生成变换系数。计算单元4根据系数分配模块8生成的变换系数,对待变换数据进行全串行变换计算。

[0067] 可选的,在上述实施例的基础上,继续参见图2,数据包括至少一个采样点;每个采样点包括实部和虚部;实部和虚部的数据的位宽均为16比特;存储模块3包括至少一个存储单元,每个存储单元的高16 比特为采样点的实部,每个存储单元的低16比特为采样点的虚部。

[0068] 具体的,这样设置使得存储单元可以对待变换数据进行串行计算。蝶形图中每级计算结果的数据宽度都与外部输入的待变换数据,即源数据保持一致。本实施例提供的实部和虚部数据位宽均为16bit,也就是不做符号位的扩展。这是因为在FFT模式下,在“基-2”单元中的复数加法器的输出作除以2的处理,实现归一化处理,从而保持了快速傅立叶变换电路的计算过程的中间节点与输入源数据的位宽一致,且不需要依照FFT点数做符号扩展,这也是存储模块3的内部计算数据缓存和接口模块1可以复用一组存储模块3的基础。

[0069] 需要说明的是,本实施例提供的复数加法器包括复数减法器。

[0070] 图3是本发明实施例提供的一种快速傅立叶变换方法的流程图。在上述实施例的基础上,参见图3,本发明实施例提供的快速傅立叶变换方法,应用于上述任意实施例提出的快速傅立叶变换电路。本发明实施例提供的快速傅立叶变换方法,包括:

[0071] S101、接口模块输入待变换数据;

[0072] S102、状态机模块响应于快速傅立叶变换电路的工作状态,生成控制信号;

[0073] S103、存储模块根据控制信号,存储待变换数据、上一子计算状态的临时数据以及最终变换结果;

[0074] S104、计算单元根据控制信号,从存储模块调用待变换数据或上一子计算状态的临时数据,进行全串行变换,得到最终的变换结果;

[0075] S105、接口模块输出最终的变换结果。

[0076] 本实施例提供的快速傅立叶变换方法,包括接口模块输入待变换数据;状态机模块响应于电路的工作状态,生成控制信号;通过存储模块根据控制信号,存储待变换数据、上一子计算状态的临时数据或最终的变换结果;并通过计算单元根据控制信号,从存储模块调用待变换数据或上一子计算状态的临时数据进行全串行计算,并将当前子计算状态得到的结果写回存储模块供下一子计算状态调用,直至最后一个子计算状态计算得出最终的变换结果,将最终的变换结果写回存储模块;进而通过接口模块输出变换后的数据。这样设置使得快速傅立叶变换方法实现了全串行变换,降低了快速傅立叶变换电路对存储空间的要求,使得原始数据、中间各子计算状态以及最终计算结果共享一组存储模块,此存储模块的规模只为FFT点数以及量化位宽,示例性的,本例为512x32比特,在保证快速傅立叶变换电路计算能力的同时,减小了快速傅立叶变换电路占用的硬件面积,解决了快速傅立叶变换电路的面积较大,不能满足SOC等芯片的对尺寸的要求的问题。

[0077] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还

可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

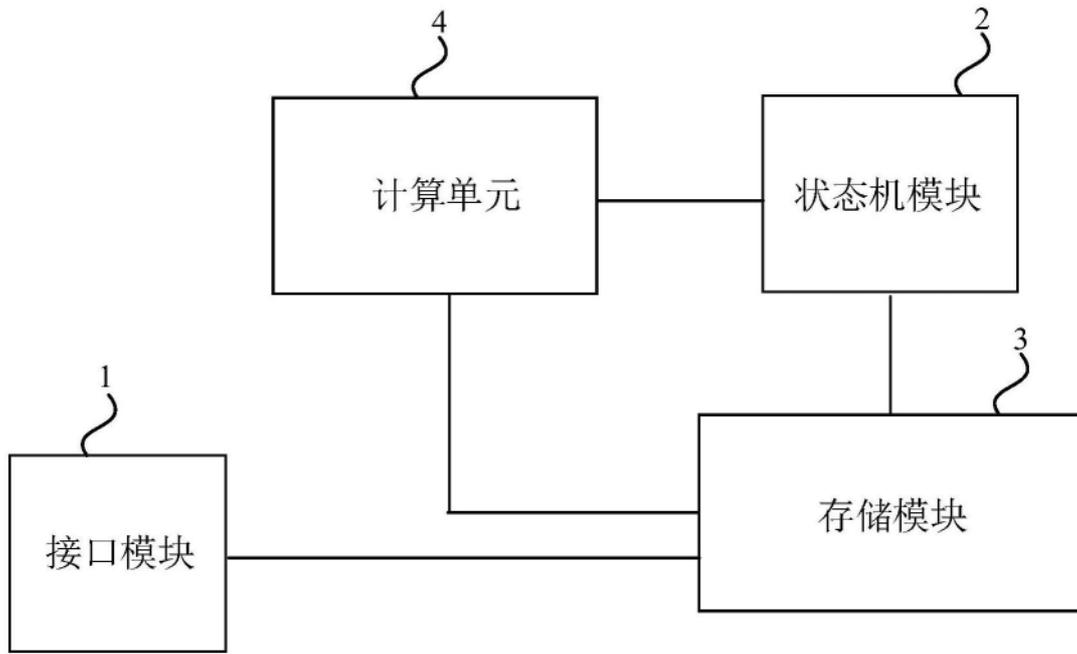


图1

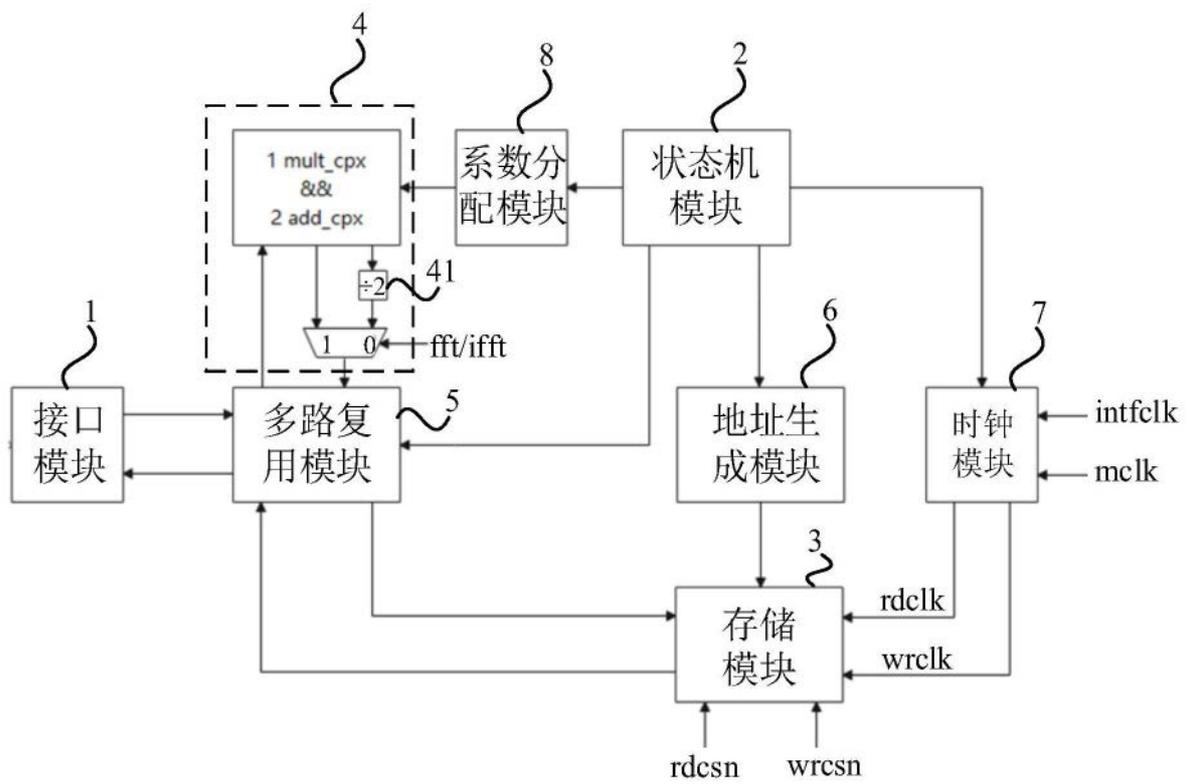


图2

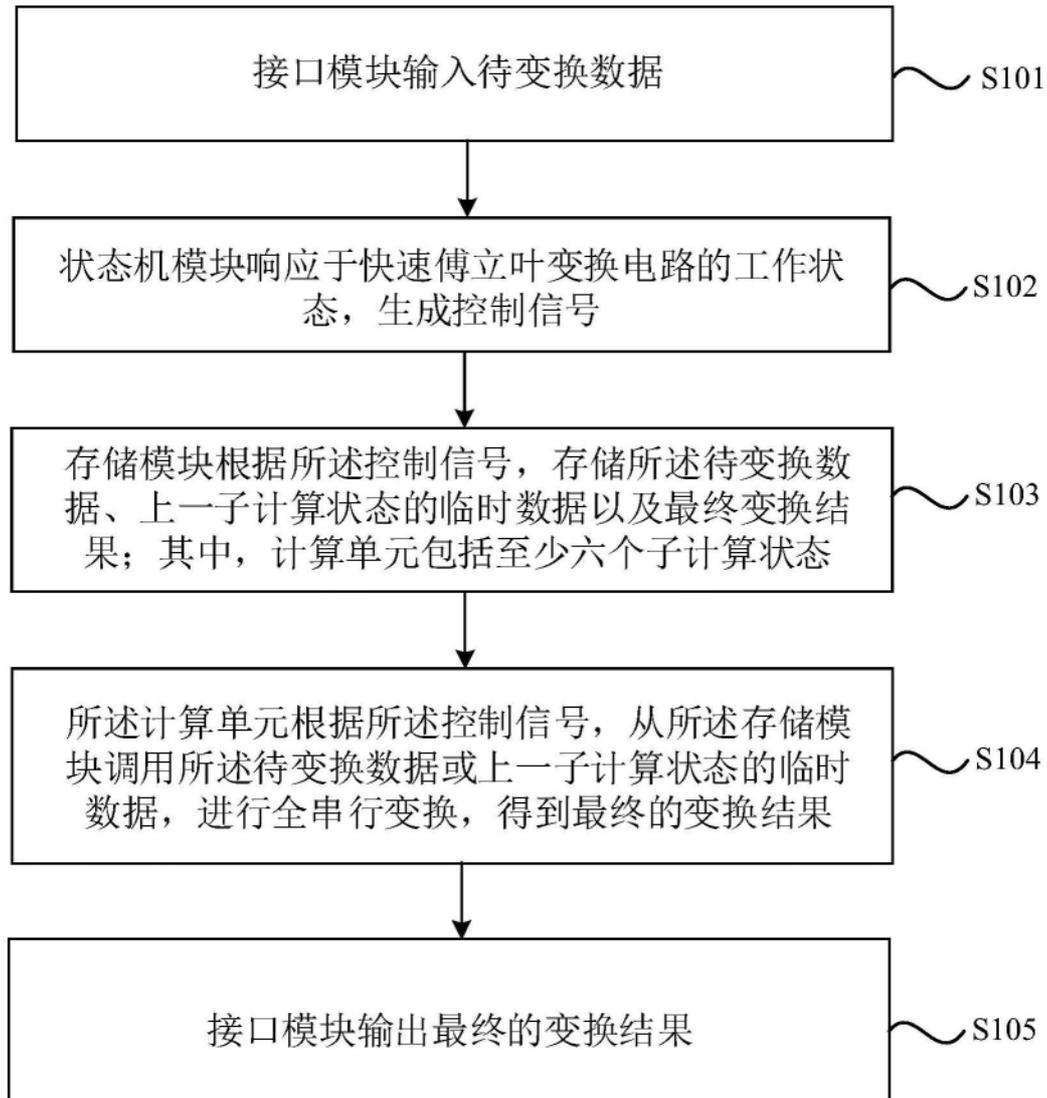


图3