



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년06월04일  
 (11) 등록번호 10-0835506  
 (24) 등록일자 2008년05월29일

(51) Int. Cl.

*H01L 21/28* (2006.01)

(21) 출원번호 10-2002-0042449  
 (22) 출원일자 2002년07월19일  
 심사청구일자 2007년06월27일  
 (65) 공개번호 10-2004-0008760  
 (43) 공개일자 2004년01월31일  
 (56) 선행기술조사문헌  
 KR19990086045 A  
 KR19990065425 A  
 KR19980086196 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박수영

충청북도청주시흥덕구개신동두산한솔2차아파트202-1508

김영찬

충청북도청주시흥덕구향정동1번지하이닉스남자기숙사708

(뒷면에 계속)

(74) 대리인

이후동, 특허법인태평양

전체 청구항 수 : 총 13 항

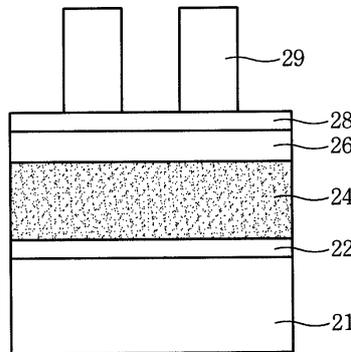
심사관 : 조광현

**(54) 반도체소자의 제조방법**

**(57) 요약**

본 발명은 반도체소자의 제조방법에 관한 것으로, 소자분리절연막 또는 도전배선을 형성하는 경우 소자분리마스크로 사용되는 질화막 상부 또는 도전배선 상부에 형성되는 마스크절연막 상에 다결정실리콘 또는 도전배선과 같은 종류의 물질로 캐핑막을 형성한 후 사진식각공정을 실시함으로써 캐핑막의 증착 두께를 감소시킬 수 있고, 식각공정 시 상기 마스크절연막의 손실을 방지하여 후속 공정으로 형성되는 소자와의 절연 특성을 향상시켜 소자의 수율 및 신뢰성을 향상시키는 기술이다.

**대표도** - 도2b



(72) 발명자

**신희승**

충청북도청주시흥덕구비하동효성아파트201동1005호

**이홍구**

경기도수원시팔달구원천동548주공2단지207-1804

---

**특허청구의 범위**

**청구항 1**

반도체기판 상부에 패드산화막, 질화막, 캐핑막 및 유기반사방지막을 형성하는 공정과,

상기 유기반사방지막 상부에 소자분리영역으로 예정되는 부분을 노출시키는 감광막패턴을 형성하는 공정과,

상기 감광막패턴을 식각마스크로 상기 유기반사방지막, 캐핑막, 질화막 및 패드산화막을 식각하여 유기반사방지막패턴, 캐핑막패턴, 질화막패턴 및 패드산화막패턴을 형성하는 공정과,

상기 감광막패턴과 유기반사방지막패턴을 제거하는 공정과,

상기 캐핑막패턴을 식각마스크로 상기 반도체기판을 식각하여 트렌치를 형성하되, 상기 식각공정을 진행하는 동안 상기 캐핑막패턴이 제거되도록 하는 공정을 포함하는 반도체소자의 제조방법.

**청구항 2**

제 1 항에 있어서,

상기 캐핑막은 다결정실리콘층을 사용하여 2000 ~ 3500Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 3**

제 1 항에 있어서,

상기 트렌치는 상기 반도체기판을 염소가스와 HBr 가스를 혼합한 가스를 식각가스로 사용하여 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 4**

제 1 항에 있어서,

상기 유기반사방지막, 캐핑막, 질화막, 패드산화막 및 반도체기판을 식각하는 공정은 30 ~ 60°C의 온도에서 실시되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 5**

반도체기판 상부에 게이트절연막, 게이트전극용 도전층, 마스크절연막, 캐핑막 및 유기반사방지막을 형성하는 공정과,

상기 유기반사방지막 상부에 게이트전극으로 예정되는 부분을 보호하는 감광막패턴을 형성하는 공정과,

상기 감광막패턴을 식각마스크로 상기 유기반사방지막, 캐핑막 및 마스크절연막을 식각하여 유기반사방지막패턴, 캐핑막패턴 및 마스크절연막패턴을 형성하는 공정과,

상기 감광막패턴 및 유기반사방지막패턴을 제거하는 공정과,

상기 캐핑막패턴을 식각마스크로 상기 게이트전극용 도전층을 식각하여 게이트전극을 형성하되, 상기 식각공정을 진행하는 동안 상기 캐핑막패턴이 제거되도록 하는 공정을 포함하는 반도체소자의 제조방법.

**청구항 6**

제 5 항에 있어서,

상기 게이트전극용 도전층은 40 ~ 70°C의 온도에서 식각되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 7**

제 5 항에 있어서,

상기 마스크절연막은 질화막, 산화막 또는 SiON막을 사용하여 1500 ~ 2000Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 8**

제 5 항에 있어서,

상기 캐핑막은 다결정실리콘층을 사용하여 100 ~ 800Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 9**

반도체기판 상부에 비트라인 콘택플러그를 구비하는 층간절연막을 형성하는 공정과,

전체표면 상부에 비트라인용 도전층, 마스크절연막, 캐핑막 및 유기반사방지막을 형성하는 공정과,

상기 유기반사방지막 상부에 비트라인으로 예정되는 부분을 보호하는 감광막패턴을 형성하는 공정과,

상기 감광막패턴을 식각마스크로 상기 유기반사방지막, 캐핑막 및 마스크절연막을 식각하여 유기반사방지막패턴, 캐핑막패턴 및 마스크절연막패턴을 형성하는 공정과,

상기 감광막패턴 및 유기반사방지막패턴을 제거하는 공정과,

상기 캐핑막패턴을 식각마스크로 상기 비트라인용 도전층을 식각하여 비트라인을 형성하되, 상기 식각공정을 진행하는 동안 상기 캐핑막패턴이 제거되도록 하는 공정을 포함하는 반도체소자의 제조방법.

**청구항 10**

제 9 항에 있어서,

상기 비트라인용 도전층은 30 ~ 70℃의 온도에서 식각되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 11**

제 9 항에 있어서,

상기 마스크절연막은 질화막, 산화막 또는 SiON막을 사용하여 1500 ~ 2000Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 12**

제 9 항에 있어서,

상기 캐핑막은 다결정실리콘층을 사용하여 100 ~ 800Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 13**

제 9 항에 있어서,

상기 캐핑막은 금속층을 사용하여 200 ~ 800Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <16> 본 발명은 반도체소자의 제조방법에 관한 것으로, 보다 상세하게 자기정렬콘택(self aligned contact, SAC) 방법을 사용한 식각공정 시 마스크절연막의 손실을 억제하는 반도체소자의 제조방법에 관한 것이다.
- <17> 반도체소자가 고집적화 되어가면서 대부분의 콘택홀은 SAC방법을 이용하여 형성되고 있다.
- <18> 특히, 최근의 기술 동향에서 SAC방법으로 콘택홀을 형성하는 경우 식각장벽으로 사용하는 물질을 도전배선의 하

드마스크로 사용하고 있으며, 이때 잔존하는 하드마스크의 두께는 SAC 패일(fail) 발생에 큰 변수로 작용한다.

- <19> 이때, 식각장벽으로 사용되는 하드마스크의 두께는 소자의 고집적화로 인하여 어느 수준 이상은 사용할 수 없다.
- <20> 상기 SAC 패일의 개선을 위하여 도전배선 형성 시 도전배선의 상부에 존재하는 하드마스크의 두께를 계속 증가시키고 있다.
- <21> 그러나 상기 하드마스크의 두께를 증가시키는 경우 도전배선의 형성 과정 자체가 어려워진다는 문제점이 있다.
- <22> 반도체소자의 고집적화로 도전배선의 선평이 감소하는 시점에서 감광막의 두께는 감소하는데 피식각층이 도전배선의 두께가 증가하기 때문이다.
- <23> 그러므로 잔존하는 하드마스크의 절대량을 증가시키기 위하여 많은 연구가 행해지고 있으며, 이러한 연구는 식각선택비 향상을 피하는 것으로 진행이 되고 있다.
- <24> 이하, 첨부된 도면을 참고로 하여 종래기술에 대하여 설명한다.
- <25> 도 1a 내지 도 1c 는 종래기술에 따른 반도체소자의 제조방법에 의한 공정 단면도로서, 비트라인 형성방법을 도시한다.
- <26> 먼저, 소정의 하부구조물이 구비되는 반도체기판(11) 상부에 비트라인 콘택플러그(13)가 구비되는 층간절연막(12)을 형성한다.
- <27> 다음, 전체표면 상부에 비트라인용 제1도전층(14)을 형성한다. 이때, 상기 제1도전층(14)은 다결정실리콘층 또는 확산방지막으로 사용되는 Ti/TiN막으로 형성된 것이다.
- <28> 그 다음, 상기 제1도전층(14) 상부에 제2도전층(16)을 형성한다. 이때, 상기 제2도전층(16)은 W막 또는 WSi<sub>x</sub>막으로 형성된 것이다.
- <29> 다음, 상기 제2도전층(16) 상부에 마스크절연막(18)을 형성한다. 이때, 상기 마스크절연막(18)은 질화막 또는 산화막으로 형성된 것이다.
- <30> 그 다음, 상기 마스크절연막(18) 상부에 반사방지막(도시안됨)을 형성한 후, 상기 반사방지막 상부에 비트라인으로 예정되는 부분을 보호하는 감광막패턴(20)을 형성한다. 이때, 상기 반사방지막은 SiON막으로 형성된다. (도 1a 참조)
- <31> 다음, 상기 감광막패턴(20)을 식각마스크로 상기 반사방지막 및 마스크절연막(18)을 식각하여 마스크절연막패턴(19) 및 반사방지막패턴(도시안됨)을 형성한다.
- <32> 그 다음, 상기 감광막패턴(20)을 제거한다. (도 1b 참조)
- <33> 다음, 상기 마스크절연막패턴(19)을 식각마스크로 상기 제2도전층(16)과 제1도전층(14)을 식각하여 제2도전층패턴(17)과 제1도전층패턴(15) 적층구조의 비트라인을 형성한다. (도 1c 참조)
- <34> 상기한 바와 같이 종래기술에 따른 반도체소자의 제조방법은, 마스크절연막을 식각마스크로 이용하여 식각공정을 진행하는 경우 상기 반사방지막 및 마스크절연막이 손실되어 후속 자기정렬콘택 식각에 대한 공정 마진이 부족하여 소자 간에 절연 특성이 저하되는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <35> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 소자분리절연막 또는 도전배선을 형성하는 경우 소자분리마스크로 사용되는 질화막 상부 또는 도전배선 상부에 형성되는 마스크절연막 상에 다결정실리콘 또는 도전배선과 같은 종류의 물질로 캐핑막을 형성한 후 사진식각공정을 실시함으로써 캐핑막의 증착 두께를 감소시킬 수 있고, 식각공정 시 상기 마스크절연막의 손실을 방지하여 후속 공정으로 형성되는 소자와의 절연 특성을 향상시켜 소자의 수율 및 신뢰성을 향상시키는 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <36> 이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은,
- <37> 반도체기판 상부에 패드산화막, 질화막, 캐핑막 및 유기반사방지막을 형성하는 공정과,

- <38> 상기 유기반사방지막 상부에 소자분리영역으로 예정되는 부분을 노출시키는 감광막패턴을 형성하는 공정과,
- <39> 상기 감광막패턴을 식각마스크로 상기 유기반사방지막, 캐핑막, 질화막 및 패드산화막을 식각하여 유기반사방지막패턴, 캐핑막패턴, 질화막패턴 및 패드산화막패턴을 형성하는 공정과,
- <40> 상기 감광막패턴과 유기반사방지막패턴을 제거하는 공정과,
- <41> 상기 캐핑막패턴을 식각마스크로 상기 반도체기판을 식각하여 트렌치를 형성하되, 상기 식각공정을 진행하는 동안 상기 캐핑막패턴이 제거되도록 하는 공정과,
- <42> 상기 캐핑막은 다결정실리콘층을 사용하여 2000 ~ 3500Å 두께로 형성되는 것과,
- <43> 상기 트렌치는 상기 반도체기판을 염소가스와 HBr 가스를 혼합한 가스를 식각가스로 사용하여 형성되는 것과,
- <44> 상기 유기반사방지막, 캐핑막, 질화막, 패드산화막 및 반도체기판을 식각하는 공정은 30 ~ 60°C의 온도에서 실시되는 것을 제1특징으로 한다.
- <45> 또한, 이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은,
- <46> 반도체기판 상부에 게이트절연막, 게이트전극용 도전층, 마스크절연막, 캐핑막 및 유기반사방지막을 형성하는 공정과,
- <47> 상기 유기반사방지막 상부에 게이트전극으로 예정되는 부분을 보호하는 감광막패턴을 형성하는 공정과,
- <48> 상기 감광막패턴을 식각마스크로 상기 유기반사방지막, 캐핑막 및 마스크절연막을 식각하여 유기반사방지막패턴, 캐핑막패턴 및 마스크절연막패턴을 형성하는 공정과,
- <49> 상기 감광막패턴 및 유기반사방지막패턴을 제거하는 공정과,
- <50> 상기 캐핑막패턴을 식각마스크로 상기 게이트전극용 도전층을 식각하여 게이트전극을 형성하되, 상기 식각공정을 진행하는 동안 상기 캐핑막패턴이 제거되도록 하는 공정과,
- <51> 상기 게이트전극용 도전층은 40 ~ 70°C의 온도에서 식각되는 것과,
- <52> 상기 마스크절연막은 질화막, 산화막 또는 SiON막을 사용하여 1500 ~ 2000Å 두께로 형성되는 것과,
- <53> 상기 캐핑막은 다결정실리콘층을 사용하여 100 ~ 800Å 두께로 형성되는 것을 제2특징으로 한다.
- <54> 이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은,
- <55> 반도체기판 상부에 비트라인 콘택플러그를 구비하는 층간절연막을 형성하는 공정과,
- <56> 전체표면 상부에 비트라인용 도전층, 마스크절연막, 캐핑막 및 유기반사방지막을 형성하는 공정과,
- <57> 상기 유기반사방지막 상부에 비트라인으로 예정되는 부분을 보호하는 감광막패턴을 형성하는 공정과,
- <58> 상기 감광막패턴을 식각마스크로 상기 유기반사방지막, 캐핑막 및 마스크절연막을 식각하여 유기반사방지막패턴, 캐핑막패턴 및 마스크절연막패턴을 형성하는 공정과,
- <59> 상기 감광막패턴 및 유기반사방지막패턴을 제거하는 공정과,
- <60> 상기 캐핑막패턴을 식각마스크로 상기 비트라인용 도전층을 식각하여 비트라인을 형성하되, 상기 식각공정을 진행하는 동안 상기 캐핑막패턴이 제거되도록 하는 공정과,
- <61> 상기 비트라인용 도전층은 30 ~ 70°C의 온도에서 식각되는 것과,
- <62> 상기 마스크절연막은 질화막, 산화막 또는 SiON막을 사용하여 1500 ~ 2000Å 두께로 형성되는 것과,
- <63> 상기 캐핑막은 다결정실리콘층을 사용하여 100 ~ 800Å 두께로 형성되는 것과,
- <64> 상기 캐핑막은 금속층을 사용하여 200 ~ 800Å 두께로 형성되는 것을 제3특징으로 한다.
- <65> 이하, 첨부된 도면을 참조하여 본 발명에 대하여 상세히 설명하기로 한다.
- <66> 도 2a 내지 도 2d 는 본 발명의 제1실시예에 따른 반도체소자의 제조방법에 의한 공정 단면도로서, 트렌치를 이용한 소자분리절연막 형성방법을 도시한다.

- <67> 먼저, 반도체기판(21) 상부에 패드산화막(22), 질화막(24), 캐핑막(26) 및 유기반사방지막(28)을 형성한다. 이때, 상기 질화막(24)은 500 ~ 1600Å 두께로 형성되고, 상기 캐핑막(26)은 다결정실리콘층을 사용하여 2000 ~ 3500Å 두께로 형성된다.
- <68> 여기서, 상기 캐핑막(26)은 후속공정으로 형성되는 트렌치의 깊이를 고려하여 형성된 것이다.
- <69> 다음, 상기 유기반사방지막(28) 상부에 소자분리영역으로 예정되는 부분을 노출시키는 감광막패턴(29)을 형성한다. (도 2a 및 도 2b 참조)
- <70> 그 다음, 상기 감광막패턴(29)을 식각마스크로 상기 유기반사방지막(28), 캐핑막(26), 질화막(24) 및 패드산화막(22)을 식각하여 유기반사방지막패턴(도시안됨), 캐핑막패턴(27), 질화막패턴(25) 및 패드산화막패턴(23)을 형성한다. 이때, 상기 식각공정은 30 ~ 60℃의 온도에서 실시된다.
- <71> 다음, 상기 감광막패턴(29)과 유기반사방지막패턴을 제거한 후 세정공정을 실시한다. (도 2c 참조)
- <72> 그 다음, 상기 캐핑막패턴(27)을 식각마스크로 상기 반도체기판(21)을 식각하여 트렌치(30)를 형성한다. 이때, 상기 식각공정은 30 ~ 60℃의 온도에서 염소가스와 HBr 가스를 혼합한 가스를 식각가스로 사용하여 실시된다.
- <73> 상기 트렌치(30)를 형성하는 식각공정 동안 상기 캐핑막패턴(27)은 제거된다. (도 2d 참조)
- <74> 도 3a 내지 도 3e 는 본 발명의 제2실시예에 따른 반도체소자의 제조방법에 의한 공정 단면도로서, 게이트전극 형성방법을 도시한다.
- <75> 반도체기판(31) 상부에 게이트절연막(32)을 형성한다.
- <76> 다음, 상기 게이트절연막(32) 상부에 게이트전극을 형성하기 위한 제1도전층(33), 제2도전층(35), 마스크절연막(37), 캐핑막(39) 및 유기반사방지막(41)을 형성한다. 이때, 상기 제1도전층(33)은 다결정실리콘층으로 형성되고, 상기 제2도전층(35)은 W층으로 형성되거나, 상기 제1도전층(33)과 제2도전층(35)이 폴리사이드구조로 형성될 수도 있다.
- <77> 그리고, 상기 마스크절연막(37)은 질화막, 산화막 또는 SiON막을 사용하여 1500 ~ 2000Å 두께로 형성되고, 상기 캐핑막(39)은 다결정실리콘층을 사용하여 100 ~ 800Å 두께로 형성된다.
- <78> 다음, 상기 유기반사방지막(41) 상부에 게이트전극으로 예정되는 부분을 보호하는 감광막패턴(43)을 형성한다. (도 3a 및 도 3b 참조)
- <79> 그 다음, 상기 감광막패턴(43)을 식각마스크로 상기 유기반사방지막(41), 캐핑막(39) 및 마스크절연막(37)을 식각하여 유기반사방지막패턴(도시안됨), 캐핑막패턴(40) 및 마스크절연막패턴(38)을 이때, 상기 식각공정은 40 ~ 70℃의 온도에서 실시된다.
- <80> 다음, 상기 감광막패턴(43)과 유기반사방지막패턴을 제거한 후 세정공정을 실시한다. (도 3c 참조)
- <81> 그 다음, 상기 캐핑막패턴(40)을 식각마스크로 상기 제2도전층(35)을 식각하여 제2도전층패턴(36)을 형성한다. 이때, 상기 제2도전층(35)이 W층인 경우 40 ~ 70℃의 온도에서 NF<sub>3</sub>, CF<sub>4</sub> 또는 SF<sub>6</sub> 등의 불소가스를 식각가스로 이용하여 식각된다. (도 3d 참조)
- <82> 이어서, 상기 캐핑막패턴(40)을 식각마스크로 상기 제1도전층(33)을 식각하여 제1도전층패턴(34)을 형성한다. 상기 제1도전층(33)이 다결정실리콘층인 경우 40 ~ 70℃의 온도에서 염소가스를 식각가스로 이용하여 식각된다.
- <83> 여기서, 상기 제2도전층(35)과 제1도전층(33)을 식각하는 동안 상기 캐핑막패턴(40)이 제거된다. (도 3e 참조)
- <84> 도 4a 내지 도 4c 는 본 발명의 제3실시예에 따른 반도체소자의 제조방법에 의한 공정 단면도로서, 비트라인 형성방법을 도시한다.
- <85> 소정의 하부구조물이 구비되는 반도체기판(51) 상부에 비트라인 콘택플러그(53)가 구비되는 층간절연막(52)을 형성한다.
- <86> 다음, 전체표면 상부에 비트라인을 형성하기 위한 제1도전층(54), 제2도전층(56), 마스크절연막(58), 캐핑막(60) 및 유기반사방지막(도시안됨)을 형성한다. 이때, 상기 제1도전층(54)은 Ti, TiN 또는 Ti/TiN 등의 확산방지막이나 다결정실리콘층으로 형성되고, 상기 제2도전층(56)은 W층으로 형성되거나, 상기 제1도전층(54)과 제2

도전층(56)이 폴리사이드구조로 형성될 수도 있다.

- <87> 그리고, 상기 마스크절연막(58)은 질화막, 산화막 또는 SiON막을 사용하여 1500 ~ 2000Å 두께로 되고, 상기 캐핑막(60)은 다결정실리콘층을 사용하여 100 ~ 800Å 두께로 형성되거나, 금속층을 사용하여 200 ~ 800Å 두께로 형성된다.
- <88> 다음, 상기 유기반사방지막 상부에 비트라인으로 예정되는 부분을 보호하는 감광막패턴(62)을 형성한다. (도 4a 참조)
- <89> 그 다음, 상기 감광막패턴(62)을 식각마스크로 상기 유기반사방지막, 캐핑막(60) 및 마스크절연막(58)을 식각하여 유기반사방지막패턴(도시안됨), 캐핑막패턴(61) 및 마스크절연막패턴(59)을 형성한다.
- <90> 다음, 상기 감광막패턴(62)과 유기반사방지막패턴을 제거한 후 세정공정을 실시한다. (도 4b 참조)
- <91> 그 다음, 상기 캐핑막패턴(61)을 식각마스크로 상기 제2도전층(56) 및 제1도전층(54)을 식각하여 제2도전층패턴(57)과 제1도전층패턴(55)을 형성한다. 이때, 상기 제2도전층(56)이 W층인 경우 30 ~ 70°C의 온도에서 NF<sub>3</sub>, CF<sub>4</sub> 또는 SF<sub>6</sub> 등의 불소가스를 식각가스로 이용하여 식각된다. 그리고, 상기 제1도전층(54)이 다결정실리콘층이나 확산방지막인 경우 염소가스를 식각가스로 이용하여 식각된다.
- <92> 여기서, 상기 제2도전층(56)과 제1도전층(54)을 식각하는 동안 상기 캐핑막패턴(61)이 제거된다. (도 4c 참조)

**발명의 효과**

- <93> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 제조방법은, 소자분리절연막 또는 도전배선을 형성하는 경우 소자분리마스크로 사용되는 질화막 상부 또는 도전배선 상부에 형성되는 마스크절연막 상에 실리콘 또는 도전배선과 같은 종류의 물질로 캐핑막을 형성한 후 사진식각공정을 실시함으로써 캐핑막의 증착 두께를 감소시킬 수 있고, 식각공정 시 상기 마스크절연막의 손실을 방지하여 후속 공정으로 형성되는 소자와의 절연 특성을 향상시켜 소자의 수율 및 신뢰성을 향상시키는 이점이 있다.

**도면의 간단한 설명**

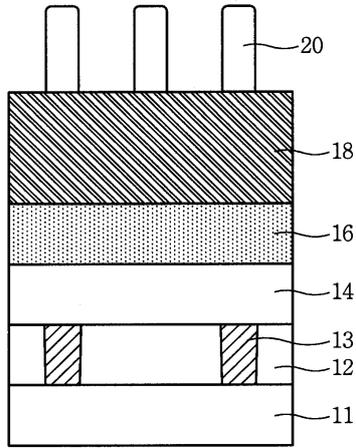
- <1> 도 1a 내지 도 1c 는 종래기술에 따른 반도체소자의 제조방법에 의한 공정 단면도.
- <2> 도 2a 내지 도 2d 는 본 발명의 제1실시예에 따른 반도체소자의 제조방법에 의한 공정 단면도.
- <3> 도 3a 내지 도 3e 는 본 발명의 제2실시예에 따른 반도체소자의 제조방법에 의한 공정 단면도.
- <4> 도 4a 내지 도 4c 는 본 발명의 제3실시예에 따른 반도체소자의 제조방법에 의한 공정 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

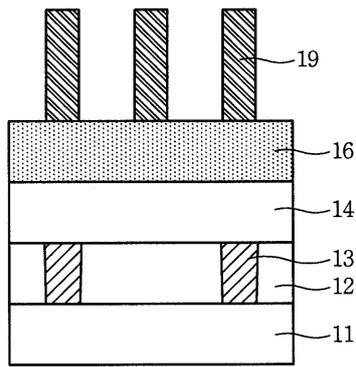
- <6> 11, 21, 31, 51 : 반도체기판                      12, 52 : 층간절연막
- <7> 13, 53 : 비트라인 콘택플러그                14, 33, 54 : 제1도전층
- <8> 15, 34, 55 : 제1도전층패턴                    16, 35, 56 : 제2도전층
- <9> 17, 36, 57 : 제2도전층패턴                    18, 37, 58 : 마스크절연막
- <10> 19, 38, 59 : 마스크절연막패턴                20, 29, 43, 62 : 감광막패턴
- <11> 22 : 패드산화막                                23 : 패드산화막패턴
- <12> 24 : 질화막                                        25 : 질화막패턴
- <13> 26, 40, 60 : 캐핑막                            27, 40 : 캐핑막패턴
- <14> 28, 41 : 유기반사방지막                      30 : 트렌치
- <15> 32 : 게이트절연막

도면

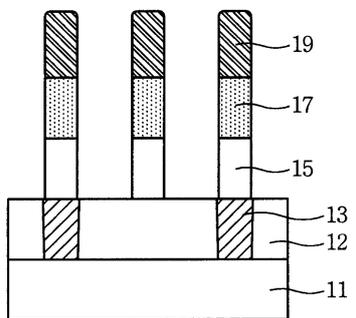
도면1a



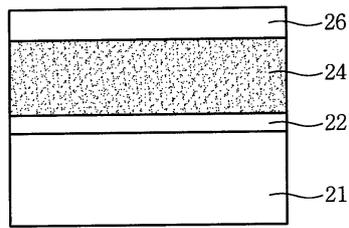
도면1b



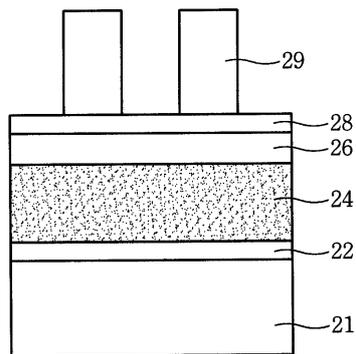
도면1c



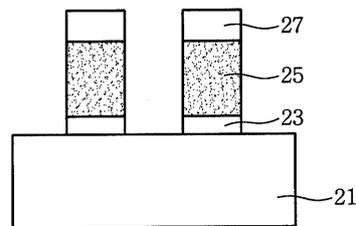
도면2a



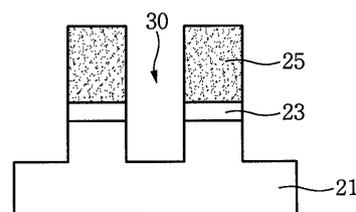
도면2b



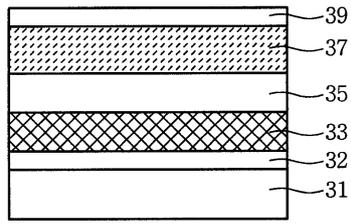
도면2c



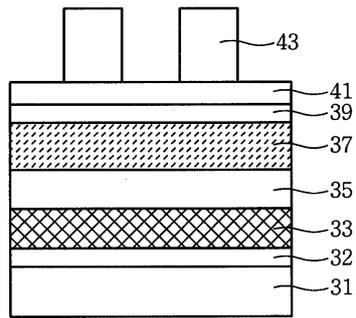
도면2d



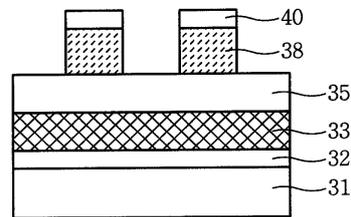
도면3a



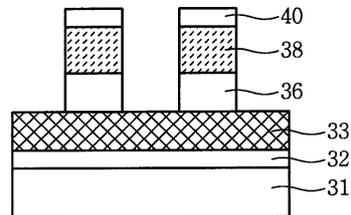
도면3b



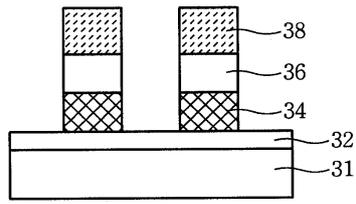
도면3c



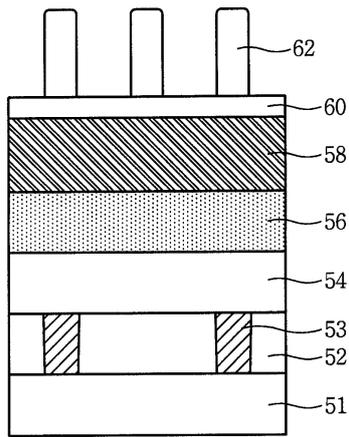
도면3d



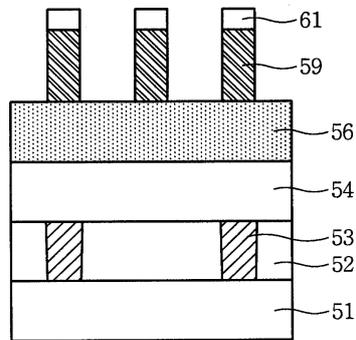
도면3e



도면4a



도면4b



도면4c

