

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4819258号
(P4819258)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int.Cl.		F I		
G 1 1 C	29/06	(2006.01)	G 1 1 C	29/00 6 7 1 F
G 1 1 C	11/4096	(2006.01)	G 1 1 C	11/34 3 5 4 R
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34 3 7 1 A

請求項の数 2 (全 18 頁)

(21) 出願番号	特願2001-245492 (P2001-245492)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成13年8月13日(2001.8.13)	(74) 代理人	100064746 弁理士 深見 久郎
(65) 公開番号	特開2003-59294 (P2003-59294A)	(74) 代理人	100085132 弁理士 森田 俊雄
(43) 公開日	平成15年2月28日(2003.2.28)	(74) 代理人	100096781 弁理士 堀井 豊
審査請求日	平成20年5月26日(2008.5.26)	(73) 特許権者	591036457 三菱電機エンジニアリング株式会社 東京都千代田区九段北一丁目13番5号
		(74) 代理人	100064746 弁理士 深見 久郎

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体記憶装置であって、
前記半導体記憶装置の通常動作およびテスト動作を制御するための制御回路と、
行列状に配列された複数のメモリセルを有するメモリセルアレイと、
前記メモリセルアレイの列に対応して設けられる複数のビット線対と、
前記複数のビット線対の所定数ごとに対応して各々が設けられる複数のデータ線対と、
前記通常動作において前記半導体記憶装置の外部から与えられた書込みデータに応じて、
前記データ線対の電位レベルを駆動するための書込回路と、
前記テスト動作において、前記制御回路に制御されて前記データ線対の電位レベルを駆動するテスト電位駆動回路と、

10

前記通常動作においてはアドレス信号に応じて、前記テスト動作においては前記制御回路に制御されて、前記メモリセル列の選択を行ない、前記データ線対の電位レベルを選択されたメモリセル列に対応する前記ビット線対に伝達する列選択回路とを備え、

前記ビット線対に対応して設けられ、前記制御回路に制御されて少なくとも第1の電源電位を選択的に供給され、前記ビット線対上の電位差を増幅するための複数のセンスアンプをさらに備え、

前記列選択回路は、

前記通常動作においてはアドレス信号に応じて、前記テスト動作においては前記制御回路に制御されて、複数の列選択信号を選択的に活性化するデコード回路と、

20

前記ビット線対に対応して設けられ、前記複数の列選択信号のうちの対応する列選択信号により選択的に活性化されて、前記データ線対の電位レベルを選択されたメモリセル列に対応する前記ビット線対に伝達する複数の伝達回路とを含み、

前記複数のデータ線対の各々は、

前記通常動作時に互いに相補なデータを伝送する第1のデータ線と第2のデータ線とを含み、

前記テスト動作は、

前記複数のビット線対のビット線間のストレス加速を行う第1のテスト動作と、

前記複数のデータ線対から前記複数の伝達回路を介して前記複数のビット線対に至る接続経路のストレス加速を行う第2のテスト動作とを含み、

前記テスト電位駆動回路は、

第2の電源電位と前記第1のデータ線との間に接続された第1のトランジスタおよび接地電位と前記第1のデータ線との間に接続された第2のトランジスタを含む第1のバッファ回路と、

前記第2の電源電位と前記第2のデータ線との間に接続された第3のトランジスタおよび前記接地電位と前記第2のデータ線との間に接続された第4のトランジスタを含む第2のバッファ回路とを含み、

前記制御回路は、前記第1のテスト動作時には、前記第1のバッファ回路と第2のバッファ回路とを前記データ線対が互いに相補なデータ電位レベルとなるよう駆動し、前記第2のテスト動作時には、前記第1のバッファ回路と第2のバッファ回路とを前記データ線対が互いに等しいデータ電位レベルになるよう駆動する、半導体記憶装置。

【請求項2】

前記制御回路は、前記第2のテスト動作時には、前記第2の電源電位は前記第1の電源電位より高く、前記伝達回路を活性状態とし、かつ、前記センスアンプに前記第1の電源電位を供給する、請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、バーンインテスト機能を備えた半導体記憶装置の構成に関する。

【0002】

【従来の技術】

ダイナミック型ランダムアクセスメモリ（以下、DRAMと呼ぶ）等の高集積化、大容量化にともなって、半導体記憶装置は、製品として出荷する前のテストによる信頼性の確保が重要となる。

【0003】

とくに、初期段階では、電気特性としては良品であるチップも、製造工程中に発生したゲート絶縁膜や配線などの様々な欠陥が潜在化しているものも存在する。このようなチップは、動作開始後の比較的短期間で故障となる、いわゆる「初期不良」を内在しているといえる。

【0004】

製品の信頼性を高めるためには、このような潜在化している不良を、製品出荷前にストレス印加試験を行なうことで顕在化させ、不良チップをスクリーニングすることが行なわれる。DRAMなどの半導体記憶装置では、このようなスクリーニングのために、高温環境下で温度ストレスをチップに印加するだけでなく、チップ内の回路に電氣的なストレスを印加した状態でテストを行なう、「バーンインテスト」が行なわれる。

【0005】

【発明が解決しようとする課題】

従来、このようなバーンインテストにおいて、メモリセルアレイ内に設けられるビット線間にストレス電圧を印加する場合、メモリセルのデータをセンスアンプにより増幅して電圧を印加するということが行なわれている。

10

20

30

40

50

【 0 0 0 6 】

このように、ビット線へのストレス印加をメモリセルへ予め書込まれたデータに基づいて行なう場合、以下のような問題点がある。

【 0 0 0 7 】

i) ビット線間にストレスとして印加できる電圧は、メモリセルから読出し、かつセンスアンプで増幅できる電圧ということになる。たとえば、ビット線間のストレスを一層加速するために、大きなストレスを与えるべく高電圧を印加しようとしても、与えた高電圧が、メモリセルトランジスタやメモリセルキャパシタに影響を及ぼしてしまい、メモリセルの信頼性保持に支障をきたす。このため、たとえば、メモリセルトランジスタやメモリセルキャパシタの信頼性を保持するために、テストを加速するために大きなストレス電圧を印加することが難しい。

10

【 0 0 0 8 】

ii) テスター装置がテスト対象となるメモリに書込むことができるデータのパターンや、テスト対象のI/Oの構成によっては、ストレス電圧を印加することが困難なビット線が存在する可能性がある。

【 0 0 0 9 】

したがって、ビット線間に存在する不良を顕在化させるためのストレス印加が十分でなく、結局、初期不良の可能性のあるチップを短時間のテストで検出することが困難である。

【 0 0 1 0 】

さらには、このビット線との間でデータの授受を行なうためのI/O線に対しても、ビット線へのストレス印加をメモリセルへ予め書込まれたデータに基づいて行なう方式では、十分なストレス印加ができないという問題があった。

20

【 0 0 1 1 】

本発明は、上記のような問題点を解決するためになされたものであって、その目的は、ビット線間に定常的にストレス電圧を印加することが可能な半導体記憶装置を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

請求項1記載の半導体記憶装置は、半導体記憶装置の通常動作およびテスト動作を制御するための制御回路と、行列状に配列された複数のメモリセルを有するメモリセルアレイと、メモリセルアレイの列に対応して設けられる複数のビット線対と、各々が複数のビット線対に共通に設けられる複数のデータ線対と、通常動作において半導体記憶装置の外部から与えられた書込みデータに応じて、データ線対の電位レベルを駆動するための書込回路と、テスト動作において、制御回路に制御されてデータ線対のレベルを駆動するテスト電位駆動回路と、通常動作においてはアドレス信号に応じて、テスト動作においては制御回路に制御されて、メモリセル列の選択を行ない、データ線対の電位レベルを選択されたメモリセル列に対応するビット線対に伝達する列選択回路とを備え、ビット線対に対応して設けられ、制御回路に制御されて少なくとも第1の電源電位を選択的に供給され、ビット線対上の電位差を増幅するための複数のセンスアンプをさらに備え、列選択回路は、通常動作においてはアドレス信号に応じて、テスト動作においては制御回路に制御されて、
複数の列選択信号を選択的に活性化するデコード回路と、ビット線対に対応して設けられ、
複数の列選択信号のうちの対応する列選択信号により選択的に活性化されて、データ線対の電位レベルを選択されたメモリセル列に対応するビット線対に伝達する複数の伝達回路とを含み、
複数のデータ線対の各々は、通常動作時に互いに相補なデータを伝送する第1のデータ線と第2のデータ線とを含み、
テスト動作は、複数のビット線対のビット線間のストレス加速を行う第1のテスト動作と、
複数のデータ線対から複数の伝達回路を介して複数のビット線対に至る接続経路のストレス加速を行う第2のテスト動作とを含み、
テスト電位駆動回路は、第2の電源電位と第1のデータ線との間に接続された第1のトランジスタおよび接地電位と第1のデータ線との間に接続された第2のトランジスタを含む第1のバッファ回路と、
第2の電源電位と第2のデータ線との間に接続された第3のトラン

30

40

50

ジスタおよび接地電位と第2のデータ線との間に接続された第4のトランジスタを含む第2のバッファ回路とを含み、制御回路は、第1のテスト動作時には、第1のバッファ回路と第2のバッファ回路とをデータ線対が互いに相補なデータ電位レベルとなるよう駆動し、第2のテスト動作時には、第1のバッファ回路と第2のバッファ回路とをデータ線対が互いに等しいデータ電位レベルとなるよう駆動する。

【0013】

請求項2記載の半導体記憶装置は、制御回路は、第2のテスト動作時には、第2の電源電位は第1の電源電位より高く、伝達回路を活性状態とし、かつ、センスアンプに第1の電源電位を供給する。

【0020】

【発明の実施の形態】

[実施の形態1]

図1は、本発明の実施の形態1に係る半導体記憶装置1000の構成を示す概略ブロック図である。

【0021】

以下の説明では、半導体記憶装置1000は、たとえば、ダイナミック型ランダムアクセスメモリ(DRAM)であるものとして、説明を行なう。

【0022】

図1を参照して、DRAM1000において、アドレスバッファ30は、アドレス信号入力端子群10を介して、行アドレスおよび列アドレス信号を受取る。アドレスバッファ30は、アドレス信号A0~An(n:自然数)に基づいて、行アドレスを受取ったときには、ロウ系の内部行アドレス信号であるRA[0]~RA[j], /RA[0]~/RA[j](j:自然数)を発生する。また、アドレスバッファ30は、列アドレスを受取ったときは、コラム系の内部列アドレス信号CA[0]~CA[k], /CA[0]~/CA[k](k:自然数)を発生する。ここで、信号/Xは、信号Xと相補な信号であることを示す。

【0023】

コントロール回路32は、アドレスバッファ30からの信号と、外部制御信号入力端子群12を介して受取るコマンド信号、たとえば、外部行アドレスストロープ信号/RAS、コラムアドレスストロープ信号/CAS、ライトイネーブル信号/WEとに基づいて、後に詳しく説明するように、DRAM各部の動作を制御するための内部制御信号int.comdを出力する。

【0024】

ここで、内部制御信号int.comdは、DRAM各部を制御するための複数の内部制御信号を総称したものである。また、特に限定されないが、以下では、外部制御信号入力端子群12中のクロック端子に外部クロックCLKが与えられ、DRAM1000は、このクロック信号CLKに基づくタイミングで外部からの制御信号やアドレス信号を受け取るものとする。

【0025】

DRAM1000は、さらに、メモリセルアレイ104を備える。メモリセルアレイ104は、行列状に配列される複数のメモリセルMCと、メモリセルMCを選択するために、メモリセルアレイ104の各行に対応して設けられるワード線WLと、選択されたメモリセルMCからのデータの読出や、選択されたメモリセルMCへのデータの書込を行なうために、メモリセルアレイ104のメモリセル列に対応してそれぞれ設けられるビット線対BLPとを備える。ビット線対BLPは、さらにビット線BLおよび/BLを有している。

【0026】

DRAM1000は、さらに、アドレスバッファ30からの信号とリフレッシュアドレスカウンタ34からの出力を受けて、コントロール回路32により制御されていずれか一方を出力するためのセクタ36と、セクタ36の出力を受けて、ワード線WLを選択す

10

20

30

40

50

るためのデコード信号を生成するためのロウアドレスデコーダ3と、ロウアドレスデコーダ3からのデコード信号に応じて、選択されたワード線の電位を駆動するためのワード線ドライバ103と、アドレスバッファ30から与えられた内部列アドレス信号を受けて、対応するメモリセル列を選択するためのデコード信号を生成するコラムアドレスデコーダ2と、選択された行(ワード線)に接続されるメモリセルMCのデータの検知および増幅を行ない、かつメモリセルアレイ104から列選択信号に応じて選択的にデータを読み出すためのセンスアンプおよびI/O回路120を含む。

【0027】

選択されたメモリセルMCからの信号は、メモリセルアレイ104からI/O線対IOPを介して読み出され、読み出されたデータを受け取ったプリアンプ102により、データバスDBを介して、データ入出力回路40に伝達される。データ入出力回路40は、データ入出力端子群16を介して、読み出されたデータの出力を行なう。

10

【0028】

あるいは、データ入出力端子群16を介して、データ入出力回路40に与えられた信号は、データバスDBを介してライトバッファ101に伝達され、ライトバッファ101からI/O線対IOPを介して、さらにセンスアンプおよびI/O回路120により選択されたビット線対BLPに伝達される。

【0029】

なお、図1においては、図示省略しているが、メモリセルアレイ104は、複数の正規メモリセルを含む正規メモリセルアレイRMRと、各々が複数の冗長メモリセルを含む冗長メモリセル列SPCおよび冗長メモリセル行SPRとを備えており、ロウアドレスデコーダ3およびコラムアドレスデコーダ2は、予め記憶していた欠陥アドレスと選択しようとする正規メモリセルのアドレスとが一致する場合は、正規メモリセルの代わりに冗長メモリセルの選択を行う。

20

【0030】

DRAM1000は、さらに、外部から外部電源電圧 v_{ext} 、 V_{dd} と接地電位 V_{ss} とを受けて、コラムアドレスデコーダ2やロウアドレスデコーダ3やセンスアンプおよびI/O回路120などに与えるための内部電源電圧 V_{cc1} と、内部電源電圧 V_{cc1} よりも高い内部電源電圧 V_{cc2} とを生成する内部電源回路42と、内部電源電圧 V_{cc2} を受けて、コントロール回路32により制御されて、スタティックバーンインテスト時において、I/O線対IOPを介して、ビット線対BLPに印加するべきストレス電位を出力するバーンインライトバッファ1とを備える。

30

【0031】

図2は、図1に示したDRAM1000の構成のうち、メモリセルアレイ104とこれにデータの書込あるいはデータの読み出しを行なうための構成部分を抜出して示す概略ブロック図である。

【0032】

センスアンプおよびI/O回路120は、センスアンプ回路100と、センスアンプ回路により増幅された読み出しデータを、コラムアドレスデコーダ2からの列選択信号CSLにより、選択的にI/O線対24、25ならびに26、27に伝達するためのI/Oゲート105とを備えている。ここで、I/Oゲート105は、ビット線対BL1、/BL1とI/O線対24、25との間にそれぞれ設けられ、ゲート電位が信号CSLにより制御されるNチャネルMOSトランジスタTR105.11およびTR105.12と、ビット線対BL2、/BL2とI/O線対26、27との間にそれぞれ設けられ、ゲート電位が信号CSLにより制御されるNチャネルMOSトランジスタTR105.21およびTR105.22とを備える。以下では、ビット線BL1とBL2とを総称して、ビット線BLと呼び、ビット線/BL1と/BL2とを総称して、ビット線/BLと呼ぶ。

40

【0033】

メモリセルMCは、保持するデータを蓄積する電荷量として記憶するためのメモリセルキャパシタMCPと、ワード線WLによりゲート電位が選択され、選択的にメモリセルキャ

50

パシタMCPの一方ノードとビット線BL(または/BL)とを接続するためのメモリセルトランジスタMTRとを有している。

【0034】

I/O線対24および25またはI/O線対26および27のそれぞれに対応して、通常動作モードの書込み動作において、データバスDBにより伝達された書込データをI/O線に伝達するためのライトバッファ101と、読出動作において、I/O線により伝達された読出データをデータバスDBに伝達するためのプリアンプ102と、制御回路32により制御されて、スタティックバーンインテストにおいて、ビット線対BLPに与えるべきデータを生成するバーンインライトバッファ1とが設けられている。なお、図2においては、I/O線対24および25に対応するライトバッファ101、プリアンプ102およびバーンインライトバッファ1のみを例として抜き出して示す。

10

【0035】

したがって、スタティックバーンインテスト動作においては、ライトバッファ101は不活性状態とされ、代わりにバーンインライトバッファ1から出力される電位レベルにI/O線の電位レベルが駆動される。

【0036】

また、後に説明するように、コラムアドレスデコーダ2も、通常動作においては、アドレスバッファ30を介して与えられる列アドレス信号に応じて、対応する列選択信号CSLを活性化するのに対し、スタティックバーンインテスト時には、複数の列選択信号のうちコントロール回路32により指定される列選択信号CSLを活性状態とする。

20

【0037】

したがって、正規メモリセルアレイRMR中のメモリセル列に対応するビット線対にも、冗長メモリセル列に対応して設けられるビット線対にも、バーンインライトバッファ1により生成されるストレス電圧が印加される。

【0038】

図3は、図2に示した回路のうち、センスアンプ回路100、バーンインライトバッファ1、ライトバッファ101およびプリアンプ102の部分の構成を抜き出して示す概略ブロック図である。

【0039】

以下の説明で明らかとなるように、本実施の形態においては、ビット線対BLPと繋がるセンスアンプ100が、メモリセルに保持されるデータまたはメモリセルの選択・非選択とは関係なく動作して、ビット線対等にストレス電圧を印加することが可能な構成となっている。以下では、このようなメモリセルのデータとは関係なくストレス電圧を印加して行なうバーンインテストを「スタティックバーンインテスト」と呼ぶことにする。

30

【0040】

図3に示した構成では、列選択信号CSLの活性化に応じて、ビット線BL1、/BL1が、I/O線対24、25と接続され、同時に、同一の列選択信号CSLの活性化に従って、ビット線BL2、/BL2が、I/O線対と26、27接続される構成となっている。

【0041】

また、ライトバッファ1は、ビット線BL1、/BL1およびI/O線24、25に対応して設けられるバッファ回路1aと、ビット線BL2、/BL2およびI/O線26、27に対応して設けられるバッファ回路1bとを含む。

40

【0042】

バッファ回路1aは、ビット線BL1に対応するI/O線24と、電源電圧Vcc2との間に設けられ、ゲート電位がコントロール回路32により制御されるPチャネルMOSトランジスタ10aと、I/O線24と接地電位Vssとの間に設けられ、ゲート電位がコントロール回路32により制御されるNチャネルMOSトランジスタ11aと、電源電圧Vcc2とビット線/BL1に対応するI/O線25との間に設けられ、ゲート電位がコントロール回路32により制御されるPチャネルMOSトランジスタ12aと、I/O線25と接地電位Vssとの間に設けられ、ゲート電位がコントロール回路32により制御

50

されるNチャンネルMOSトランジスタ13aとを含む。

【0043】

バッファ回路1bにも、ビット線BL2に対応するI/O線26に対応して、PチャンネルMOSトランジスタ10bおよびNチャンネルMOSトランジスタ11bが設けられ、ビット線/BL2に対応するI/O線27に対応して、PチャンネルMOSトランジスタ12bおよびNチャンネルMOSトランジスタ13bとが設けられている。

【0044】

ビット線BL1および/BL1は、列選択信号CSLにより導通状態となるI/Oゲート105aを介して、I/O線24および25にそれぞれ接続している。ビット線BL1および/BL1に対しては、コントロール回路32により活性化されるセンスアンプ回路100aが設けられる。

10

【0045】

センスアンプ回路100aは、電源電圧Vcc1と内部ノードn1との間に設けられ、ゲート電位がコントロール回路32からの信号/SOPMにより制御されるPチャンネルMOSトランジスタTP11と、接地電位Vssとノードn2との間に設けられ、ゲート電位がコントロール回路32により制御されるNチャンネルMOSトランジスタTN11と、ノードn1とノードn2との間に直列に接続されるPチャンネルMOSトランジスタTP21およびTN21と、ノードn1とノードn2との間に直列に接続されるPチャンネルMOSトランジスタTP22とNチャンネルMOSトランジスタTN22とを含む。

【0046】

トランジスタTP21およびTN21のゲートは、ともに、トランジスタTP22およびTN22の接続ノードと結合し、かつビット線/BL1と結合している。トランジスタTP22およびTN22のゲートは、ともに、トランジスタTP21およびTN21の接続ノードと結合し、かつ、ビット線BL1と結合している。

20

【0047】

ビット線BL2および/BL2に対応しても、同様のセンスアンプ回路100bが設けられている。

【0048】

ビット線BL1、/BL1と結合するメモリセルMCから読出されたデータは、センスアンプ回路100aにより増幅され、I/Oゲート105aを介して、I/O線24、25に伝達され、さらに、プリアンプ回路102aにより、データバス106aに伝達される。

30

【0049】

同様にして、ビット線BL2、/BL2と結合するメモリセルMCから読出されたデータは、I/Oゲート105b、I/O線26、27およびプリアンプ回路102bを介して、データバス106bに読出される。

【0050】

一方、通常動作における書込動作においては、データバス106aにより伝達された書込データは、ライトバッファ101aにより、I/O線24および25に伝達され、I/Oゲート105aが導通状態となることにより、ビット線BL1および/BL1に伝達される。

40

【0051】

同様に、データバス106bにより伝達された書込データは、ライトバッファ101b、I/O線26、27、ゲートトランジスタ105bを介して、ビット線対BL2、/BL2に伝達される。

【0052】

スタティックバーンインテスト中には、バッファ回路1aまたは1bにより、I/O線対24、25または26、27の電位レベルが駆動されて、この駆動電位が、ビット線対BL1、/BL1またはビット線対BL2、/BL2に伝達される。

【0053】

50

ここで、上述したとおり、PチャネルMOSトランジスタ10a, 12a, 10bおよび12bに供給される電源電位Vcc2は、センスアンプに供給される電源電圧Vcc1よりも高い電圧であって、センスアンプよりもより強くビット線の電位レベルを“H”レベルに駆動できるものとする。ゆえに、たとえば、電源電位Vcc1とVcc2の間の電位、もしくは、電源電位Vcc2以上の電位Vcc3をこのバッファ回路1a, 1bの駆動電源用に設けてもよい。

【0054】

また、電源電圧Vcc2のレベルが、電源電圧Vcc1よりも高いために、トランジスタ10a, 10b, 12aおよび12bのトランジスタサイズは、センスアンプ中のトランジスタTP11等よりも小さいサイズとすることができる。

10

【0055】

バッファ回路1aにおいて、トランジスタ10aおよび11aは、同時にオン状態となることはなく、互いに相補にオン状態およびオフ状態となるトランジスタである。さらに、トランジスタ12aおよび13aも互いに相補に動作する。

【0056】

バッファ回路1b中のトランジスタ10bおよび11bやトランジスタ12bおよび13bも互いに相補に動作する。

【0057】

ただし、後に説明するように、コントロール回路32の制御によっては、トランジスタ10aと10bは同時にオン状態となる場合も存在する。

20

【0058】

図4は、図1～3において説明したDRAM1000に対して、スタティックバーンインテストを行なう際の動作を説明するためのタイミングチャートである。

【0059】

図4を参照して、時刻t1のクロック信号CLKの立ち上りエッジにおいて、外部から与えられる制御信号の組合せにより、スタティックバーンインテストモード動作のエントリが指定され、コントロール回路32から出力される内部認識信号SBIが活性状態“H”レベルとなる。

【0060】

このようにしてスタティックバーンインテスト動作にエントリし、信号SBIが活性状態であることに応じて、制御回路32の制御により、ロウアドレスデコーダ3とワード線ドライバ103は、スタンバイ状態に維持される。したがって、ワード線WLはすべて“L”レベルに維持されることになる。

30

【0061】

時刻t1後の次のクロック信号CLKの活性化に応じて、時刻t2において、制御回路32からI/O線24～27の電位レベルを設定するための信号WD1～WD4が出力される。一方、時刻t1における信号SBIの活性化に応じて、時刻t3において、バーンインライトバッファ活性化信号、すなわちバッファ回路1aおよび1bにおけるトランジスタ10a～13bのゲート電位を制御するための信号が、コントロール回路32から出力される。

40

【0062】

これに応じて、I/O線24, 26およびI/O線25, 27の電位レベルがデータWD1～WD4に応じた電位レベルに設定される。

【0063】

続いて、コントロール回路32が、列アドレスデコーダ2を制御して、時刻t5において、コラム選択信号CSLを選択的に活性化して、I/Oゲート105を導通状態とする。

【0064】

ここで、通常動作においては、活性となるコラム選択信号は、同一のI/O線に接続するメモリセル列のうち、1つのメモリセル列を選択するための列選択信号が活性化する。これに対して、スタティックバーンインテストにおいては、同一のI/O線対と結合可能な

50

複数のメモリセル列に対応する列選択信号のうち、複数の列選択信号もしくはすべての列選択信号が活性状態とすることができる。

【0065】

以下の説明で明らかとなるように、実施の形態1では、同一のI/O線と接続可能な複数のメモリセル列に対応するすべてのコラム選択信号が同時に活性状態とすることができる。

【0066】

再び、図4を参照して、時刻t6において、ビット線BL、/BLの電位レベルがI/O線対の電位レベルに応じて駆動され始める。

【0067】

時刻t7において、コントロール回路32からの制御に従って、センスアンプ活性化信号SONMが活性化され、ビット線20~23に対してストレス電圧の印加が行なわれる。このとき、センスアンプ活性化信号は、接地電位側のNチャンネルMOSトランジスタTN11に対する信号SONMの方が先に導通状態とされ、所定時間経過後に、信号/SOPMが活性化して電源電位Vcc1側のPチャンネルMOSトランジスタTP11が導通状態とされる。このように、Pチャンネルトランジスタ側とNチャンネルトランジスタ側で活性化タイミングをずらすことで、貫通電流を抑制することができる。

【0068】

図5は、図1に示したコントロール回路32中に含まれ、バーンインテスト動作を制御するためのバーンインテスト制御回路の構成を説明するための回路図である。

【0069】

図5を参照して、バーンインテスト制御回路は、外部行アドレスストロブ信号/RAS等に対応して、内部行アドレスストロブ信号int/RAS等を発生し、また、外部制御信号の組合せによって、スタティックバーンインテストにエントリしたことを示す内部認識信号SBIを生成する制御信号発生回路320と、内部行アドレスストロブ信号int/RASと内部認識信号SBIとを受け取るNOR回路NRG100と、NOR回路NRG100の出力を受けて反転するインバータINV100と、インバータINV100の出力を受けて、行系の動作の活性化を指示するための内部制御信号ACTを出力するためのインバータINV102と、信号SBIを受けて、所定時間だけ遅延して信号SBIdを生成するためのタイミング調整用遅延回路DL100とを備える。

【0070】

すなわち、バーンインテストモードに入っていることの認識結果を示す内部認識信号SBIが活性化状態(“H”レベル)である期間中は、信号ACTは不活性状態(“L”)レベルであって、行系の選択動作は非活性状態に維持されることになる。

【0071】

また、タイミング調整用遅延回路DL100は、内部回路が安定した後に、バーンインテスト動作を制御するための内部制御信号を出力するために、時間的な余裕を生み出す遅延時間を制御する。

【0072】

後に説明するように、外部から与えられる制御信号とアドレス信号の組み合わせによって、または予め制御信号発生回路320中に保持されている情報に従って、ライトデータWD1~WD4のレベルが決定される。

【0073】

バーンインテスト制御回路は、さらに、このライトデータWD1と、信号SBIdを受け取るNAND回路NAG110と、NAND回路NAG110の出力を受けて反転するインバータINV110と、インバータINV110の出力を受けて、トランジスタ10aのゲート電位を制御する信号を出力するインバータINV120と、ライトデータWD2と信号SBIdとを受け取るNAND回路112と、NAND回路NAG112の出力を受けて反転し、トランジスタ11aのゲート電位を制御するための信号を出力するインバータINV112と、ライトデータWD3と信号SBIdとを受け取るNAND回路NAG11

10

20

30

40

50

4と、NAND回路NAG114の出力を受けて反転するインバータINV114と、インバータINV114の出力を受けて、トランジスタ10bのゲート電位を制御する信号を出力するインバータINV122と、ライトデータWD4と信号SBIDとを受けるNAND回路NAG116と、NAND回路NAG116の出力を受けて反転し、トランジスタ11bのゲート電位を制御する信号を出力するインバータINV116とを含む。

【0074】

バーンインテスト制御回路は、さらに、このライトデータWD2と、信号SBIDを受けるNAND回路NAG130と、NAND回路NAG130の出力を受けて反転するインバータINV130と、インバータINV130の出力を受けて、トランジスタ12aのゲート電位を制御する信号を出力するインバータINV140と、ライトデータWD1と信号SBIDとを受けるNAND回路132と、NAND回路NAG132の出力を受けて反転し、トランジスタ13aのゲート電位を制御するための信号を出力するインバータINV132と、ライトデータWD4と信号SBIDとを受けるNAND回路NAG134と、NAND回路NAG134の出力を受けて反転するインバータINV134と、インバータINV134の出力を受けて、トランジスタ12bのゲート電位を制御する信号を出力するインバータINV142と、ライトデータWD3と信号SBIDとを受けるNAND回路NAG136と、NAND回路NAG136の出力を受けて反転し、トランジスタ13bのゲート電位を制御する信号を出力するインバータINV136とを含む。

【0075】

バーンインテスト制御回路は、さらに、信号SBIDを受けて、所定時間遅延して信号C
o
l
s
e
lを出力するためのタイミング調整用遅延回路DL110を含む。このタイミング調整用遅延回路DL110は、ライトデータWD1～WD4が生成され、I/O線を電源電位Vcc2あるいは接地電位Vssに設定し、かつその電位レベルが安定するまでの時間を調整するためのものである。

【0076】

バーンインテスト制御回路は、さらに、外部から与えられる制御信号およびアドレス信号の組合せにより、または、制御信号発生回路320中に予め保持されている情報に応じて、活性状態あるいは非活性状態とされる信号Ecolとタイミング調整用遅延回路DL110から出力される信号C
o
l
s
e
lとを受けるNAND回路NAG150と、NAND回路NAG150の出力を受けて反転するインバータINV150と、インバータINV150の出力を受けて、後に説明するようにコラムデコーダを制御するための信号E
v
e
n
c
o
lを出力するインバータINV154と、外部制御信号とアドレス信号の組合せにより、または制御信号発生回路320中に予め保持された情報に従って活性状態または非活性状態とされる信号Ocolと信号C
o
l
s
e
lとを受けるNAND回路NAG152と、NAND回路NAG152の出力を受けて反転するインバータINV152と、インバータINV152の出力を受けてコラムデコーダ2を制御するための信号O
d
d
c
o
lを出力するインバータINV156と、信号C
o
l
s
e
lを受けて、所定時間遅延して出力するためのタイミング調整用遅延回路DL120と、制御信号発生回路320中で生成されるセンスアンプ活性化指示信号SONnと、遅延回路DL120の出力とを受けるNOR回路NRG160と、NOR回路NRG160の出力を受けて、センスアンプ中のトランジスタTN11を活性化するための信号SONMを出力するインバータINV160と、遅延回路DL120の出力を受ける駆動回路DR160およびDR162と、駆動回路DR162の出力と制御信号発生回路320中で生成されるセンスアンプ活性化指示信号SOPnとを受けるNOR回路NRG162と、NOR回路NRG162の出力を受けて反転するインバータINV162と、インバータINV162の出力を受けて反転し、センスアンプ中のトランジスタTP11を駆動するための信号/SOPMを出力するインバータINV164とを備える。

【0077】

すなわち、コントロール回路32から出力される信号E
v
e
n
c
o
lと信号O
d
d
c
o
lとに応じて、コラム選択信号が活性化され、I/O線の電位が選択されたビット線対のセ

10

20

30

40

50

ンスアンプ100に伝達される。センスアンプ100の入出力ノードが電源電位あるいは接地電位に駆動されて所定時間経過した後に、センスアンプを活性化するための信号SONMと/SOPMが活性状態となる。

【0078】

図6は、コラムアドレスデコーダ2の構成を説明するための回路図である。図6においては、説明の簡単のために、コラムアドレスデコーダ2の生成する複数のコラム選択信号CSLのうち、コラム選択信号CSL0~CSL3に関連する部分のみを抜き出して示す。

【0079】

したがって、コラムアドレスデコーダ2は、コントロール回路32から出力され、コラムアドレスデコーダ2の活性化を指示するための信号NCEと、内部列アドレス信号AYA0~AYA3ならびにAYB0とを受ける。なお、内部列アドレス信号AYA0~AYA3ならびにAYB0は、コラム系の内部列アドレス信号CA[0]~CA[k]、/CA[0]~/CA[k]のいずれかにそれぞれ相当する。

【0080】

図6を参照して、コラムアドレスデコーダ2において、通常動作時は、コントロール回路32から与えられる信号Evencolおよび信号Oddcolはともに、“L”レベルとなっている。

【0081】

したがって、ノードn21には、通常動作においては電源電位Vcc1が供給されている。

【0082】

このノードn21と接地電位Vssとの間に、ゲートに信号NCEを受けるPチャンネルMOSトランジスタTP201と、ゲートに信号NCEを受けるNチャンネルMOSトランジスタTN201と、ゲートにアドレス信号AYA0とアドレス信号AYB0を受けるNチャンネルMOSトランジスタTN203およびTN204とが設けられる。

【0083】

トランジスタTP201とトランジスタTN201との間の接続ノードであるノードn22と接地電位Vssとの間には、ゲートに信号Evencolを受けるNチャンネルMOSトランジスタTN210が設けられ、ノードn21と電源電位Vcc1との間には、ゲートに信号Evencolを受けるPチャンネルMOSトランジスタTP210が設けられる。ノードn21とノードn22との間には、ゲートにアドレス信号AYB0を受けるPチャンネルMOSトランジスタTP212と、ゲートに信号AYA0を受けるPチャンネルMOSトランジスタTP214とが並列に設けられている。

【0084】

インバータINV200は、ノードn22のレベルを受けて反転し、列選択信号CSL0を生成する。

【0085】

さらに、ノードn23にも、通常動作においては、信号Oddcolが“L”レベルであることにより、電源電位Vcc1が供給されている。

【0086】

このノードn23と接地電位Vssとの間に、ゲートに信号NCEを受けるPチャンネルMOSトランジスタTP221と、ゲートに信号NCEを受けるNチャンネルMOSトランジスタTN221と、ゲートにアドレス信号AYA1とアドレス信号AYB0を受けるNチャンネルMOSトランジスタTN223およびTN224とが設けられる。

【0087】

トランジスタTP221とトランジスタTN221との間の接続ノードであるノードn24と接地電位Vssとの間には、ゲートに信号Oddcolを受けるNチャンネルMOSトランジスタTN230が設けられ、ノードn23と電源電位Vcc1との間には、ゲートに信号Oddcolを受けるPチャンネルMOSトランジスタTP230が設けられる。ノードn23とノードn24との間には、ゲートにアドレス信号AYB0を受けるPチャネ

10

20

30

40

50

ルM O S トランジスタT P 2 3 2 と、ゲートに信号A Y A 1 を受けるPチャネルM O S トランジスタT P 2 3 4 とが並列に設けられている。

【0088】

インバータI N V 2 0 2 は、ノードn 2 4 のレベルを受けて反転し、列選択信号C S L 1 を生成する。

【0089】

さらに、列選択信号C S L 2 を生成するために、列選択信号C S L 0 を生成するための回路と受け取る内部アドレス信号を除いて同様の構成を有する回路が設けられ、列選択信号C S L 3 を生成するために、列選択信号C S L 1 を生成するための回路と受け取る内部アドレス信号を除いて同様の構成を有する回路が設けられる。

10

【0090】

図7は、図6に示したコラムアドレスデコーダ2の構成において、バーンインテスト動作中に信号E v e n c o l および信号O d d c o l がともに活性状態(“H”)レベルとなった場合に、対応するビット線対に与えられるストレス電圧の配置を示す概略ブロック図である。

【0091】

図7に示すように、メモリセルアレイ104を挟んで対向する位置にセンスアンプ100.1および100.2が設けられているものとする。また、列選択信号C S L 0 に応じて、2つのビット線対B L 1 , / B L 1 およびB L 2 , / B L 2 が同時に選択されるものとする。他の列選択信号C S L 1 ~ C S L 3 についても、同様に、その活性化に応じて2つのビット線対が同時に選択されるものとする。

20

【0092】

信号E v e n c o l および信号O d d c o l がともに活性状態である場合は、ノードn 2 2 およびn 2 4 のレベルは、アドレス信号のレベルとは関わりなく常に“L”レベルとなるために、列選択信号C S L 0 ~ C S L 3 はすべて活性状態(“H”レベル)となる。

【0093】

また、バーンインライトバッファ1.1および1.2も、メモリセルアレイ104の対向する側にそれぞれ設けられる。バーンインライトバッファ1.1中のバッファ回路1aとバーンインライトバッファ1.2中のバッファ回路1aとは、対応するI/O線に相補な電位を与え、バーンインライトバッファ1.1中のバッファ回路1bとバーンインライトバッファ1.2中のバッファ回路1bとも、対応するI/O線に相補な電位を与える。

30

【0094】

これに応じて、メモリセルアレイ104中のビット線対には、隣接するビット線が常に逆電位となるようなストレス電圧が印加される。

【0095】

このとき、正規メモリセルアレイR M R 中のメモリセル列に対応するビット線対にも、冗長メモリセル列に対応して設けられるビット線対にも、バーンインライトバッファ1により生成されるストレス電圧が印加される。したがって、正規メモリセルアレイに存在するビット線対と冗長メモリセル列に存在するビット線対とにかかわらず、隣接するビット線が常に逆電位となるようなストレス電圧が印加される。

40

【0096】

このような構成により、メモリセルに保持されるデータとは関係なく、かつメモリセルは非選択な状態のまま、ビット線対等にストレス電圧を印加することが可能である。

【0097】

[実施の形態2]

実施の形態1においては、すべての隣接ビット線に対し、逆電位となるようなストレス電圧を印加していた。

【0098】

実施の形態2においては、特定のビット線にストレス電圧を印加することで、ビット線間に挟んだビット線間の加速を行なう場合の構成を示す。

50

【 0 0 9 9 】

図 8 は、このような他のストレス電圧の印加の例を示す概念図である。

図 8 においては、バーンインライトバッファ 1 . 1 中のバッファ回路 1 a が I / O 線対 I O a を駆動する相補レベルとバーンインライトバッファ 1 . 2 中のバッファ回路 1 a が I / O 線対 I O a を駆動する相補レベルとは、対称となるように反転されている。同様に、バーンインライトバッファ 1 . 1 中のバッファ回路 1 b が I / O 線対 I O b を駆動する相補レベルとバーンインライトバッファ 1 . 2 中のバッファ回路 1 b が I / O 線対 I O b を駆動する相補レベルとは、対称となるように反転されている。

【 0 1 0 0 】

したがって、この場合、コントロール回路 3 2 は、図 5 の構成において、バーンインライトバッファ 1 . 1 の出力レベルを制御するための構成と、バーンインライトバッファ 1 . 2 の出力レベルを制御するための構成とを別系統に備え、バーンインライトバッファ 1 . 1 の出力レベルとバーンインライトバッファ 1 . 2 の出力レベルとを互いに独立に制御する。

10

【 0 1 0 1 】

このようにすることで、ビット線対 B L 1 , / B L 1 には逆電位が印加されているものの、ビット線対 B L 1 , / B L 1 と、これに近接するビット線対 B L 3 , / B L 3 との間にはストレス電圧が印加されていない。

【 0 1 0 2 】

[実施の形態 3]

図 9 は、センスアンプ内のビット線と他のセンスアンプ内のビット線との間にストレス電圧を印加するための構成を示す概念図である。

20

【 0 1 0 3 】

ストレス電圧の印加方法としては、図 6 において説明した列アドレスデコーダ 2 において、信号 E v e n c o l 信号が “ H ” レベルのときは、信号 O d d c o l を “ L ” レベルとする。

【 0 1 0 4 】

あるいは、信号 O d d c o l が “ H ” レベルのときは、信号 E v e n c o l を “ L ” レベルとなるように制御する。

【 0 1 0 5 】

たとえば、バーンインライトバッファ 1 . 1 において、バッファ回路 1 b が I / O 線対 I O b のいずれの I O 線も “ H ” レベルに駆動しておき、信号 O d d c o l を “ H ” レベルとして、信号 E v e n c o l を “ L ” レベルとする。このとき、列選択信号 C S L 1 は活性状態となって、対応するセンスアンプに / O 線対 I O b の電位が伝達されるのに対し、列選択信号 C S L 0 は不活性状態となって、対応するセンスアンプに I / O 線対 I O a の電位は伝達されない。

30

【 0 1 0 6 】

したがって、センスアンプ内のビット線と他のセンスアンプ内のビット線との間にストレス電圧を印加することができる。

【 0 1 0 7 】

このとき、このような動作によって、コラムアドレスデコーダ 2 を分割動作させることで、列選択線間にもストレスを印加することができる。すなわち、上述の例では、列選択信号 C S L 0 と C S L 1 をそれぞれ伝達する配線間にもストレスが印加されることになる。

40

【 0 1 0 8 】

[実施の形態 4]

実施の形態 4 においては、コントロール回路 3 2 は、バーンインテストモードにおいて、図 3 において説明したバーンインライトバッファ 1 中のバッファ回路 1 a および 1 b 中のトランジスタ 1 0 a , 1 0 b , 1 2 a および 1 2 b のゲート電圧レベルをしきい値電圧付近まで下げて、センスアンプを動作させることで、I / O ゲート 1 0 5 に対して電流リークパスを設けるように D R A M 1 0 0 0 の動作を制御する。

50

【0109】

すなわち、図3において、たとえば、コントロール回路32の制御により、トランジスタ11aおよび13aは遮断状態のまま、トランジスタ10aおよび12aのゲート電圧レベルをしきい値電圧まで下げる。さらに、コントロール回路32の制御により、列選択信号CSLを活性化し、センスアンプ活性化信号SONMも活性状態とする。

【0110】

すると、センスアンプ100a内のトランジスタTN21およびTN11が導通状態となるため、I/Oゲート105a内のトランジスタに、定常的に電源電位Vcc2から接地電位Vssに至るリーク電流経路が形成される。

【0111】

図10は、I/Oゲート105a内のトランジスタの断面構造を模式的に示す概念図である。

【0112】

図10に示すとおり、I/Oゲート105a内のトランジスタに、定常的に電源電位Vcc2から接地電位Vssに至る電流経路が形成された場合、このI/Oゲート105a内のトランジスタに対する多層配線のコンタクトの接合部のそれぞれにストレス電圧が印加されることになる。

【0113】

すなわち、I/Oゲート105a内のトランジスタのソースおよびドレインには、第1コンタクトホールを介して第1メタル配線が接続され、さらに、第1メタル配線には、第2コンタクトを介して第2メタル配線が結合される。さらに、第2メタル配線には、第3コンタクトを介して第3メタル配線が結合される。

【0114】

このとき、この第1コンタクトホール内の埋込電極とソースまたはドレイン電極の間、この第1コンタクトと内の埋め込み電極と第1メタル配線との間、第2コンタクトの埋込電極と第1メタル配線との間、第2コンタクトの埋込電極と第2メタル配線との間、第3コンタクトの埋込電極と第2メタル配線との間、第3メタル配線と第3コンタクトの埋込電極との間のそれぞれのコンタクト接合部にストレス電圧が印加される。

【0115】

このような構成とすれば、バーンインテストにおいて、ビット線対とI/O線対との結合を開閉するI/Oゲートを構成するトランジスタに対して、ストレスを印加することが可能となる。

【0116】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0117】

【発明の効果】

請求項1および2記載の半導体記憶装置は、メモリセルに保持されるデータとは関係なく、かつメモリセルは非選択な状態のまま、ビット線対にストレス電圧を印加することが可能である。

【0118】

さらに、請求項1および2記載の半導体記憶装置は、センスアンプ内のビット線対の間や伝達回路にストレス電圧を印加することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体記憶装置1000の構成を示す概略ブロック図である。

【図2】 メモリセルアレイ104とこれにデータの書込あるいはデータの読出を行なうための構成部分を抜出して示す概略ブロック図である。

10

20

30

40

50

【図3】 センスアンプ回路100、バーンインライトバッファ1、ライトバッファ101およびプリアンプ102の部分の構成を抽出して示す概略ブロック図である。

【図4】 スタティックバーンインテストを行なう際の動作を説明するためのタイミングチャートである。

【図5】 バーンインテスト動作を制御するためのバーンインテスト制御回路の構成を説明するための回路図である。

【図6】 コラムアドレスデコーダ2の構成を説明するための回路図である。

【図7】 図6に示したコラムアドレスデコーダ2の構成において、対応するビット線対に与えられるストレス電圧の配置を示す概略ブロック図である。

【図8】 他のストレス電圧の印加の例を示す概念図である。

【図9】 センスアンプ内のビット線と他のセンスアンプ内のビット線との間にストレス電圧を印加するための構成を示す概念図である。

【図10】 I/Oゲート105a内のトランジスタの断面構造を模式的に示す概念図である。

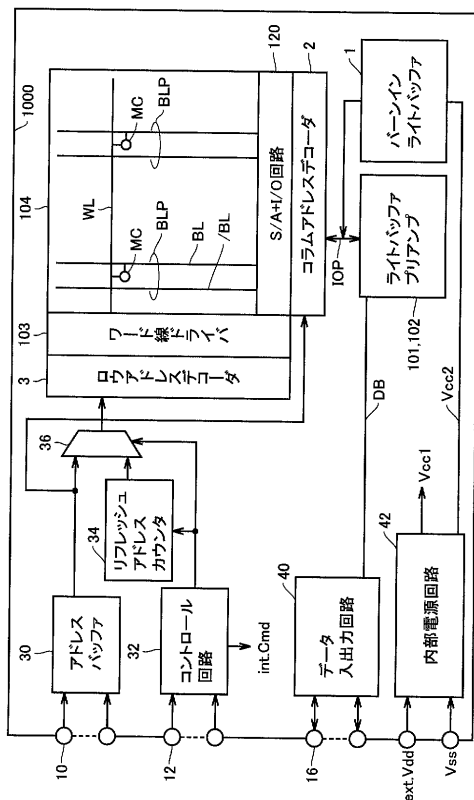
【符号の説明】

- 1 バーンインライトバッファ、2 コラムアドレスデコーダ、3 ロウアドレスデコーダ、10 アドレス信号入力端子群、12 外部制御信号入力端子群、30 アドレスバッファ、32 コントロール回路、34 リフレッシュアドレスカウンタ、36 セレクタ、42 内部電源回路、100 センスアンプ、103 ワード線ドライバ、104 メモリセルアレイ、MC メモリセル、WL ワード線、BLP ビット線対、120 センスアンプおよびI/O回路、IOP、24、25、26、27 I/O線対、RMR 正規メモリセルアレイ、SPC 冗長メモリセル列、SPR 冗長メモリセル行、1000 DRAM。

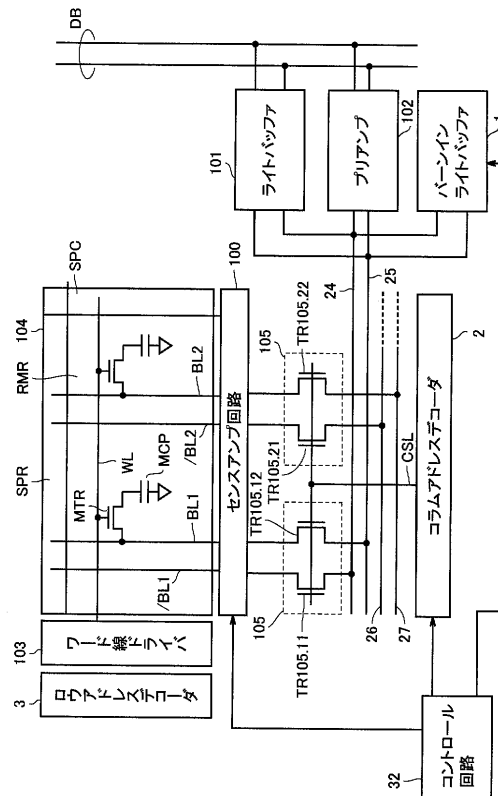
10

20

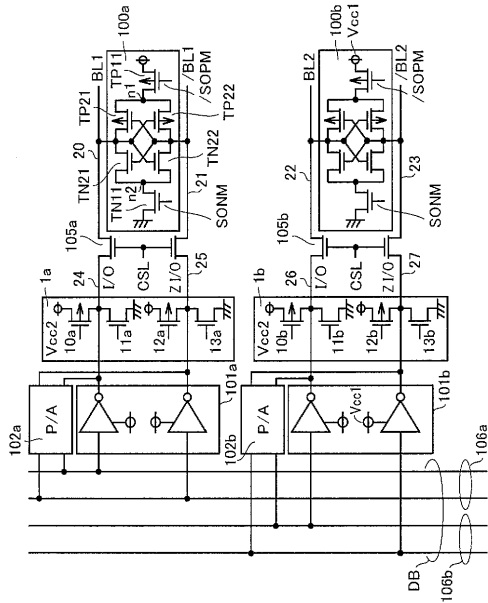
【図1】



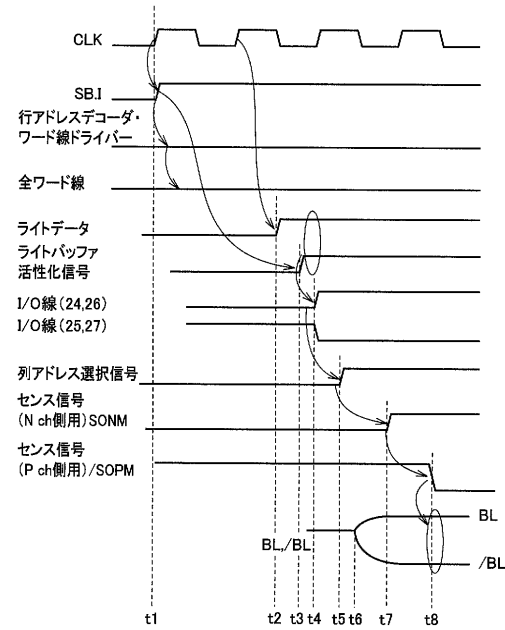
【図2】



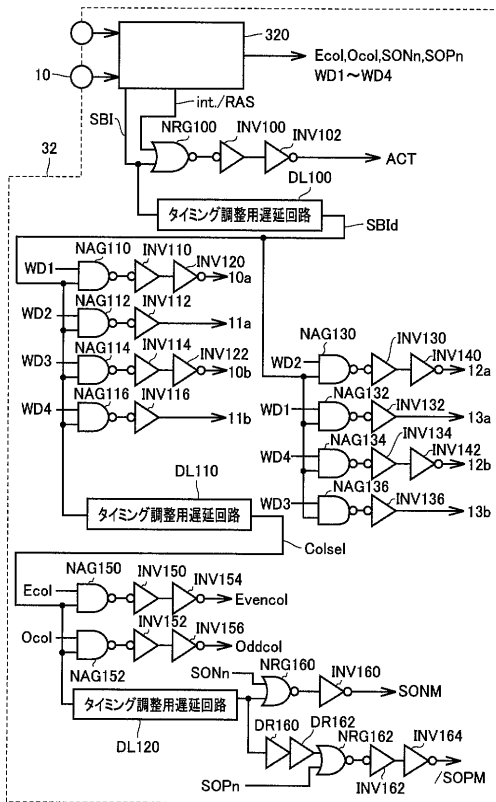
【図3】



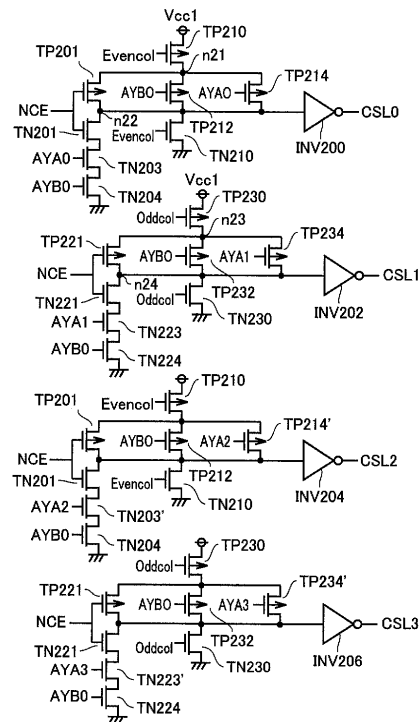
【図4】



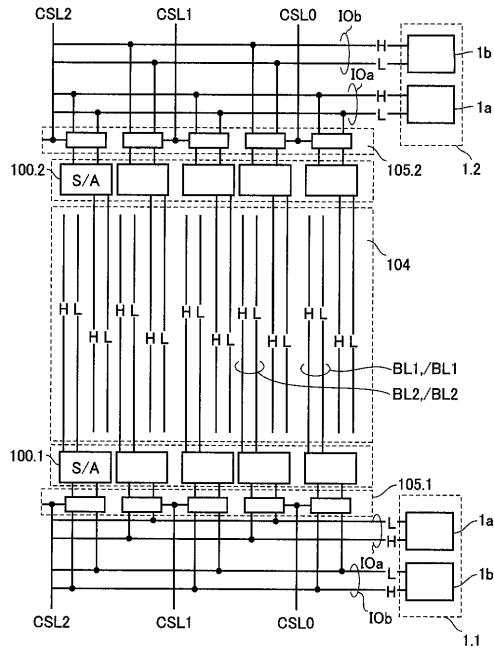
【図5】



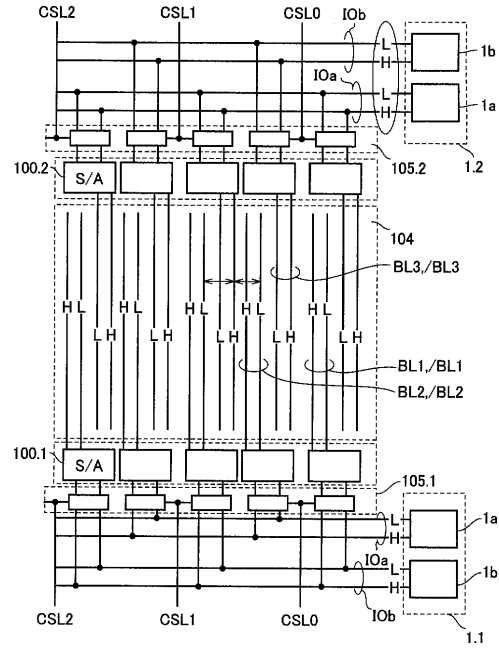
【図6】



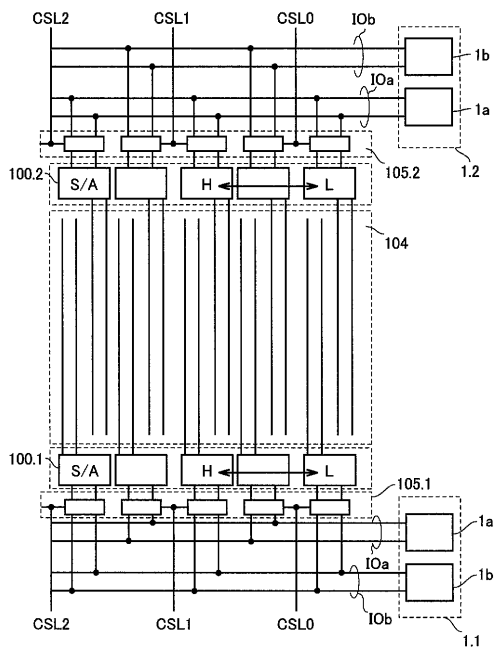
【図7】



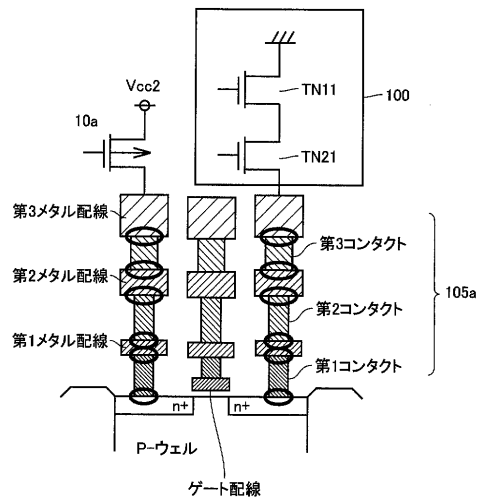
【図8】



【図9】



【図10】



フロントページの続き

(74)代理人 100085132

弁理士 森田 俊雄

(74)代理人 100091409

弁理士 伊藤 英彦

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100096792

弁理士 森下 八郎

(72)発明者 酒見 和弘

東京都千代田区大手町二丁目6番2号 三菱電機エンジニアリング株式会社内

審査官 小林 紀和

(56)参考文献 特開平09-162365(JP,A)

特開2001-203336(JP,A)

特開平09-063297(JP,A)

特開平10-340598(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/06

G11C 11/401

G11C 11/4096