



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년10월25일  
 (11) 등록번호 10-1076794  
 (24) 등록일자 2011년10월19일

(51) Int. Cl.

*H01L 21/027* (2006.01)

(21) 출원번호 10-2010-0007469  
 (22) 출원일자 2010년01월27일  
 심사청구일자 2010년01월27일  
 (65) 공개번호 10-2011-0087848  
 (43) 공개일자 2011년08월03일

(56) 선행기술조사문헌

KR1020090026683 A\*

KR1020090103520 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

남병섭

충청북도 청주시 흥덕구 성화동 남양휴튼아파트  
 109-302

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 1 항

심사관 : 오순영

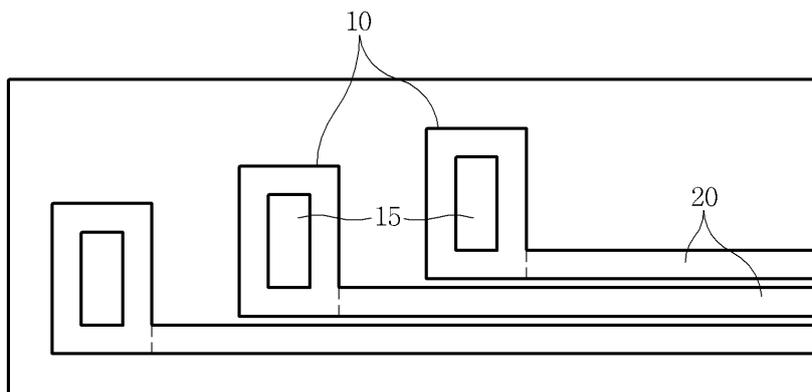
**(54) 반도체 소자의 형성방법**

**(57) 요약**

본 발명은 반도체 소자의 형성방법에 관한 것으로, 특히 셀 패턴의 선폴이 주위 환경의 영향을 덜 받도록 하여 포토 리소그래피 공정의 마진을 향상시키는 반도체 소자의 형성방법에 관한 것이다.

본 발명의 반도체 소자의 형성방법은, 피식각층 상부에 하드마스크층 및 감광막을 형성하는 단계, 상기 감광막이 패드 패턴, 상기 패드 패턴과 연결된 라인 패턴 및 패드 패턴의 중심에 위치하는 더미 패턴을 포함하도록 노광 및 현상하는 단계, 상기 패드 패턴, 라인 패턴 및 더미 패턴을 포함하는 감광막 패턴 측벽에 스페이서를 형성하는 단계, 상기 스페이서를 마스크로 하드마스크층을 식각하여 하드마스크 패턴을 형성하는 단계 및 상기 하드마스크 패턴을 마스크로 상기 피식각층을 식각하여 피식각층 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

**대표도 - 도2**



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

피식각층 상부에 하드마스크층 및 감광막을 형성하는 단계;

상기 감광막이 패드 패턴, 상기 패드 패턴과 연결된 라인 패턴 및 패드 패턴의 중심에 위치하는 더미 패턴을 포함하도록 노광 및 현상하는 단계;

상기 패드 패턴, 라인 패턴 및 더미 패턴을 포함하는 감광막 패턴 측벽에 스페이서를 형성하는 단계;

상기 스페이서를 마스크로 하드마스크층을 식각하여 하드마스크 패턴을 형성하는 단계; 및

상기 하드마스크 패턴을 마스크로 상기 피식각층을 식각하여 피식각층 패턴을 형성하는 단계

를 포함하고,

상기 하드마스크층을 형성하는 단계는,

상기 피식각층 상부에 산화막을 형성하는 단계;

상기 산화막 상부에 비정질 탄소를 포함하는 제 1 하드마스크층을 형성하는 단계; 및

상기 제 1 하드마스크층의 상부에 실리콘 산화질화막을 포함하는 제 2 하드마스크층을 형성하는 단계

를 포함하며,

상기 하드마스크층을 식각하는 단계는,

상기 스페이서를 마스크로 상기 제 2 하드마스크층을 식각하여 제 2 하드마스크 패턴을 형성하는 단계;

상기 제 2 하드마스크 패턴을 마스크로 상기 제 1 하드마스크층을 식각하여 제 1 하드마스크 패턴을 형성하는 단계; 및

상기 제 1 하드마스크 패턴을 마스크로 상기 산화막을 식각하여 산화막 패턴을 형성하는 단계

를 포함하고,

상기 제 1 하드마스크 패턴을 형성하는 단계 후,

상기 제 1 하드마스크 패턴의 상부에 패드 마스크를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

**청구항 6**

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

청구항 5에 있어서,

상기 패드 마스크를 형성하는 단계는,

트랜지스터 마스크를 형성하는 단계와 동시에 이루어지는 것을 특징으로 하는 반도체 소자의 형성방법.

**청구항 7**

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

청구항 5에 있어서,

상기 산화막 패턴은 패드 형상의 산화막 패턴, 라인 형상의 산화막 패턴, 및 상기 패드 형상의 산화막 패턴들을 연결하는 라인 형상의 패턴을 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

**청구항 8**

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

청구항 7에 있어서,

상기 산화막 패턴 중 상기 패드 형상의 산화막 패턴을 연결하는 라인 형상의 산화막 패턴을 식각하여 제거함으로써, 각 패드 형상의 산화막 패턴을 분리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

**청구항 9**

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

청구항 8에 있어서,

상기 패드 형상의 산화막 패턴을 분리하는 단계는,

상기 패드 형상의 산화막 패턴을 연결하는 라인 형상의 산화막 패턴을 노출시키는 커팅 마스크를 형성하는 단계; 및

상기 커팅 마스크로 상기 산화막 패턴을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

**청구항 10**

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

청구항 5에 있어서,

상기 스페이서를 형성하는 단계는,

상기 감광막 패턴을 포함한 하드마스크층 상부에 ULTO(Ultra Low Temperature Oxide) 산화막을 증착하는 단계; 및

상기 ULTO 산화막을 에치백으로 제거하면서, 상기 감광막 패턴의 측벽에만 ULTO 산화막을 잔류시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 소자의 형성방법에 관한 것이다. 보다 상세하게는 SPT 공정이 적용되는 각종 반도체 소자의 형성방법에 관한 것이다.

**배경기술**

[0002] 최근 반도체 소자의 미세화 및 고집적화가 진행됨에 따라 메모리 용량의 증가에 비례하여 전체적인 칩(chip) 면적은 증가되고 있지만 실제로 반도체 소자의 패턴이 형성되는 셀(cell) 영역의 면적은 감소되고 있다. 따라서 원하는 메모리 용량을 확보하기 위해서는 한정된 셀 영역 내에 보다 많은 패턴이 형성되어야만 하므로, 패턴의

선폭(critical dimension)은 감소되면서 점점 미세해 지고 있다. 이와 같이 선폭이 미세한 패턴을 형성하기 위해서 리소그래피 공정(Lithography Process)의 발전이 요구된다.

[0003] 리소그래피 공정이란, 기판 상부에 감광막(photoresist)을 도포하고, 365nm, 248nm, 193nm 및 153nm 등의 파장 길이를 가지는 광원을 이용하여 미세 패턴이 정의된 노광 마스크를 사용하여 감광막에 노광 공정을 수행한 다음, 현상(development) 공정을 수행하여 미세 패턴을 정의하는 감광막 패턴을 형성하는 공정이다.

[0004] 이와 같은 리소그래피 공정은  $R = k1 \times \lambda / NA$ 와 같이 광원의 파장( $\lambda$ )과 개구수(Numerical Aperture : NA)에 따라 그 해상도(R)가 정해진다. 위 식에서 k1은 공정 상수를 의미하는데, 이는 물리적인 한계를 가지므로 통상적인 방법으로 그 값을 감소시키는 것을 거의 불가능하며, 단파장을 이용하는 노광 장치와 함께 상기 단파장에 대해 반응성이 높은 감광막 물질을 새로 개발해야 하므로, 단파장 이하의 선폭을 갖는 미세 패턴을 형성하는 것이 어렵다.

[0005] 따라서 노광 장치의 공정 능력을 고려한 패턴을 이중으로 중첩시킴으로써 노광 장치나 노광 조건의 변경 없이 미세한 패턴이 형성될 수 있도록 하는 더블 패턴링 공정(Double Patterning Technology; 이하 'DPT'라 한다)이 개발되었다. 나아가 이 더블 패턴링 공정과 유사하나 이중 노광이나 이중 패턴링이 필요 없는 스페이서 패턴링 공정(Spacer Patterning Technology; 이하 'SPT'라 한다)이 개발되어 연구되고 있는 실정이다.

[0006] SPT 공정이란 두 피치(pitch) 당 하나의 패턴을 형성한 후 그 패턴의 측벽에 스페이서(spacer)를 형성하면, 한 패턴의 측벽에 두 개의 스페이서가 형성되는 원리를 이용한 공정이다. 이 스페이서를 마스크로 사용하게 되면 1회의 노광 공정만으로 선폭이 미세한 패턴을 형성할 수 있게 된다.

[0007] 도 1은 종래 반도체 소자 중 플래시 메모리 공정에서 SPT 공정이 사용되는 X-decoder 영역을 촬영한 SEM 사진으로, 다수의 패드 패턴(10)과 라인 패턴(20)이 연결되어 형성되어 있다. 이와 같이 패턴 구조가 복잡한 패턴은 SPT 공정으로 구현하기도 용이하지 않고, 면적이 넓은 패드 패턴(10) 때문에 그 주변의 포토리소그래피 공정 마진이 매우 적다.

[0008] 이 결과 도 1의 'A'로 표시된 바와 같이 일부 패드 패턴(10)이 예정보다 넓게 형성되면서 인접한 라인 패턴(20)과 접촉되어 버리는 브릿지(bridge) 현상이 발생하는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위한 것으로, 패드 패턴과 라인 패턴을 포함하는 반도체 소자에서 패드 패턴 중심에 더미 패턴을 형성함으로써, 셀 패턴의 선폭이 주위 환경의 영향을 덜 받도록 하여 포토 리소그래피 공정의 마진을 향상시키는 반도체 소자의 형성방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0010] 상기 목적을 달성하기 위해, 본 발명은 피식각층 상부에 하드마스크층 및 감광막을 형성하는 단계, 상기 감광막이 패드 패턴, 상기 패드 패턴과 연결된 라인 패턴 및 패드 패턴의 중심에 위치하는 더미 패턴을 포함하도록 노광 및 현상하는 단계, 상기 패드 패턴, 라인 패턴 및 더미 패턴을 포함하는 감광막 패턴 측벽에 스페이서를 형성하는 단계, 상기 스페이서를 마스크로 하드마스크층을 식각하여 하드마스크 패턴을 형성하는 단계 및 상기 하드마스크 패턴을 마스크로 상기 피식각층을 식각하여 피식각층 패턴을 형성하는 단계를 포함하여, 셀 패턴의 선폭이 주위 환경의 영향을 덜 받도록 하여 포토 리소그래피 공정의 마진을 향상시키는 것을 특징으로 한다.

[0011] 나아가 상기 하드마스크층을 형성하는 단계는, 피식각층 상부에 산화막을 형성하는 단계, 상기 산화막 상부에 비정질 탄소를 포함하는 제 1 하드마스크층을 형성하는 단계 및 상기 제 1 하드마스크층의 상부에 실리콘 산화막을 포함하여, 인접한 물질층 간 식각선택비 차이를 두는 것을 특징으로 한다.

[0012] 또한 상기 산화막은 TEOS(tetraethyl orthosilicate)를 포함하여 형성되는 것이 바람직하다.

[0013] 아울러 상기 하드마스크층을 식각하는 단계는, 상기 스페이서를 마스크로 상기 제 2 하드마스크층을 식각하여 제 2 하드마스크 패턴을 형성하는 단계, 상기 제 2 하드마스크 패턴을 마스크로 상기 제 1 하드마스크층을 식각하여 제 1 하드마스크 패턴을 형성하는 단계 및 상기 제 1 하드마스크 패턴을 마스크로 상기 산화막을 식각하여 산화막 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

- [0014] 그리고 상기 제 1 하드마스크 패턴을 형성하는 단계 후, 상기 제 1 하드마스크 패턴의 상부에 패드 마스크를 형성하는 단계를 더 포함하여, 패드 형상의 패턴을 형성하는 것을 특징으로 한다.
- [0015] 나아가 상기 패드 마스크를 형성하는 단계는 트랜지스터 마스크를 형성하는 단계와 동시에 이루어짐으로써, 기존 공정에 포토 리소그래피 공정이 추가되지 않는 것을 특징으로 한다.
- [0016] 또한 상기 산화막 패턴은 패드 형상의 산화막 패턴, 라인 형상의 산화막 패턴, 및 상기 패드 형상의 산화막 패턴들을 연결하는 라인 형상의 패턴을 포함하는 것이 바람직하다.
- [0017] 아울러 상기 산화막 패턴 중 상기 패드 형상의 산화막 패턴을 연결하는 라인 형상의 산화막 패턴을 식각하여 제거함으로써, 각 패드 형상의 산화막 패턴을 분리하는 단계를 더 포함하는 것을 특징으로 한다.
- [0018] 그리고 상기 패드 형상의 산화막 패턴을 분리하는 단계는, 상기 패드 형상의 산화막 패턴을 연결하는 라인 형상의 산화막 패턴을 노출시키는 커팅 마스크를 형성하는 단계 및 상기 커팅 마스크로 상기 산화막 패턴을 식각하는 단계를 포함하는 것이 바람직하다.
- [0019] 나아가 상기 스페이서를 형성하는 단계는, 상기 감광막 패턴을 포함한 하드마스크층 상부에 ULTO(Ultra Low Temperature Oxide) 산화막을 증착하는 단계 및 상기 ULTO 산화막을 에치백으로 제거하면서, 상기 감광막 패턴의 측벽에만 ULTO 산화막을 잔류시키는 단계를 포함하는 것이 바람직하다.

**발명의 효과**

- [0020] 본 발명의 반도체 소자의 형성방법은 셀 패턴의 선평이 주위 환경의 영향을 덜 받도록 하여 포토 리소그래피 공정의 마진을 향상시키는 효과를 제공한다.

**도면의 간단한 설명**

- [0021] 도 1은 종래 반도체 소자를 촬영한 SEM 사진;  
 도 2는 본 발명에 따르는 반도체 소자의 구조를 개략적으로 도시한 도면;  
 도 3 내지 도 10은 본 발명에 따르는 반도체 소자의 형성방법을 순차적으로 도시한 평면도 및 단면도; 그리고,  
 도 11은 본 발명에 따르는 반도체 소자 및 그 형성방법의 효과를 나타내는 실험 데이터이다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 이하 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 형성방법의 일실시예에 대해 상세히 설명하기로 한다.
- [0023] 도 2는 본 발명에 따르는 반도체 소자의 구조를 개략적으로 도시한 도면이다. 본 발명에 따르는 반도체 소자는 패드 패턴(10)과 라인 패턴(20)을 포함하는 반도체 소자에서 면적이 큰 패드 패턴(10)의 공정마진을 확보하기 위하여 패드 패턴(10)의 중심에 더미 패턴(15; dummy pattern)을 형성하는 것을 특징으로 한다.
- [0024] 즉 면적이 큰 패드 패턴(10)의 중심 공간을 비워 두는 셈이 되며, 이 결과 후술할 바와 같이 더미 패턴(15)이 없는 종래기술에 비하여 포토리소그래피 공정 마진을 향상시킬 수 있고, 패드 패턴(10) 주위에서 발생하는 브릿지 현상을 방지할 수 있게 된다.
- [0025] 도 3 내지 도 10은 본 발명에 따르는 반도체 소자의 형성방법을 순차적으로 도시한 평면도 및 단면도이다. 도 3 내지 도 10에서 (a)는 평면도이고, (b)는 각 (a)에서 B-B' 선을 따른 단면도이다.
- [0026] 먼저 도 3 (b)의 단면도를 참조하면, 피식각층(30), 산화막(40), 제 1 하드마스크층(50), 제 2 하드마스크층(60)을 순차적으로 형성한다. 여기서 피식각층(30)의 하부에는 실리콘 기판(Silicon substrate) 또는 소정의 반도체 소자들이 형성된 층이 존재할 수 있다. 피식각층(30)은 최종적인 패턴이 될 물질로서, 도전층인 폴리실리콘(poly silicon)층인 것이 바람직하다.
- [0027] 산화막(40)과 제 1 및 제 2 하드마스크층(50, 60)은 피식각층(30)을 식각하기 위한 하드마스크(hard mask) 역할을 하는 층으로, 산화막(40)은 TEOS(tetraethyl orthosilicate), 제 1 하드마스크층(50)은 비정질 탄소(amorphous carbon)층, 제 2 하드마스크층(60)은 실리콘 산화질화막(SiON)층을 포함하는 것이 바람직하다. 산화막(40) 내지 하드마스크층(50, 60)은 이러한 물질에 제한되지는 않고, 서로 인접한 상하부층 간 식각선택비가

서로 상이하여 한 층씩 식각하여 패터닝하는 것이 용이한 물질로 형성되면 족하다.

- [0028] 그리고 제 2 하드마스크층(60)의 상부에 감광막(미도시)을 증착한 뒤, 소정 패턴이 미리 형성된 레티클(reticle)을 이용한 노광(expose) 및 현상(development) 공정을 통하여 감광막 패턴(70, 72)을 형성한다.
- [0029] 이 때 도 3 (a)의 평면도를 참조하면, 제 2 하드마스크층(60)의 상부에 감광막 패턴(70, 72)이 패드 패턴(10)과 라인 패턴(20)을 형성할 수 있도록 형성된다. 그리고 패드 패턴(10)의 중심부에는 더미 패턴(15)을 형성할 수 있는 감광막 패턴(72)이 형성된다.
- [0030] 다음으로 도 4를 참조하면, 감광막 패턴(70, 72)의 측벽에 스페이서(80)를 형성한다. 이 스페이서(80)는 산화막 재질이며 ULTO(Ultra Low Temperature Oxide)인 것이 바람직하다. 스페이서(80)를 형성하는 공정은, 감광막 패턴(70, 72)을 포함한 제 2 하드마스크층(60)의 상부에 산화막을 증착한 후 에치백 공정을 실시함으로써 감광막 패턴(70, 72)의 측벽에만 산화막을 잔류시키는 방식을 이용하는 것이 바람직하다.
- [0031] 이후 도 5에 도시된 바와 같이, 감광막 패턴(70, 72)은 제거하고 스페이서(80)를 마스크로 제 2 하드마스크층(60)을 식각하여 제 2 하드마스크 패턴(65)을 형성한다.
- [0032] 다음으로 도 6에 도시된 바와 같이, 스페이서(80)를 먼저 제거한 후 제 2 하드마스크 패턴(65)을 마스크로 제 1 하드마스크층(50)을 식각하여, 제 1 하드마스크 패턴(55)을 형성한다.
- [0033] 이후 도 7을 참조하면, 제 2 하드마스크 패턴(65)을 먼저 제거하고, 제 1 하드마스크 패턴(55)을 포함한 산화막(40)의 전면에 패드 마스크(74)를 형성한다. 이 패드 마스크(74)는 트랜지스터 마스크(76)를 형성하는 공정과 동시에 진행되어, 기존의 반도체 소자 제조공정에 추가적인 포토 리소그래피 공정이 불필요하도록 하는 것이 바람직하다.
- [0034] 다음으로 도 8에 도시된 바와 같이, 제 1 하드마스크 패턴(55) 및 패드 마스크(74)를 마스크로 산화막(40)을 식각하여, 산화막 패턴(45)을 형성한다. 이 산화막 패턴(45)은 패드 형상의 산화막 패턴(45a)과 라인 형상의 산화막 패턴(45b)을 포함하며, 패드 형상의 산화막 패턴(45a)들을 서로 연결하며 형성된 라인 형상의 산화막 패턴(45c) 및 트랜지스터 형상의 산화막 패턴(45d)도 포함한다. 이 중 라인 형상의 산화막 패턴(45c)은 도 9에 도시된 바와 같이 추후 제거되면서 패드 형상의 산화막 패턴(45a)들을 분리시키게 된다.
- [0035] 이후 도 9를 참조하면, 패드 형상의 산화막 패턴(45a)을 분리시키기 위하여 산화막 패턴(45c)을 제거하기 위한 커팅 마스크(78; cutting mask)를 소정 패턴으로 형성한다. 이 커팅 마스크(78)는 감광막 패턴으로 포토리소그래피 공정에 의해 형성되는 것이 바람직하다.
- [0036] 마지막으로 도 10에 도시된 바와 같이, 커팅 마스크(78)를 마스크로 산화막 패턴(45) 중 일부의 산화막 패턴(45a)을 식각하여 제거함으로써 패드 형상의 산화막 패턴(45a)들을 분리시킨다. 이 결과 패드 형상의 산화막 패턴(45a), 라인 형상의 산화막 패턴(45b) 및 트랜지스터 형상의 산화막 패턴(45d)이 형성된다. 이후 도시하지 않았으나, 이들 산화막 패턴(45a, 45b, 45d)을 마스크로 피식각층(30)을 식각하여, 도 10에 도시된 산화막 패턴(45)과 동일한 형태의 피식각층 패턴(미도시)을 형성한다.
- [0037] 도 11은 본 발명에 따르는 반도체 소자 및 그 형성방법의 효과를 나타내는 실험 데이터이다. 도 11에서 (a)는 더미 패턴이 없는 종래기술에 따른 패터닝의 시뮬레이션 결과이고, (b)는 더미 패턴이 있는 본 발명에 따른 패터닝의 시뮬레이션 결과이다. 그리고 (c)는 노광조건에 베스트 포커스(best focus)인 상태에서, 더미 패턴이 없는 종래기술과 더미 패턴이 있는 본 발명에서의 콘트라스트(contrast) 값을 측정된 데이터이고, (d)는 노광조건이 '-60 nm 디포커스(defocus)'인 상태에서 (c)와 동일하게 콘트라스트 값을 측정된 데이터이다.
- [0038] 먼저 (a)와 (b)를 참조하면 종래기술인 (c)에서는 패드 패턴이 (d)에서의 패드 패턴보다 더 크게 형성되는 점을 확인할 수 있다. 그리고 (c) 및 (d)에서 본 발명 및 종래기술의 데이터는, 각각 (a)의 D-D' 선을 따른 콘트라스트 값 및 (b)의 E-E' 선을 따른 콘트라스트 값을 나타낸다.
- [0039] 도 11의 (c) 및 (d)를 참조하면, 본 발명에서는 (c)베스트 포커스일 경우와 (d)디포커스일 경우 모두 콘트라스트가 크게 차이가 나지 않음을 알 수 있다. 그러나 종래기술에서는 (c)베스트 포커스일 경우와 (d)디포커스일 경우 모두 좌측 영역에서 콘트라스트가 급격히 변화하는 모습을 나타낸다('C' 참조). 또한 (c) 및 (d)의 중심 영역('D' 참조)에서의 콘트라스트 변화량도 종래기술에 비하여 본 발명이 더 적어 노광조건이 안정적이라는 결과를 나타낸다.
- [0040] 본 발명은 DRAM(Dynamic Random Access Memory), 플래시 메모리, PCRAM(Phase Change RAM) 등 SPT 공정이 적용

될 수 있는 어떠한 반도체 소자에도 적용이 가능하며, 특히 플래시 메모리에서 게이트 엑스 디코더(Gate X-decoder) 영역에 직접 적용 가능한 발명이다.

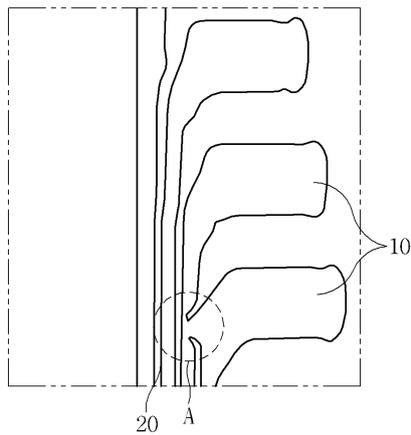
[0041] 본 발명은 기재된 실시예에 한정하는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않는 한 다양하게 수정 및 변형을 할 수 있음은 당업자에게 자명하다고 할 수 있는 바, 그러한 변형예 또는 수정예들은 본 발명의 특허 청구범위에 속하는 것이다.

**부호의 설명**

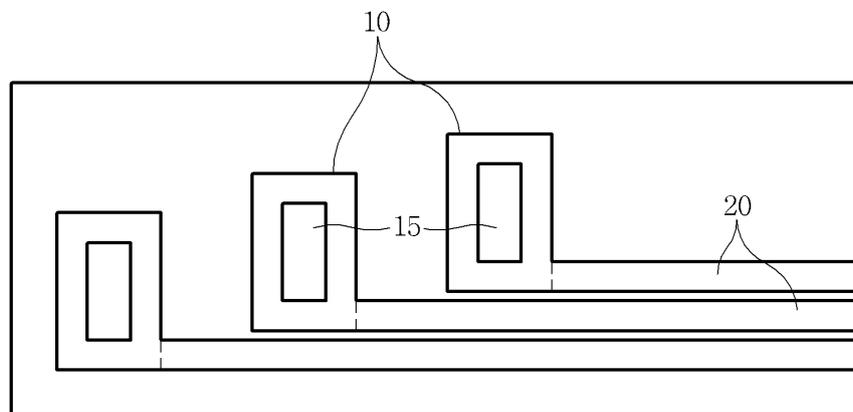
- [0042]
- |                |                |
|----------------|----------------|
| 10 : 패드 패턴     | 15 : 더미 패턴     |
| 20 : 라인 패턴     | 30 : 피식각층      |
| 40 : 산화막       | 50 : 제 1 하드마스크 |
| 60 : 제 2 하드마스크 | 70 : 감광막       |
| 72 : 더미 감광막    | 74 : 패드 마스크    |
| 76 : 트랜지스터 마스크 | 78 : 커팅 마스크    |
| 80 : 스페이서      |                |

**도면**

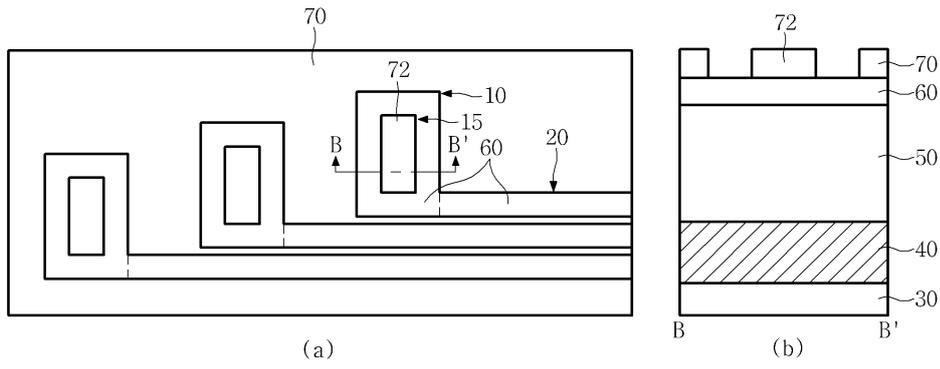
**도면1**



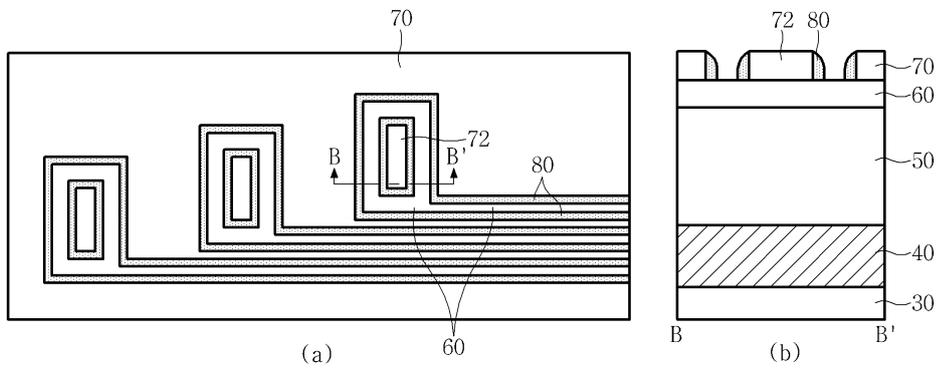
**도면2**



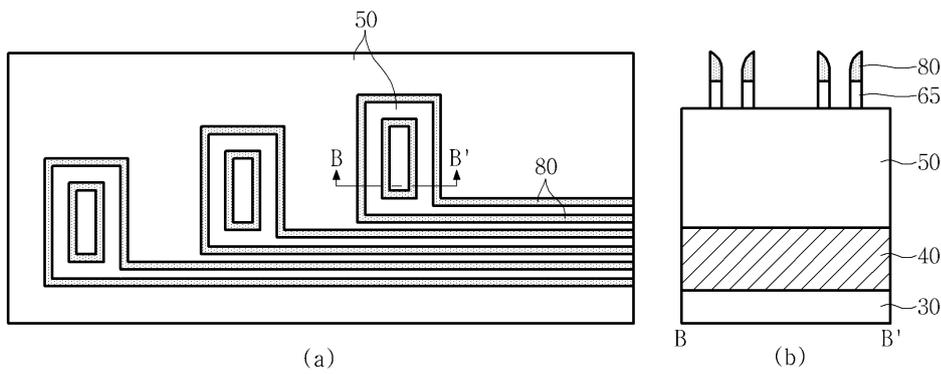
도면3



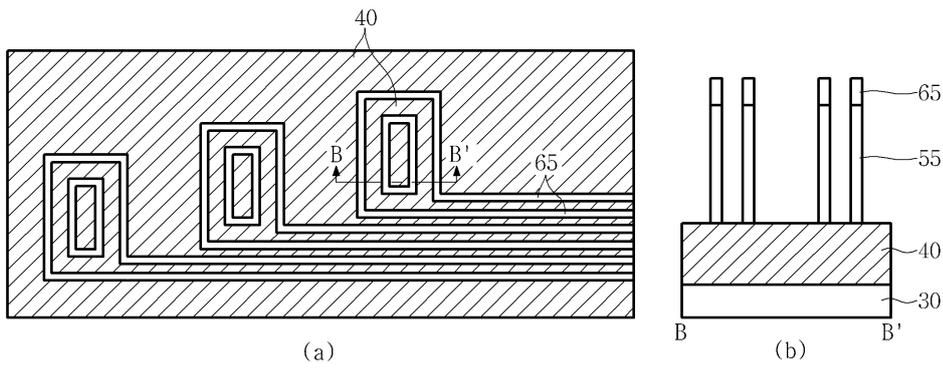
도면4



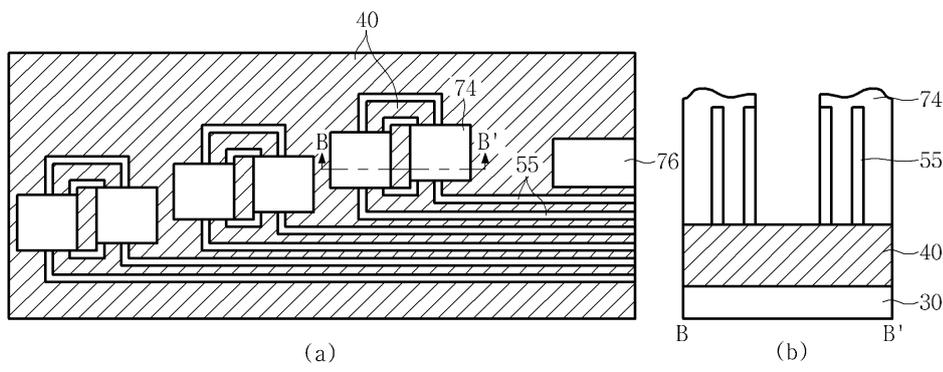
도면5



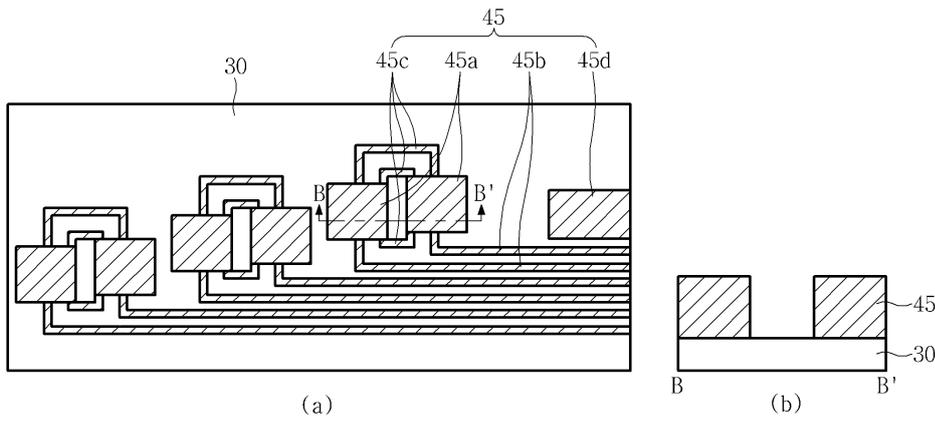
도면6



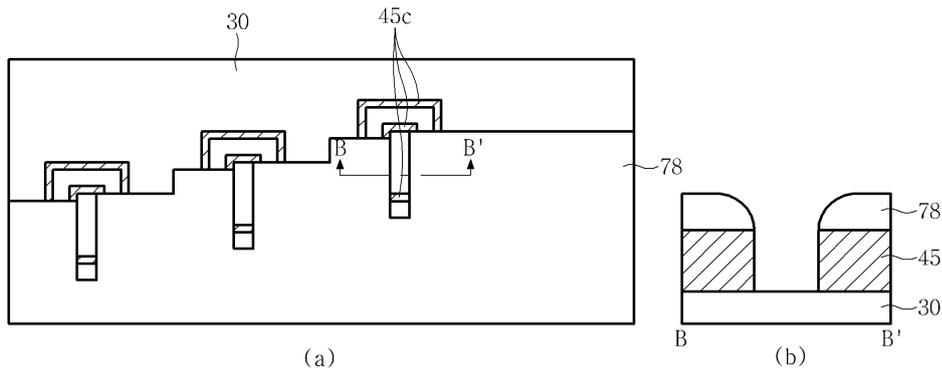
도면7



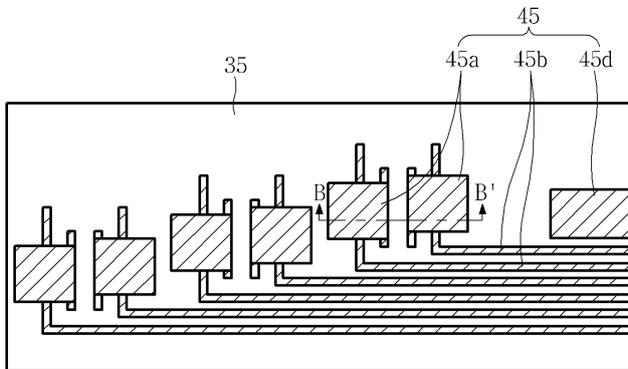
도면8



도면9



도면10



도면11

