

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-163472
(P2004-163472A)

(43) 公開日 平成16年6月10日(2004.6.10)

(51) Int. Cl.⁷ F I テーマコード (参考)
 G03 F 1/08 D 2H095
 H01 L 21/027 H01 L 21/30 5O2P

審査請求 未請求 請求項の数 15 O L (全 28 頁)

(21) 出願番号	特願2002-326056 (P2002-326056)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年11月8日 (2002. 11. 8)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	小澤 謙 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	新倉 千恵 愛知県名古屋市西区康生通2丁目20番地1 株式会社メイテック内
		Fターム(参考)	2H095 BB02 BB36 BE01

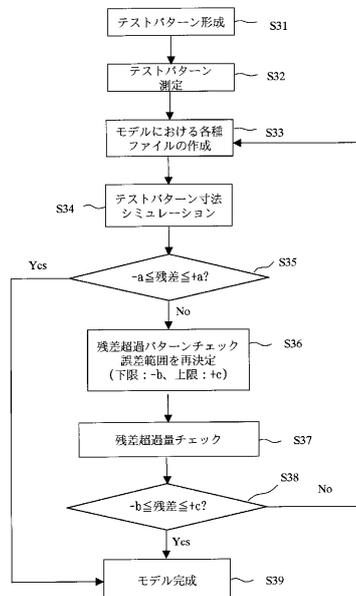
(54) 【発明の名称】 フォトマスクの設計方法、フォトマスク、及び半導体装置

(57) 【要約】

【課題】 OPCの精度を維持しながら、OPCを容易に実施でき、設計に要する時間を短縮できるフォトマスク設計方法、その方法を用いて作成されたフォトマスク、及びそのフォトマスクを用いて製造された半導体装置を提供する。

【解決手段】 モデルベースOPCにおいて、テストパターンの線幅の実測結果とモデルによる計算結果を比較し、まず、フィッティング残差が誤差許容範囲(- a、 + a) 以内であるか否かを判断する。この誤差許容範囲以外の場合は、フィッティング残差がパターンの上下層との接続関係や接続などの特性に与える影響を分析し、実際に必要な誤差許容範囲(- b、 + c) を決定する。フィッティング残差が(- a、 + a) を越えている測定箇所、そのフィッティング残差が(- b、 + c) に入っていれば、フィッティング精度が十分高いとし、モデルの検証が完成する(a、 b、 c は定数である)。

【選択図】 図20



【特許請求の範囲】**【請求項 1】**

形成する目標パターンを構成しうる複数のテストパターンを形成し、当該テストパターンの寸法を測定する工程と、

前記テストパターン寸法の測定結果を用い、前記テストパターンの寸法を計算するモデルを抽出する工程と、

前記モデルによるテストパターン寸法の計算結果と前記テストパターン寸法の測定結果との差は、所定の誤差範囲内になるまで、前記モデルにおけるパラメータを調整する工程と、

前記調整されたモデルによって、前記目標パターンを形成するためのフォトマスクに対する補正を求める工程と

を有し、

前記誤差範囲を、前記目標パターンの半導体装置における特性によって決める

フォトマスク設計方法。

【請求項 2】

前記誤差範囲は、所定の最小値から最大値までとなり、

前記最小値と最大値を、前記目標パターンの半導体装置における特性によって独立に決める

請求項 1 に記載のフォトマスク設計方法。

【請求項 3】

前記目標パターンは、半導体装置における配線パターンとなるライン状パターンを含み、

前記誤差範囲の最小値と最大値を、前記配線パターンと該配線パターンに接続するコンタクトホールとの接続状態に応じて決める

請求項 2 に記載のフォトマスク設計方法。

【請求項 4】

前記目標パターンは、半導体装置における配線パターン間溝となる溝状ラインパターンを含み、

前記誤差範囲の最小値と最大値を、前記溝状ラインパターン両側の前記配線パターンと、該配線パターンに接続するコンタクトホールとの接続状態に応じて決める

請求項 2 に記載のフォトマスク設計方法。

【請求項 5】

前記モデルによって、前記目標パターンを形成するためのフォトマスクに対する光接近効果補正 (OPC) を求める

請求項 1 に記載のフォトマスク設計方法。

【請求項 6】

目標パターンを形成するための補正が施されたフォトマスクであって、

前記補正の量は、予め形成された複数のテストパターンの寸法の測定結果とモデルによる当該テストパターンの寸法の計算結果の差が、前記目標パターンの半導体装置における特性によって決められた誤差範囲内となるように求められる

フォトマスク。

【請求項 7】

前記誤差範囲は、所定の最小値から最大値までとなり、

前記最小値と最大値が、前記目標パターンの半導体装置における特性によって独立に決められる

請求項 6 に記載のフォトマスク。

【請求項 8】

前記目標パターンは、半導体装置における配線パターンとなるライン状パターンを含み、

前記誤差範囲の最小値と最大値が、前記配線パターンと該配線パターンに接続するコンタクトホールとの接続状態に応じて決められる

請求項 7 に記載のフォトマスク。

10

20

30

40

50

【請求項 9】

前記目標パターンは、半導体装置における配線パターン間溝となる溝状ラインパターンを含み、
前記誤差範囲の最小値と最大値が、前記溝状ラインパターン両側の前記配線パターンと、
該配線パターンに接続するコンタクトホールとの接続状態に応じて決められる
請求項 7 に記載のフォトマスク。

【請求項 10】

光接近効果補正が施された OPC 補正マスクパターンを含み、
前記光接近効果補正の補正量は前記モデルによって求められる
請求項 6 に記載のフォトマスク。

10

【請求項 11】

補正が施されたフォトマスクを用いて形成された目標パターンを含む半導体装置であって、
前記補正の量は、予め形成された複数のテストパターンの寸法の測定結果とモデルによる
当該テストパターンの寸法の計算結果の差が、前記目標パターンの半導体装置における特
性によって決められた誤差範囲内となるように求められる
半導体装置。

【請求項 12】

前記誤差範囲は、所定の最小値から最大値までとなり、
前記最小値と最大値が、前記目標パターンの半導体装置における特性によって独立に決め
られる
請求項 11 に記載の半導体装置。

20

【請求項 13】

前記目標パターンは、配線パターンを含み、
前記誤差範囲の最小値と最大値が、前記配線パターンと該配線パターンに接続するコンタ
クトホールの接続状態に応じて決められる
請求項 12 に記載の半導体装置。

【請求項 14】

前記目標パターンは、配線パターン間溝を含み、
前記誤差範囲の最小値と最大値が、前記配線パターン間溝両側の前記配線パターンと該配
線パターンに接続するコンタクトホールの接続状態に応じて決められる
請求項 12 に記載の半導体装置。

30

【請求項 15】

前記フォトマスクは、光接近効果補正が施された OPC 補正マスクパターンを含む
請求項 11 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置などの製造に用いられるフォトマスクの設計方法、その設計方法を用いて形成したフォトマスク、およびそのフォトマスクを用いて製造された半導体装置に
関する。

40

【0002】

【従来の技術】

電子デバイスの微細化と集積回路の高集積化が進み、半導体設計パターンの寸法は露光波
長よりも短くなってきた。例えば、MOS トランジスタのゲート電極のゲート長はいわゆる
ディープサブミクロンの微細幅となっており、また、電子デバイスにおいてコンタクト
ホール及びビアホールパターンの幅とピッチの更なる縮小が要求されている。

【0003】

集積度の向上とともに、高速で大容量のデータを処理できるようにするために、半導体装
置では、例えば DRAM などのメモリ素子とロジック素子を同一チップ上に同時に形成す

50

る、いわゆるメモリセルとロジック素子を混載することが近年行われている。このような半導体装置では、密なパターンと疎なパターンとを同一チップ上に形成する必要がある。具体的に、メモリ素子のパターンが密集して規則正しく配置されているのに対して、ロジック素子のパターンが比較的疎にランダムに配置されている。

【0004】

半導体装置のパターンが微細化され、かつ複雑化されると、回路パターンの加工精度が低下する。例えば、ゲートパターンを同一の設計間隔と設計幅でフォトマスクに形成し、当該フォトマスクを用いて露光とエッチングによってウェハ上に転写すると、ウェハ上に形成されるゲートパターンのサイズと間隔が異なるものになってしまう。これにより、半導体装置の特性の変動を生じ、集積回路としての性能や歩留まりが低下する。

10

【0005】

加工精度低下の要因としては、例えば、プロセスの不安定性による線幅の変動や、フォトマスク上の線幅の変動や、パターン疎密への依存性によりフォトマスク上及び半導体基板上の線幅の変動などが挙げられる。これらは、半導体装置の製造プロセスにおいて、主に用いられる製造技術、例えば、フォトリソグラフィや、エッチングなどに起因する。

【0006】

フォトリソグラフィ技術は、半導体装置の製造工程において、半導体基板上に半導体素子用のパターンを形成するために主に用いられている技術である。フォトリソグラフィでは、縮小投影露光装置によりフォトマスク（透明領域と遮光領域からなるパターンが形成された露光用原板であり、縮小率が1：1でない場合は特にレチクルとも呼ばれるが、こ

20

【0007】

これまでのフォトリソグラフィ技術においては、主に露光装置の開発、とりわけ短波長化、及び投影レンズ系の高NA化により解像度を向上させ、半導体素子の微細化へ対応してきた。ここでNAは開口数と呼ばれ、この値が大きいほど高い解像度が得られる。一般にレーリー（Rayleigh）の式としてよく知られているように、フォトリソグラフィの光の波長を λ とすれば、露光装置の限界解像度 R （解像できる限界の微細パターンの寸法）とNAには、 $R = k_1 \cdot \lambda / NA$ の関係があり、NAを大きくするほど限界解像度はより微細になる。ここで、係数 k_1 はレジストの性能などに依存する定数である。

30

【0008】

ところが、半導体基板上にパターンを形成する際に、露光対象となる表面に段差のある場合が多くある。このような段差のある面に対して微細パターンを形成するに、解像度だけでなく、焦点深度の確保も重要である。

焦点深度DOF（Depth of Focus）は、許容される焦点位置のずれの範囲であり、 $k_2 \cdot \lambda / (NA)^2$ で決定される。係数 k_1 と同じように、係数 k_2 がレジスト等の特性に依存する定数である。

解像度 R と焦点深度DOFの定義から分かるように、短波長化、高NA化により解像度が向上するが、同時に、焦点深度DOFが (NA) の2乗に比例して急激に減少する。すなわち、NAを大きくする程焦点深度は狭くなり、わずかな焦点位置のずれも許容できなくなる。したがって、焦点深度の点で更なる微細化が困難となる。

40

【0009】

そこで、パターン微細化に対応し、解像度と焦点深度両方を確保するために、様々な超解像手法が検討されるようになってきた。一般に、超解像手法とは、照明光学系、フォトマスク、および投影レンズ系瞳面における透過率および位相を制御することにより結像面の光強度分布を改善する手法である。

また各種超解像手法の中でも、照明光学系の最適化による解像特性の向上、いわゆる変形照明法は実現性が高く近年特に注目を集めている。

一般に、露光装置の照明光学系では円形の光源（有効光源）にてフォトマスクを照明して

50

いる。この有効光源の形状を制御し解像特性を改善する手法が一般に変形照明法、或は、斜入射照明法、或は、2光束照明法と呼ばれる超解像手法である。変形照明では、フォトマスクを照明する光の入射角度を制限することから、微細パターンに対する焦点深度を確保することができる。

【0010】

フォトリソグラフィにおいて、垂直にフォトマスクに照射する光について、フォトマスク面で微細のパターンによる0次、±1次、±2次などの回折光がリソグラフィの投影光学系の瞳に照射する。一般に、2次以降の回折光が瞳によりカットされるように設定すれば、ウェハ上に0次、±1次回折光の干渉によって像が形成され、いわゆる3光束干渉である。

10

斜めにフォトマスクを照明する光の場合は、+1次、-1次のいずれかが瞳によってカットされて、2光束干渉によって像が形成され、いわゆる2光束干渉である。2光束干渉の解像度は3光束干渉の方より高く、ウェハ面上への波面の収束角度が小さいため、得られる焦点深度DOFも大きい。

【0011】

有効光源の形状を変化させ、変形照明法を用いる手段として、通常、フライアイレンズの直後に様々な形状の絞りあるいはフィルターを配置している。なお、この手法は有効光源の形状(絞りの形状)により区別され、例えば、絞りの中央部を遮光してリング型の照明光源を用いる照明法は輪帯照明法と呼ばれている。

また周辺の4隅のみ開口した絞りを用いる照明法は4極照明法と呼ばれている。

20

光源の中央部を遮蔽すると、フォトマスクへの入射角度が制限されるので、3光束干渉による像成分が減少し、軸外照明による2光束干渉成分を多くする。これによって、微細パターンに対する焦点深度を確保しながら、解像度を改善する。

【0012】

また、変形照明法のほかにも、フォトマスク側の改善による超解像手法である、位相シフトマスクの検討も盛んに行われている。特にハーフトーン方式位相シフトマスクは製造方法が他の位相シフトマスクに比べ容易であり、かつマスクデータの設計も容易であるという利点があり、特に注目されている。

ここで、ハーフトーン方式とは、通常マスクの遮光膜の代わりに半透明膜を用い、半透明膜を透過する光とその周辺の透明領域を透過する光に180度の位相差が生じるように設定した位相シフトマスクである。半透明膜の材料としては、酸化窒化クロム、酸化窒化モリブデンシリサイド、あるいはフッ化クロム等が用いられ、その透過率は4%~10%の範囲が一般的である。

30

【0013】

ハーフトーン方式位相シフトマスクにおいては、透明領域と半透明領域の境界部では位相の180度異なった光同士の干渉により光強度が低下し、光強度分布がより急峻になるため、焦点深度は深くなり、フォトリソグラフィの解像度も向上する。ただし、この干渉による光強度低下(透明領域-半透明領域の境界付近における)のため、所望の感光性樹脂パターンの寸法を得るためには、透明領域の寸法を大きくする補正(マスクバイアス)が必要になる。

40

【0014】

これら超解像技術に加えて解像限界近くのパターン形成においては、光近接効果(Optical Proximity Effect)の影響が顕著になり、フォトマスクのマスクパターンを正確にウェハに転写することができなくなる。

具体的には、フォトリソグラフィの際、露光装置の限界解像力付近まで微細化されたレイアウトパターンをフォトレジスト膜等に露光転写すると、フォトマスク上の微細なパターンを通過した近接する光束同士が光干渉し、露光像が歪み、フォトマスクのマスクパターンを正確に転写することができず、ウェハ上のパターンの形状および寸法が変化する。また、光近接効果は、周辺のパターンの配置に影響され、パターンが密な程顕著に現れる。

【0015】

50

光近接効果によって観測される現象は、直角パターンの角が丸くなる (corner rounding)、線パターンの端部が短くなる (line shortening)、パターン細り、パターン太り、及びパターン疎密依存性がある。

【0016】

これら光近接効果の影響を抑制するために、光近接効果を補償する補正をあらかじめフォトマスクに施す、いわゆる、光近接効果補正 (Optical Proximity Effect Correction、以下OPCと呼ぶ) 手法が盛んに検討されるようになってきている。この手法は、光近接効果を見込んで設計データにあらかじめ補正を加え (OPCパターンと言う)、レイアウトデータを変形させておくことにより所望の感光性樹脂パターンを得る方法である。

10

このようなOPC手法には、単純にマスクパターンのサイズを変える方法 (マスクバイアスという。なお、パターンの一部のサイズを変える方法は特にジヨグと言い区別される) や、パターンの角に解像限界以下の微細パターンを配置するハットおよびセルフ等の方法がある。

【0017】

OPCは、補正のバイアス量 (以降、補正量と呼ぶ) の決定方法から、一般にルールベースOPCとモデルベースOPCに大別されている。

ルールベースOPCでは、マスクパターンの大きさや形状、隣接するマスクパターンとの近接状況等のマスクパターンの属性やその他のプロセス条件などから、パターンの露光工程毎に、マスクパターン各エッジに対する補正量を決定する。

20

ルールベースOPCでは、予め用意した補正ルール作成用フォトマスクを用いてウェハ上にパターンを形成し、そして、形成されたパターンの線幅を測定し、測定結果に基づいて補正テーブルを作成する。次に、この補正テーブルを用いてレイアウトパターンデータを修正して新たな設計フォトマスクを製造する。

【0018】

それに対し、モデルベースOPCでは、演算装置を用いて補正量を算出する関数を抽出する。

まずは、予め用意した「テストパターン」を用いてウェハ上にパターンを形成し、そして、形成されたパターンの線幅などを測定し、演算装置に前記測定結果を入力し、半導体装置 (半導体デバイス) の製造プロセスのシミュレーションを行なう数式モデルを作成する、即ち、モデル抽出を行なう。なお、実際の半導体装置の回路では、様々な形状、大きさのパターンが存在するが、モデルベースOPCでは、設計上許可されているあらゆるレイアウトパターンを代表しうる単純化されたパターンの集合体をテストパターンとして用いる。

30

次に、抽出されたモデルを用いて、演算装置で目標となるパターンに対応するレイアウトデータを用いてウェハ上に形成されるパターンをシミュレーションし、シミュレーションしたパターンの変形や寸法変動を抽出し、その結果から、レイアウトデータに対して、目標パターンを形成できる補正マスクパターン各辺の補正量を決定する。

【0019】

半導体装置 (半導体デバイス) の製造プロセスのシミュレーション、すなわちプロセスシミュレーションとは、半導体装置を実際に製造することなく、フォトリソグラフィプロセス、イオン注入プロセス、拡散プロセスなどの半導体装置の製造過程における各プロセスを演算装置を用いてシミュレーションし、各部分の形状や不純物の濃度分布などを予測するものである。本発明におけるプロセスシミュレーション (以下シミュレーション) の結果は、プロセスモデルと呼ばれる数式モデルにより、パターンが形成された後の寸法、必要な補正量が算出される。即ち、シミュレーションによって、フォトマスクの理想的な補正及び確認を事前に行うことが可能となる。

40

【0020】

ルールベースOPCでは、OPCの計算処理時間が高速であり、パターンデータのデータ量がそれほど増加しないが、ウェハ上に形成されたパターンの精度を確保できない場合が

50

ある。また、マスクパターンの属性及び周辺のマスクパターンとの位置関係などの事項を細かく規定する必要があり、複雑である。

モデルベースOPCでは、マスクパターンの各辺を細分化してパターンエッジ分割を行ない、シミュレーションを行ない、その結果に基づいて補正量を決定し、補正OPCパターンを生成するので、マスクパターンの属性及び周辺のマスクパターンとの位置関係について規定せず、マスクパターンの形状を高い精度でフォトマスクに再現させることができる。

【0021】

しかしながら、実際の半導体デバイスの製造においてマスクパターンのデータは非常に複雑かつ膨大であり、数十万～数百万もの図形で構成されているのが通常である。このような膨大なデータ量を持つパターンに対して微細加工精度を最適化するために、全てのマスクパターン、かつ、各マスクパターンの全体についてシミュレーションを行ないOPCを実施することは、時間及びコストの点から当然不可能であり、通常、前述のように、テストパターンを用いて、ある範囲内に汎用のモデルを抽出し、それを用いて形成するパターンをシミュレーションし、OPC補正マスクを求める。

10

【0022】

たとえば特許文献1に示されている方法では、特定のパターンデータに対してシミュレーションを行なうとともに、この特定のパターンデータを用いて露光を行った場合に形成されるパターン分布をシミュレーションし、これらと比較することにより、これらの差が許容値以下となるようにこのパターンデータを補正するようにしたものである。

20

【0023】

【特許文献1】

特開平11-184064号公報

【0024】

【発明が解決しようとする課題】

しかしながら、半導体装置の高集積・高速動作が求められる為、パターン線幅の微細化が進んでおり、またパターンの密度が異なるメモリ部とロジック部を同時に作成する等、回路も複雑となっている。したがって、OPCを実施するためのモデルを確立するのに必要なマスクパターンの形状が多く、処理が煩雑であり、OPCの実施に膨大な時間を要する状況は改善されていない。

30

【0025】

本発明は、以上の実情に鑑みてなされ、その目的は、OPCの精度を維持しながら、OPCを容易に実施でき、要する時間を短縮できるフォトマスク設計方法、その方法を用いて作成されたフォトマスク、及びそのフォトマスクを用いて製造された半導体装置を提供することにある。

【0026】

【課題を解決するための手段】

本発明によるフォトマスク設計方法は、形成する目標パターンを構成しうる複数のテストパターンを形成し、当該テストパターンの寸法を測定する工程と、前記テストパターン寸法の測定結果を用い、前記テストパターンの寸法を計算するモデルを抽出する工程と、前記モデルによるテストパターン寸法の計算結果と前記テストパターン寸法の測定結果との差は、所定の誤差範囲内になるまで、前記モデルにおけるパラメータを調整する工程と、前記調整されたモデルによって、前記目標パターンを形成するためのフォトマスクに対する補正を求める工程とを有し、前記誤差範囲を、前記目標パターンの半導体装置における特性によって決める。

40

好ましくは、前記誤差範囲は、所定の最小値から最大値までとなり、前記最小値と最大値を、前記目標パターンの半導体装置における特性によって独立に決める。

【0027】

好ましくは、前記目標パターンは、半導体装置における配線パターンとなるライン状パターンを含み、前記誤差範囲の最小値と最大値を、前記配線パターンと該配線パターンに接

50

続するコンタクトホールとの接続状態に応じて決める。

或は、前記目標パターンは、半導体装置における配線パターン間溝となる溝状ラインパターンを含み、前記誤差範囲の最小値と最大値を、前記溝状ラインパターン両側の前記配線パターンと該配線パターンに接続するコンタクトホールとの接続状態に応じて決める。

【0028】

好ましくは、前記モデルによって、目標パターンを形成するためのフォトマスクに対する光接近効果補正(OPC)を求める。

【0029】

本発明によるフォトマスクは、目標パターンを形成するために補正が施されたフォトマスクであって、前記補正の量は、予め形成された複数のテストパターンの寸法の測定結果とモデルによる当該テストパターンの寸法の計算結果の差が、前記目標パターンの半導体装置における特性によって決められた誤差範囲内となるように求められる。

10

前記誤差範囲は、所定の最小値から最大値までとなり、前記最小値と最大値は、前記目標パターンの半導体装置における特性によって独立に決められる。

【0030】

本発明による半導体装置は、補正が施されたフォトマスクを用いて形成された目標パターンを含む半導体装置であって、前記補正の量は、予め形成された複数のテストパターンの寸法の測定結果とモデルによる当該テストパターンの寸法の計算結果の差が、前記目標パターンの半導体装置における特性によって決められた誤差範囲内となるように求められる。

20

好ましくは、前記誤差範囲は、所定の最小値から最大値までとなり、前記最小値と最大値は、前記目標パターンの半導体装置における特性によって独立に決められる。

【0031】

以上の本発明によれば、テストパターンを形成し、その寸法を測定し、その測定結果を用い、プロセスモデルを抽出してフォトマスクに対する補正を求める時は、計算で得られたテストパターンの寸法と測定したテストパターンの寸法との差を、関わる目標パターンの誤差が半導体装置の特性に与える影響を考慮して決める。目標パターンの該半導体装置における特性より、パターンのモデル計算の誤差の許容範囲を合理に定めていれば、合理的なモデル抽出が容易に達成でき、フォトマスクパターンの設計に要する時間が短くなる。

30

【0032】

【発明の実施の形態】

次に、本発明の実施形態について、添付の図面を参照して詳細に説明する。

以下の実施形態において、OPCを施すためのOPC補正フォトマスクを例として用いて述べる。

第1の実施形態

光近接効果補正(OPC)を施すために、フォトマスクの各辺に対する補正の量を決定する。本実施形態では、モデルによってその補正量を求める、いわゆるモデルベースOPCである。

【0033】

図1は、本実施形態に係るモデルベースOPCにおいて処理の概略を示すフローチャートである。

40

ステップS1:

半導体装置の製造プロセスのシミュレーションを行なうモデルを抽出し、検証する。

モデルの抽出と検証は、実際に半導体基板上に形成されたテストパターンの線幅の測定結果に基づいて行なう。そのテストパターンのパターン線幅の測定結果と抽出されたモデルによるシミュレーション結果の差は、規定された誤差範囲以内となるように、モデルに用いられている各種のパラメータデータを修正する。

これによって、シミュレーションに用いるモデルを確立する。この処理はモデルフィッティングという。

【0034】

50

図2は、上記のプロセスモデル抽出する工程を概念的に示す図である。

図2において、一例として、転写・加工後のプロセスモデルの抽出方法を示している。

まず、テストパターン104の設計値であるレイアウトデータ101を用いて、テストパターンのフォトマスク102（以下、テストマスクと呼ぶ）を用意する。テストパターンとして、設計上許可されているあらゆるレイアウトパターンを代表するパターンを用いる。

続いて、例えば、ウェハ103上に感光性樹脂を塗布し、テストマスク102を感光性樹脂に転写して感光性樹脂パターンを形成する。次に、この感光性樹脂パターンをマスクにして、ウェハ103にエッチング処理を施し、テストパターン104を形成する。

【0035】

そして、テストパターン104のパターン幅や、パターン間のスペース距離を実際に測定する。その後、この測定結果をテストマスクの設計値101から導くようなプロセスモデル105を抽出する。

プロセスモデル105は、測定結果と、テストマスクの設計値101及び露光条件とを演算処理して求める。これにより、モデル抽出を終了する。

このようにして求められたプロセスモデル105に、半導体装置の設計値を当てはめることによって、形成されるレイアウトパターンの線幅をシミュレーションすることができる。このシミュレーション結果に基づくフォトマスクの光近接効果補正を実行できる。

【0036】

ステップS2：

プロセスモデル105を用いて、実際の半導体装置における回路パターン（目標パターンと呼ぶ）をウェハ上に形成する際に、形成されるパターンの形状をシミュレーションし、予測する。

図3は、このシミュレーション処理を概念的に示す図である。

図3に示すように、プロセスモデル105に目標パターンのレイアウトデータ106を入力してシミュレーションを行ない、ウェハ上にシミュレーションパターン107のようなパターンが形成されると予測される。

このシミュレーションに、レイアウトデータ106と共に、テストパターン104の寸法の測定結果と、リソグラフィにおける光学条件は入力データとしてモデル105に入力し、シミュレーションパターン107が出力される。

シミュレーションには、精度と計算量に応じて、シミュレーションの対象領域となるパターンの各辺を細分化する。

【0037】

ステップS3：

シミュレーションパターン107とレイアウトデータ106より生成されたフォトマスクとの形状を比較し、ウェハ103上に目標パターンを形成する際に、レイアウトデータ106より生成されたフォトマスクに施すべきOPC補正を計算し、その結果からマスクパターン各辺の補正量を決定し、目標パターンを形成するためのOPC補正マスクを得る。そして、このOPC補正マスクを用いて、OPC補正を行ない、ウェハ上に実回路における目標パターンを形成する。

図4は、このOPC処理を例示している。図4において、OPCを施したOPC補正マスク108が示されており、補正マスク108をウェハ103上に転写すると、目標パターン109が得られる。

【0038】

図5は、モデルベースOPCにおけるモデル抽出処理（モデルフィッティング）を詳細に示すフローチャートである。

ステップS11：

最初に、モデルを抽出するためのテストパターンを形成する。

前述のように、薄膜付きのウェハ上に、例えば、ゲート層となる被エッチング材料の層を形成後、更に感光性樹脂を塗布し、上述のテストマスクを感光性樹脂に転写して感光性樹

10

20

30

40

50

脂パターンを形成する。次に、この感光性樹脂パターンをマスクにして、エッチング処理を施し、テストパターンの形状をしたゲート層を形成する。

【0039】

ステップS12：

形成された各テストパターンのパターン幅や、パターン間のスペース距離を走査型電子顕微鏡（SEM：Scanning Electron Microscope）等を用いて実際に測定し、測定結果とする。

その際、エッチング以降のプロセス処理等により実行寸法が異なる可能性がある場合は、測定結果を更に演算処理を加える事もある。プロセス処理の1例としてはCMP（Chemical Mechanical Polishing：化学機械研磨）等が挙げられる。

10

【0040】

ステップS13：

半導体装置の製造プロセスのシミュレーションを行なうモデルを抽出する為に必要なファイルを作成する。

本発明では、市販のモデル作成ツールを用いるが、その際に以下の情報が必要となる。前記テストパターンのレイアウトデータ（GDSIIフォーマット）、座標、重み付け、測長結果の他、レンズやマスクに関する露光、光学条件、シミュレーション時の計算方法を指定する各種設定項目等を記述したファイルを作成する。

【0041】

20

ステップS14：

以上のファイルを該モデル作成ツールに入力することにより、入力したテストパターンとテストパターンの測定結果の関係から、製造プロセスを用いた場合に形成後のパターン寸法予測を算出する数式を作成する（モデルの抽出、或は、モデルモデルフィッティング）。作成されたモデルにより、テストパターンのレイアウトデータを用い、以上の製造プロセスでウェハ上にテストパターンを形成する際に、形成されるパターンの形状や線幅を予測し、露光、現像後のフォトリソットの形状がどうなるかを計算する。

【0042】

ステップS15：

測定結果とシミュレーション結果を比較し、測定結果とシミュレーション結果と測定結果の差（シミュレーション残差、フィッティング残差、又は、単に残差と呼ぶ。以降、主にフィッティング残差を使う）が規定された誤差範囲以内になっているかどうかを判断する。

30

フィッティング残差が誤差範囲以内であれば、ステップS16に進み、モデルの精度についての検討を終了し、モデルを確立する。

フィッティング残差が誤差範囲より大きい場合は、ステップS13に戻り、シミュレーションを実施する際の各種設定項目を修正し、再びテストパターンのシミュレーションを行なう。フィッティング残差が誤差範囲以内になるまで、ステップS13、S14、S15を繰り返す。

ステップS16：

40

このようにして、シミュレーションに用いるモデルの精度を検討し、モデルを確立する。

【0043】

なお、実際の半導体装置での回路パターンは、様々なレイアウトが存在するが、シミュレーション用のモデルを抽出する際には、実際に形成されるあらゆるレイアウトパターンを代表しうる単純化された特定のパターン、即ち、ここでいうテストパターンの測定結果を元にモデル抽出を行なう。

【0044】

以上のように、モデルベースOPCでは、実際の半導体装置を製造するプロセスにしたがってテストパターンを形成し、そのテストパターンの測定結果を元にシミュレーションのプロセスモデルを抽出し、このモデルを用いてマスク補正量を求める。そのため、モデル

50

抽出の際に、テストパターンの実験結果とモデルのシミュレーション結果をいかに精度良く一致させるかが重要である。

フィッティング残差を評価する指標として、ここでは前述のように、シミュレーション結果と測定結果の誤差を用いる。

【0045】

次に、テストパターンを用いてモデル抽出及び精度の検討の一具体例を説明する。例えばトランジスタ等においてゲート層を形成する時に、OPC補正マスクパターンを求める場合を考える。

トランジスタにおけるゲート層は、様々なゲート寸法・密度・形状を含むが、ゲート層のこれらのパターンを代表しうるテストパターンの一部として図6～図8のようなパターンを用いる。これらのテストパターンの寸法と測定結果より、シミュレーションを行なうためのモデルを抽出する。

10

【0046】

図6は、本実施形態に用いられた第1のテストパターンのレイアウトデータ(設計値)を示している。

図6に示す第1のテストパターン1は、ゲート層を形成するための基本的なライン-スペースパターン(L/Sパターン)であり、デザインルールに従い、線幅、あるいは、スペースを振った図6に示すような5本の棒状パターン(斜線部分)からなる。棒状パターンは、加工後はパターンが形成され、その間はスペースとなる。

例えば、各棒状パターンの線幅は150nmに固定し、各棒状パターン間のスペース距離が150nm、200nm、500nm、1000nmの4つのパターンを考える。

20

図6において、例えば、示された測定箇所(以下、測長ポイント、或は、単にポイントと呼ぶ)1bで第1のテストパターン1における棒状パターン1aの線幅を測定する。

【0047】

図7は、本実施形態に用いられた第2のテストパターンのレイアウトデータ(設計値)を示している。

図7に示す第2のテストパターン2が形成後、1つの開口部2aが層状パターン2b(斜線部分)に形成されてなる。斜線部分2bは、加工後形成されてパターンとなり、開口部2aはパターン間のスペースとなる。例えば、開口部2aの線幅、即ち、スペース線幅が150nm、200nm、500nm、1000nmの4つのパターンを考える。図7において、示された測長ポイント2cで第2のテストパターン2におけるスペースの線幅を測定する。

30

【0048】

図8は、本実施形態に用いられた第3のテストパターンのレイアウトデータ(設計値)を示している。

図8に示す第3のテストパターン3は、ライン状パターン3aと3bの端部を突き合わせるライン端補正用パターンである。第3のテストパターン3を用いて作成されたモデルが、例えば、ライン状パターン3aと3bの端間距離3cは150nm、200nm、500nm、1000nmの4種で、ライン線幅3dは150nm固定である。

【0049】

半導体装置の製造プロセスに従って、薄膜付きのウェハ上に、ゲート層となる被エッチング材料の層を形成後、更に感光性樹脂を塗布し、上述のテストパターン1、2、3を感光性樹脂に転写して感光性樹脂パターンを形成する。次に、この感光性樹脂パターンをマスクにして、エッチング処理を施し、テストパターンの形状をしたゲート層を形成する。形成された各テストパターンにおいて、それぞれ、4つの測長ポイントでゲートパターン、スペース、パターン端のスペースを測定する。

40

ここで、実際にはレイアウトパターン通りにフォトマスクを作製する事は困難であるが、便宜上、フォトマスク上のテストパターン1、2、3のパターン寸法はレイアウトデータと同じとする。即ち、テストパターン1、2、3は設計通りに形成されている。

【0050】

50

シミュレーションは、市販のフォトリソグラフィシミュレーションツールを用いて行なう。まずは、モデル作成について説明する。

前記シミュレーションツールに、テストパターンのレイアウトデータ、測定結果、プロセス条件（露光装置の条件等）、シミュレーション時の設定条件等を入力する事により、加工後のパターン寸法を算出するための数式で表されるモデルを出力する。

プロセス条件とは、実際に露光により半導体基板上にマスクパターンを転写する時に使用される条件、例えば照明条件（光源波長、開口数NA、コヒーレンスファクタ、輪帯遮蔽率又は輪帯比、デフォーカスなど）であり、シミュレーション時の設定条件とは、データ表示上必要となるグリッドなどが挙げられる。

【0051】

次に、以上のテストパターンの測定結果と計算結果を比較し、モデルの判定を行なう。測定結果とシミュレーション結果の誤差は、フィッティング残差、フィッティング精度、モデル精度とも言われるが、以下フィッティング残差と呼び、指標として用いる。フィッティング残差が微小であれば、レイアウトパターンの加工後の形状を正確に計算できる。まずは、パターンの最小ルールに基づいて、フィッティング残差の許容値を決める。例えばゲート長150nmの時の残差を、ライン状パターンでは ± 5 nm、ライン端パターンでは ± 20 nmとする。

【0052】

図6に示す第1のテストパターン1はライン状パターン、図8に示す第3のテストパターン3はライン端パターンとそれぞれ分類する。図7に示す第2のテストパターン2はライン状の開口部2aを有しており、第1のテストパターン1のようなライン状パターンではないが、スペースを計るための反転ライン状パターンとみなし、ライン状パターンと分類する。

したがって、第1のテストパターン1と第2のテストパターン2については、フィッティング残差の許容値は ± 5 nmとなり、第3のテストパターン3について、フィッティング残差の許容値は ± 20 nmとなる。

【0053】

次に、フィッティング残差を確認する。

まず、図9、図10を用いて、フィッティング残差の評価に使われる量の定義を説明する。

図9は、図6に示された5本の棒状パターンからなる第1のテストパターン1のレイアウトデータ（設計値）を示し、棒状パターン1aの中心部1bは、線幅を測定する測長ポイントである。また、示された第1のテストパターン1のレイアウトデータに基づいて実際に形成されたパターンは1c、第1のテストパターン1のレイアウトデータよりシミュレーションを行ない、得られたシミュレーションパターンは1dでそれぞれ示されている。

【0054】

図10は、測長ポイント1bの部分を拡大した図である。

図10(a)は、シミュレーションパターン1dの線幅R、実際に形成されたパターン1cの線幅の測定値S、及び棒状パターン1aの線幅の設計値Tを示している。

図10(b)は、図10(a)の一部をさらに拡大した図であり、シミュレーション値Rと設計値Tの差の半分となるEPE1、測定値Sと設計値Tの差の半分となるEPE2、及びEPE1とEPE2の差EPEを示している。EPEはフィッティング残差として定義される。

このような定義を用いて、フィッティング残差を確認する。

【0055】

図11は、テストパターンにおける線幅の測定結果とシミュレーション結果を比較する図である。

図11において、縦軸は測定結果と設計値の差の半分EPE2とシミュレーション結果と設計値の差の半分EPE1を示し、横軸は測長ポイントを示しており、白抜き菱形シンボルは測定結果、黒塗り四角シンボルは、シミュレーション結果を表わしている。上記のよ

10

20

30

40

50

うに、E P E 1とE P E 2の差は、フィッティング残差となる。

また、測長ポイント1～4は、第1のテストパターン1における設計線幅が異なる4つのパターンの測定箇所であり、測長ポイント5～8は、第2のテストパターン2における設計スペース幅が異なる4つのパターンの測定箇所であり、測長ポイント9～12は、第3のテストパターン3における設計ライン端間が異なる4つのパターンの測定箇所である。

【0056】

図11に示すように、多くの場合は、フィッティング残差はゼロではなく、即ち、シミュレーションは測定結果を正確に再現することができない。また、シミュレーション結果と測定結果の差は対象パターン(寸法、面積の疎密)によって変化する。

しかし、フィッティング残差が規定値より小さければ、加工後のパターン形状を所望のフィッティング精度で忠実に計算できる。 10

【0057】

図12は、図11に示された3つのテストパターンにおける線幅のシミュレーション結果と測定結果との差分であるフィッティング残差を示す図である。

図12において、縦軸はフィッティング残差(単位: nm)、横軸は測長ポイントをそれぞれ表わし、黒塗り菱形シンボルは、シミュレーション結果-測定結果となるフィッティング残差を表わしている。

図11と同じように、測長ポイント1～4は、第1のテストパターン1に、測長ポイント5～8は、第2のテストパターン2に、測長ポイント9～12は、第3のテストパターン3における測定箇所である。 20

【0058】

図12に示すように、第1のテストパターン1における測長ポイント1～4でのフィッティング残差は0～2 nmの範囲に分布している。すでに述べたように、第1のテストパターン1におけるパターンはライン状パターンであるので、それについてフィッティング残差の許容値は±5 nmである。したがって、第1のテストパターン1について、フィッティング精度が十分高く、加工後のパターン形状を忠実に計算できる。

第2のテストパターン2における測長ポイント5～8での残差は-4～1 nmの範囲に分布している。第2のテストパターン2におけるパターンは反転のライン状パターンであるので、それについてフィッティング残差の許容値も±5 nmとなる。したがって、第2のテストパターン2についても、フィッティング精度が十分高い。 30

また、第3のテストパターン3における測長ポイント9～12での残差は-12～-8 nmの範囲に分布している。第3のテストパターン3におけるパターンはライン端パターンであるので、それについてフィッティング残差の許容値は±20 nmである。したがって、第3のテストパターン3に対しても、フィッティング精度が十分高い。

【0059】

したがって、図12に示すように、全てのテストパターン及び測長ポイントについて、フィッティング残差は規定の許容値より十分小さく、製造プロセスの精度に十分に満たしている。そのため、抽出されたモデルは、十分な精度を得られ、加工後のパターン形状を忠実に計算でき、精度の良いモデルである。

以上のモデルを用いて、半導体装置における回路パターンのレイアウトデータを用い、半導体基板上にこの回路パターンを形成する際に、形成されるパターンについてシミュレーションを行ない、形成されるパターンの形状、寸法、分布を計算する。シミュレーションで得られたパターンと目標のパターンの差よりマスク補正量を算出し、OPC補正マスクパターンを得る。 40

【0060】

以上に説明した、テストパターンを用いて、ゲート層を形成するためのOPC補正マスクパターンを求めるモデル抽出する処理を図13のフローチャートでまとめる。なお、図13において、図5と同じ内容の説明を適宜に省く。

図13は、第1の実施形態において、モデルベースOPCにおけるモデル抽出及び検証において処理の一例を示すフローチャートである。 50

ステップ S 2 1 :

第 1 のテストパターン 1、第 2 のテストパターン 2、第 3 のテストパターン 3 を形成する。

ステップ S 2 2 :

各テストパターンにおけるパターン幅や、パターン間のスペース距離を測定する。

ステップ S 2 3 :

モデルを抽出する為に、モデルに用いられる各種ファイルを作成する。

ステップ S 2 4 :

製造プロセスを用いて形成後のパターン寸法予測を算出するモデルの抽出が完了し、そのモデルを用い、第 1、第 2、第 3 のテストパターンをテストパターンを形成する際の線幅を計算する。

【 0 0 6 1 】

ステップ S 2 5 :

フィッティング残差が誤差許容範囲以内になっているかどうかを判断する。

具体的に、ライン状パターンとライン端パターンに分け、そのそれぞれについて誤差許容範囲を $-a - S + a$ とした。ここで、 S はフィッティング残差を表わし、 a は定数である。

残差が誤差許容範囲以内になっている場合は、モデルの検証が終了し、モデルが完成する。

残差が誤差許容範囲以内になっていない場合は、ステップ S 2 3 に戻り、シミュレーションを実施する際の各種設定項目を修正し、再びシミュレーションを行なう。残差が誤差許容範囲以内になるまで、ステップ S 2 3、S 2 4、S 2 5 を繰り返す。

以上のモデルを用いて、半導体基板上にこのゲート層のシミュレーションを行ない、マスクパターン各辺に必要な補正量を算出するモデルを求めることから、OPC 補正マスクパターンが得られる。

【 0 0 6 2 】

以上に説明した例において、目標となるパターンはゲート層における各パターンである。電気特性と直結するため、フィッティング精度による OPC のばらつき、さらに、形成された目標パターン線幅の誤差は、極力押さえなければならない。したがって、前述したように、モデル抽出及び検証の際には絶対値が問題となるため、フィッティング残差の許容範囲を $-a \sim +a$ 、即ち、正方向と負方向を対称に指定した。

【 0 0 6 3 】

以上の本実施の形態によれば、以上に説明したゲート層の特性により、モデル抽出及び検証の際に、フィッティング残差の許容範囲を正と負が対称に指定されるが、このようなパターンにとっては適切な処理である。

【 0 0 6 4 】

第 2 の実施形態

次に、OPC 補正の対象となる層の上下に存在する層との合わせを考慮する事により、フィッティング残差の許容値を広げる手法について、モデル抽出及び検証の他の例を述べる。

40

第 1 の実施形態に説明したように、モデルベース OPC では、モデル抽出及び検証の際に、テストパターンの実験結果とモデルのシミュレーション結果をいかに精度良く一致させるかが重要である。

【 0 0 6 5 】

しかし、前述したように、半導体装置の高集積・高速化に伴い、パターン線幅の微細化が進んでおり、またパターンの密度が異なるメモリ部とロジック部を混載することから、半導体装置におけるパターンは複雑になっている。モデル作成及び検証の時には、プロセス毎に、このようなパターンが線幅及パターンの疎密性に依存しないように実験結果とシミュレーション結果を合わせ込まなければならない。この場合は、以上の手法によりモデル精度を上げることに限界がある。

【0066】

第1の実施形態では、ゲート層を想定していた為、高精度なゲート線幅制御性が望まれる。それゆえ、時間や労力を問わず、出来得る限りフィッティング精度を規定値以内に収めなければならない。具体的に、残差の許容範囲を $-a \sim +a$ (a は定数である) と正負対称で設定していた。

しかし、他層に関しては、周辺のパターンとの相互関係によってフィッティング残差の許容範囲を正負対称で指定する必要が無くなる場合がある。その場合に、フィッティング残差の許容範囲を正負対称で指定すれば、モデルの許容範囲は実情に合わず、合理的な評価が得られにくく、モデル抽出に必要以上に時間が必要となる恐れがある。

本実施形態では、それぞれのパターンが半導体装置における特性を考慮しながら、フィッティング残差の許容範囲を定め、これによって、合理的なモデル評価が容易になり、要する時間を短縮する事が可能となる。

10

【0067】

次に、テストパターンを用いてモデル抽出及び検証の一具体例を説明する。例えば半導体装置等において配線層を形成する時に、コンタクトとの合わせに着目してOPC補正マスクパターンを求める場合を考える。

半導体装置等における配線層は、通常上下の層にコンタクトホールが形成されており、配線パターンがこれらコンタクトホールとの接続を確保しなければならない。

配線層をシミュレーションするためのモデルを抽出するために、第1の実施形態と同じように、図6～図8に示されたパターンをテストパターンとして用いる。ただし、図6～図8における各パターン(斜線部分)は配線パターンであると解する。

20

【0068】

第1の実施形態と同じように、半導体装置の製造プロセスに従ってテストパターン1、2、3を形成し、各測長ポイントの寸法を測定する。

なお、第1の実施形態と同じように、便宜上、フォトマスク上のレイアウトパターン1、2、3は設計値通りに形成されたとする。

次に、前記リソグラフィシミュレーションツールに、テストパターン1、2、3のレイアウトデータ、測定結果、各種条件ファイルを入力し、モデルを作成する。

【0069】

次にモデルのフィッティング結果より、モデルの判定を行なう。指標として、フィッティング残差を用いる。

30

まず、実際の半導体装置の回路パターンのデザインルールより、フィッティング残差の規定値を定める。

例えば本実施形態では、配線パターンの最小ルールを200nmとし、第1の実施形態と同じように、残差の許容値を、ライン状パターンでは ± 5 nm、ライン端パターンでは ± 20 nmとする。したがって、テストパターン1とテストパターン2について、フィッティング残差の許容値は ± 5 nmとなり、テストパターン3について、フィッティング残差の許容値は ± 20 nmとなる。

【0070】

次に、フィッティング残差を確認する。

40

図14は、テストパターンにおける線幅の測定結果とシミュレーション結果を比較する図である。

図14において、縦軸は測定結果と設計値の差の半分EPE2とシミュレーション結果と設計値の差の半分EPE1を示し、横軸は測長ポイントを示している。シンボルの定義は図11と同様である。

図15は、フィッティング残差を示す図であり、縦軸はフィッティング残差(単位: nm)、横軸は測長ポイントをそれぞれ表わし、シンボルの定義は図12と同様である。

【0071】

図14と図15に示すように、シミュレーション結果は測定結果より小さくなっており、即ち、シミュレーションパターンは実際に形成されたパターンより細くなる。

50

具体的に、測長ポイント1～4は、テストパターン1において5本の棒状パターンの中心パターンの中央部を測長している。ライン状パターンのため、残差の許容値は $\pm 5 \text{ nm}$ であるが、例えば、測長ポイント1は -6 nm 、測長ポイント4では -7.8 nm の残差が発生している。

テストパターン2については、測長ポイント5～8の4箇所全て $-5 \text{ nm} \sim -16 \text{ nm}$ と許容値を越えている。

測長ポイント9～12は、ライン端パターンのため、許容値が $\pm 20 \text{ nm}$ であるから問題がない。

【0072】

通常は、フィッティング残差が許容範囲を超えた場合は、フィッティング精度が不十分とされ、モデルにおける各種設定項目を修正し、再びテストパターンのシミュレーションを行なう。従来、フィッティング残差が許容範囲に入るまで、この修正と再度のシミュレーションを繰り返すとしていたが、本実施形態では、実際にOPCを施した時に、残差が許容値を超えた各パターンは他の層との相互関係から、フィッティング残差を再評価し、マスクパターンデータの修正と再度のシミュレーションの繰り返し回数を減らす、または、省くことを図る。

10

【0073】

次に、以上に確認したフィッティング残差が許容値を超えた各ポイントについて、それらのフィッティング残差を、実際にOPCを施した時に、かかるパターンは他の層との相互関係から判定する。

20

テストパターン1について、ポイント1とポイント4共に測定結果よりもシミュレーション結果の線幅が細る方向にフィッティング残差が発生している。

テストパターン1における各棒状パターンは配線層における配線パターンである。配線パターンは、上下の層でのコンタクトホールと必ず接続している。配線層のシミュレーションを行なう場合、この点を考慮しなければならない。

【0074】

図16は、配線層のシミュレーションにおいて、配線パターンとコンタクトの関係及び影響を示す。

ここで、テストパターンの測定結果は設計値と同じであると仮定する。即ち、実験結果は希望通りである。

30

図16(a)は、線幅が測定結果(=設計値)となる配線パターン4を示し、両側の2本の破線は配線パターン4の幅(測定結果=設計値)を示している。

図16(b)は、線幅がシミュレーション値となる配線パターン5を示し、図示のように、配線パターン5は、配線パターン4より細い。

図16(c)は、補正後のパターン6を示す。具体的に、配線パターン5について更なるモデル調整をせず、配線パターン5を出力したモデルで目標の配線パターンを補正する。

図16(d)は、OPC補正フォトマスク6を用いて、半導体基板上に形成された配線パターン14、及び配線パターン14の上層に形成されたコンタクトホール16並びに、配線パターン14の下層に形成されたコンタクトホール12を示している。

【0075】

40

図17は、図16(d)で示された配線層14とその上下層を含めた半導体装置の部分断面図である。

図17に示された半導体装置は、絶縁層11と、絶縁層11に形成されたコンタクトホール12と、絶縁層11上に形成された第2の絶縁層13と、第2の絶縁層13に形成された配線パターン14と、第2の絶縁層13と配線パターンを覆って形成された第3の絶縁層15と、第3の絶縁層15に形成されたコンタクトホール14とを有する。

第2の絶縁層13と配線パターン14とが本実施形態の配線層となる、

【0076】

図16(d)に示すように、線幅のシミュレーション値(配線パターン5の幅)が測定結果(配線パターン4の幅)より小さいので、マスク補正量を必要以上にとることになる。

50

即ち、OPC補正フォトマスク6の幅が目標となる幅より広く、その結果、実際に形成された配線パターン14も設計値より太くなり、太い配線ができる事になる。

しかし、配線の線幅が増大すると、上下のコンタクトホールが必ず配線に落ちる事になるので、配線パターンと上下のコンタクトホールとの接続を確保でき、望ましいことである。

【0077】

ただし、配線抵抗が増大することに注意しなければならない。

次に、ポイント1とポイント4の目標となる線幅（設計値）とシミュレーション線幅の差から、配線抵抗の変化を確認する。

ポイント1とポイント4の目標となる線幅は、それぞれ400nmと600nmとし、 15に示すように、ポイント1とポイント4のフィッティング残差はそれぞれ-6nmと-7.8nmとする。

例えば、配線パターン14の長手方向（ 17における紙面に直行する方向）は1 μm とする。1 μm^2 当たりの配線抵抗を R_m （ $/\mu\text{m}^2$ ）とした時、ポイント1とポイント4の配線抵抗は $0.4 - 0.006 * 2 = 0.388 R_m$ （ $/\mu\text{m}^2$ ）と $0.6 - 0.008 * 2 = 0.584 R_m$ （ $/\mu\text{m}^2$ ）となる。

【0078】

一方、線幅が400nmと600nmになる配線パターンの規定配線抵抗は、 $0.4 R_m$ （ $/\mu\text{m}^2$ ）と $0.6 R_m$ （ $/\mu\text{m}^2$ ）であるので、ポイント1とポイント4の配線抵抗と規定配線抵抗の比は、 $0.388 / 0.4 = 0.97$ 、 $0.584 / 0.6 = 0.97$ となる。

即ち、配線パターン14が太くなることから、その配線抵抗が3%減少する。配線抵抗のこの程度の減少は、デザインルールの許容値であるため、問題はない。

したがって、モデル抽出及び検証の際に、フィッティング残差は許容範囲の負の方向になる場合、実際の配線が太くなるが、上下層のコンタクトホールと接続を確保できるので、問題は生じない。そのため、この残差を減らすためにパターンの修正とシミュレーションを繰り返すことは必要がなく、フィッティング精度が十分に高いと判断する。

【0079】

次に、テストパターン2において、フィッティング残差が許容値を超えた各ポイントについて、実際にOPCを施した時に、かかるパターンは他の層との相互関係を考える。

 14と 15に示すように、テストパターン2において、ポイント5、ポイント6、ポイント7、ポイント8は共に測定結果よりもシミュレーション結果の線幅が細くなる方向にフィッティング残差が発生している。

具体的に、ライン上パターンのフィッティング残差の許容値は $\pm 5 \text{ nm}$ 以内であるのに対し、ポイント5のフィッティング残差は -5.3 nm 、ポイント6は -9.5 nm 、ポイント7は -16.2 nm 、ポイント8は -12.5 nm である。

テストパターン2における開口部2aは、配線層では配線間のスペースとなるので、配線間のスペースが変動すると、そのスペース両側の配線パターンの幅も変動する。前述したように、配線パターンは、上下の層でのコンタクトホールと必ず接続しているので、配線間スペースのシミュレーションを行なう場合、この点を考慮しなければならない。例えば、配線間スペースが太くなると、配線の幅が減少するため、配線とコンタクトホールとの接続の観点からとすれば好ましくない。

【0080】

配線間スペースが太くなることによって、配線の幅が設計値よりも減少する際に、コンタクトとの合わせ精度から、配線間スペース及び配線パターン線幅変動の許容範囲を判定する。

 18は、配線層のシミュレーションにおいて、配線間スペース変動のコンタクトに対する影響を示す。

 18(a)は、配線パターン21aと21bの間に、線幅が測定結果（設計値）となる配線間スペース21cが形成された配線構造を示し、2本の破線は配線間スペース21c

の幅を示している。

図 18 (b) は、幅がシミュレーション値となっている配線間スペース 22c を示し、図示のように、スペース 22c は、スペース 21c より幅が小さい。そのため、配線パターン 22a と 22b の幅は太く計算される。

図 18 (c) は、OPC 補正フォトマスク 23 を示す。具体的に、配線間スペース 22c を出力したモデルで目標の配線スペースをシミュレーションする。上記フィッティングモデルにしたがって、配線パターン 21a と 21b の幅に付加して、OPC 補正フォトマスク 23 が得られる。OPC 補正フォトマスク 23 において、スペース 23c は設計幅（スペース 21c の幅）より大きく、スペース 23c 両側の配線パターン 23a と 23b の幅は、負のマスク補正量を付加されたので、図 18 (a) に示す配線パターン 21a と 21b より細い。

図 18 (d) は、OPC 補正フォトマスク 23 を用いて、半導体基板上に形成された配線パターン 24a、24b、配線間スペース 24c、及び配線パターン 24a、24b の上層に形成されたコンタクトホール 16a、16b、並びに、配線パターン 24a、24b の下層に形成されたコンタクトホール 12a、12b を示している。

【0081】

図 18 (a) ~ (d) に示すように、配線間スペースの線幅のシミュレーション値（スペース 22c の幅）が測定結果又は設計値（スペース 21c の幅）より小さいので、配線パターンは測定結果よりも太く計算される（配線パターン 22a と 22b）。したがって、マスク補正量を必要な補正量より小さい値を採っている。即ち、配線パターン 23a は目標値より細く、その結果、実際に形成された配線パターン 24a、24b は設計値より細くなる。

しかし、配線パターン 24a、24b は上下層でのコンタクトホール 16a と 12a、及び 16b と 12b と接続すれば良いので、配線パターン 24a、24b とこれらコンタクトホールとの合わせずれを確認する。

【0082】

以上の配線パターンとコンタクトホールの合わせずれについて、設計値に対して OPC を施したシミュレーション後の配線幅（図 18 (d)、24a と 24b）とコンタクトホール 16a、16b（又は 12a、12b）の間隔がデザインルール上のオーバーレイを満たしていれば問題は無いので、下記式 1 及び式 2 を満たすことを配線パターンとコンタクトホールの接続が良好であることの条件とする。

【0083】

図 19 は、図 18 (d) に示された配線パターン 24a、または、配線パターン 24b の部分を拡大した図である。図面を簡潔にするため、図 19 において、コンタクトホール 12a または 12b を図示しておらず、斜線を省略しており、また、配線パターンとコンタクトホールの符号を 24 と 16 とした。

図 19 に示すように、コンタクトホール 16 の直径を D で示し、その最大値を D_{max} 、最小値を D_{min} で示す。また、配線パターン 24 の線幅を L とし、その最大値を L_{max} 、最小値を L_{min} とする。

コンタクトホール 16 から配線パターン 24 のエッジまでの距離を S_1 と S_2 で示し、 S_1 と S_2 の小さい値を S_{min} とする。デザインルールで定めた配線層 24 とコンタクトホール 16 のオーバーレイを L とする。

【0084】

配線層とコンタクトホールの接続を確保するために、次の式を満たすことを条件とする。

$$L < S_{min} \quad \dots (1)$$

$$D + 2 \cdot L < L \quad \dots (2)$$

【0085】

式 1 によれば、コンタクトホール 16 から配線パターン 24 のエッジまでの距離の近い方（ S_1 または S_2 ）も、オーバーレイを確保しなければならない。

式 2 によれば、コンタクトホール 16 の直径と、オーバーレイの 2 倍との和は、配線パタ

10

20

30

40

50

ーン 2 4 の幅を超えてはならない。

【 0 0 8 6 】

次に、具体的な数値例を挙げる。

テストパターン 2 で、残差が許容値を超過しているポイント 5 ~ 8 の配線間スペースの幅は、それぞれ 1 5 0 n m , 2 0 0 n m , 5 0 0 n m , 1 0 0 0 n m とし、それぞれのフィッティング残差は、図 1 5 に示すように、 - 5 . 3 n m 、 - 9 . 5 n m 、 - 1 6 . 2 n m 、 - 1 2 . 5 n m であり、O P C 後の補正量はそれぞれ 3 n m , 5 n m , 1 0 n m , 1 0 n m であった。

コンタクトホール 1 6 の直径を 2 0 0 n m に固定し、即ち、 $D_{max} = D_{min} = D = 200 \text{ nm}$ とする。また、配線層とコンタクトホールのオーバーレイ L は配線パターンの幅と関係なく、2 0 n m である。

又、テストパターン 2 b は 1 0 μm 角の正方形であり、ここでいう配線幅は、(1 0 μm - O P C 後の 2 a の線幅) / 2 であらわされる。

このような条件で、式 1 と式 2 を満たしているかどうかを確認する。

【 0 0 8 7 】

パターン 2 の配線部分 (斜線領域) は 5 μm 程度ある為、ポイント 5 ~ 8 の S 1 、 S 2 は全て式 1 を満たした。

コンタクトホール 1 6 の直径は全て 2 0 0 n m である為、ポイント 5 ~ 8 について、式 2 の左側を計算すると、 $D + 2 \cdot L = 200 + 2 \times 20 = 240 \text{ nm}$ となる。

次に、ポイント 5 の配線パターンの幅を L 5 とすれば、

$$\begin{aligned} L 5 &= 2 b - (\text{配線間スペース} + 2 \times \text{OPC}) \\ &= \{ 10000 - (150 + 2 \times 3) \} / 2 \\ &= 4922 \text{ nm} > D + 2 \cdot \sigma L (= 240 \text{ nm}) \end{aligned}$$

同様にして、 $L 6 = 4895 \text{ nm}$, $L 7 = 4740 \text{ nm}$, $L 8 = 4490 \text{ nm}$ となる。

即ち、ポイント 5 ~ 8 のいずれも、式 2 を満たしている。そのため、配線パターン 2 4 とコンタクトホール 1 6 の合わせずれは問題が無いことを判明した。

【 0 0 8 8 】

このように、モデル抽出及び検証の際に、配線間スペースのフィッティング残差は許容範囲を超えたとしても、デバイス特性に影響を与えない範囲であれば、許容できる。実際に、上記のように、O P C を施した後の配線パターンとコンタクトホールの合わせずれを確認すると、配線パターンとコンタクトホールとの接続を十分確保でき、問題は生じないことが分かる。そのため、フィッティング精度が十分に高いと言える。

したがって、全てのテストパターン及び測長ポイントについて、モデルとして十分な精度が得られ、精度の良いモデルである。

その結果、測定された残差を減らすためにパターンの修正とシミュレーションを繰り返すことは必要がない。これによって、モデル抽出及び検証に要する時間を短縮できる。

【 0 0 8 9 】

以上のモデルを用いて、テストパターン 1 、 2 、 3 によって構成される配線層を形成するためのマスクパターンデータを用い、光強度シミュレーションを行ない、配線層における各パターンの形状、寸法、分布を計算する。シミュレーションで得られたパターンと設計パターンとの差より補正量が算出され、O P C 補正マスクパターンが得られる。

【 0 0 9 0 】

以上に説明した、テストパターンを用いて、配線層を形成するための O P C 補正マスクパターンを求めるモデルを抽出する処理を図 2 0 のフローチャートでまとめる。なお、図 2 0 において、図 1 3 と同じ内容について説明を適宜に省略する。

図 2 0 は、第 2 の実施形態において、モデルベース O P C におけるモデル抽出及び検証における処理の一例を示すフローチャートである。

【 0 0 9 1 】

10

20

30

40

50

ステップ S 3 1 :

第 1 のテストパターン 1、第 2 のテストパターン 2、第 3 のテストパターン 3 を形成する。

ステップ S 3 2 :

各テストパターンにおけるパターン幅や、パターン間のスペース距離を測定する。

ステップ S 3 3 :

モデルを抽出する為に、モデルに用いられる各種ファイルを作成する。

ステップ S 3 4 :

抽出されたモデルにより、テストパターンデータを用い、第 1、第 2、第 3 のテストパターン 3 におけるパターン線幅を計算する。

10

【 0 0 9 2 】

ステップ S 3 5 :

測定結果とシミュレーション値を比較し、フィッティング残差が誤差許容範囲以内になっているかどうかを判断する。

具体的に、ライン状パターンとライン端パターンに分け、そのそれぞれについて誤差許容範囲を $-a - S + a$ とした。ここで、 S はフィッティング残差を表わし、 a は定数である。

残差が誤差許容範囲以内になっている場合は、ステップ 3 9 に進み、モデルの検証が終了し、モデルが完成する。

残差が誤差許容範囲以外になっている場合は、ステップ S 3 6 に進む。

20

【 0 0 9 3 】

ステップ S 3 6 :

残差が $(-a, +a)$ 範囲を超えたポイントについて、関わるパターンの特性を確認し、残差が負の方向および正の方向を $(-a, +a)$ の範囲を超えた場合、デバイスへの影響を分析する。

例えば、配線パターンの場合は、配線パターンの幅が細くなり、または、太くなる場合に、配線パターンと上下層のコンタクトホールとの接続への影響を分析する。

これによって、両者の接続を確保できる上限と下限を見出し、新しい残差許容範囲 $-b - S + c$ を決定する。ここで、 b と c は定数である。

【 0 0 9 4 】

30

ステップ S 3 7 :

残差が $(-a, +a)$ 範囲を超えた各ポイントについて、その残差は残差許容範囲 $-b - S + c$ に入っているかどうかを確認する。

ステップ S 3 8 :

残差が $-b - S + c$ に入っていれば、ステップ 3 9 に進み、モデルの検証が終了し、モデルが完成する。

残差が $-b - S + c$ に入っていなければ、ステップ S 3 3 に戻し、シミュレーションを実施する際の各種設定項目を修正し、再びシミュレーションを行なう。残差が $-b - S + c$ に入るまで、ステップ S 3 3 ~ ステップ S 3 8 を繰り返す。

【 0 0 9 5 】

40

このように、モデル抽出及び検証が完成する。

以上のモデルを用いて、半導体基板上に目標のパターンのシミュレーションを行ない、マスクパターン各辺の補正量を求めることから、OPC 補正マスクパターンが得られる。

【 0 0 9 6 】

以上の本実施の形態によれば、フィッティング残差が規定された許容範囲を超えた場合であっても、フィッティング精度を不十分とせず、実際に OPC を施した時に、残差の超過がパターンのデバイスにおける特性、例えば配線層とコンタクトホールの接続状態にどのような影響を与えるかを判断し、フィッティング残差の許容範囲を再評価する。これによって、超過した残差を減らすためにモデルの修正などの処理を繰り返すことは必要がなく、合理的なモデル評価が容易に達成でき、モデル抽出及び検証に要する時間を短縮できる。

50

【 0 0 9 7 】

第 3 の 実 施 形 態

本実施形態において、第 1 と第 2 の実施形態で説明した手法でテストパターンを用いてモデル抽出及び検証を行ない、モデルベース OPC で OPC 補正マスクパターンを得る。そして、この OPC 補正マスクパターンを用い、半導体装置を製造する例を述べる。

本実施形態において、まずは、モデル抽出と検証を行なう。モデル抽出と検証の方法は、第 1 と第 2 の実施形態で説明した方法と同様である。

即ち、形成するパターンの半導体装置における特性、及びパターン線幅の変動が半導体装置特性に与える影響から、フィッティング残差の許容範囲を評価し、短い時間で容易に合理的なモデル評価を達成する。

例えば、配線パターン及び配線間スペースの場合は、配線パターンと上下の層のコンタクトホールとの接続関係から、配線パターン及び配線間スペースの誤差の許容範囲を決める。

このように得られたモデルによって、OPC 補正マスクパターンを作成し、半導体装置を製造する。

【 0 0 9 8 】

図 2 1 は、図 1 7 に示された半導体装置を製造するプロセスを示す部分断面図である。

図 2 1 (a) は、例えば、開口パターン 3 2 が形成されたフォトマスク 3 1 と、露光装置における光学系 3 3 を示す。

フォトマスク 3 1 には、以上のように得られたモデルを用いて、モデルベース OPC によって、OPC を施したフォトマスクである。

図示しない光源からのレーザ光 4 0 は、フォトマスク 3 1 を通過して、光学系 3 3 を経由して下方の半導体基板へ照射する。

【 0 0 9 9 】

図 2 1 (b) は、例えば、酸化膜からなる絶縁層 1 1 を示す。図示しないが、絶縁層 1 1 上にフォトレジスト膜を塗布し、図 2 1 (a) の露光装置からの光はフォトレジスト膜を照射し、露光を行ない、フォトマスク 3 1 上の開口パターン 3 2 を絶縁層 1 1 に成形し、コンタクトホール 1 2 を形成する。その後フォトレジストを除去する。

コンタクトホール 1 2 に、例えば、W などの金属を堆積する。

次に、図 2 1 (c) に示すように、絶縁層 1 1 上に、例えば酸化膜からなる第 2 の絶縁層 1 3 を形成し、第 2 の絶縁層 1 3 に配線層を形成するための開口部 1 4 b を露光によって形成する。なお、この時、用いるフォトマスクが図 2 1 (b) の工程で用いたものと異なるが、便宜上、フォトマスク 3 1 と記す。

【 0 1 0 0 】

次に、図 2 1 (d) に示すように、開口部 1 4 b に、例えば、W などの金属を堆積し、配線層 1 4 を形成する。

そして、第 2 の絶縁層 1 3 と配線層 1 4 を覆って第 3 の絶縁層 1 5 を形成する。そして、図 2 1 (b) と同じように露光を行ない、フォトマスク 3 1 上の開口パターン 3 2 を絶縁層 1 5 に転写し、コンタクトホール 1 6 を形成する。

図 2 1 (c) と同じように、この時に用いるフォトマスクが図 2 1 (b) と (c) の工程で用いたものと異なるが、便宜上、フォトマスク 3 1 と記す。

【 0 1 0 1 】

OPC 補正フォトマスクであるフォトマスク 3 1 のマスク補正量は、形成するパターンの半導体装置における特性及びパターン線幅の変動が半導体装置特性に与える影響から、フィッティング残差の許容範囲を評価して求められた。例えば、配線パターンの場合は、配線パターンと上下の層のコンタクトホールとの接続関係から、配線パターン及び配線間スペースの誤差の許容範囲を決めた。そのため、配線パターン 1 4 と上下の層のコンタクトホール 1 2 , 1 6 との接続を十分確保されている。

【 0 1 0 2 】

本実施形態によれば、モデルベース OPC により、マスク補正量を求める時間を短縮でき

10

20

30

40

50

、形成された配線パターンと上下の層のコンタクトホールとの接続を確保できる。

【0103】

以上、本発明を好ましい実施の形態に基づき説明したが、本発明は以上に説明した実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲で、種々の改変が可能である。

例えば、上記の実施形態でパターンと他の層との接続関係から、残差の許容範囲を評価するとしたが、他のデバイス特性でもよい。

また、上記の実施形態でフィッティング残差が負となる例を挙げたが、残差が正となっても、同様にデバイス特性を分析し、残差の許容範囲を評価することができる。

【0104】

【発明の効果】

以上説明した本発明のフォトマスクの設計方法、フォトマスク、及び半導体装置によれば、シミュレーション誤差の許容範囲は、パターンのデバイスにおける特性、及びこのパターンの誤差がデバイス特性に与える影響から決めることから、各パターンが実際に要求するシミュレーション精度を満たせば良いので、単にシミュレーション誤差を減らすためにモデルに対する修正などの不自然な操作を必要以上に行なう必要がなくなり、十分な精度を確保しながら、合理的なモデル評価が容易に達成でき、モデル抽出及び検証に要する時間を短縮できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態において、モデルベースOPCに関する処理の概略を示すフローチャートである。

【図2】本発明の第1の実施形態において、モデルベースOPCにおけるモデルフィッティング処理を概略的に示す図である。

【図3】本発明の第1の実施形態において、モデルベースOPCを用いて、実回路に対してシミュレーションを行なう処理を概略的に示す図である。

【図4】本発明の第1の実施形態において、モデルベースOPCを施した、実回路のレイアウトデータを転写・加工後の形状を概略的に示す図である。

【図5】本発明の第1の実施形態において、モデルベースOPCにおけるモデル抽出と検証に関する処理の概略を示すフローチャートである。

【図6】本発明の第1の実施形態において用いられたテストパターンの第1の例を示している。

【図7】本発明の第1の実施形態において用いられたテストパターンの第2の例を示している。

【図8】本発明の第1の実施形態において用いられたテストパターンの第3の例を示している。

【図9】本発明の実施形態において用いられるフィッティング残差の定義を説明する図である。

【図10】図9に続いて、本発明の実施形態において用いられるフィッティング残差の定義を説明する図である。

【図11】本発明の第1の実施形態において、テストパターンを用いて測定した線幅とシミュレーションの結果を比較する図である。

【図12】本発明の第1の実施形態において、テストパターンにおける線幅のシミュレーション結果と測定結果との残差を示す図である。

【図13】本発明の第1の実施形態において、モデルベースOPCにおけるモデル抽出及び検証において処理の一具体例を示すフローチャートである。

【図14】本発明の第2の実施形態において、テストパターンを用いて測定した線幅とシミュレーションの結果を比較する図である。

【図15】本発明の第2の実施形態において、テストパターンにおける線幅のシミュレーション結果と測定結果との残差を示す図である。

【図16】本発明の第2の実施形態において、配線層のシミュレーションでは、配線パタ

10

20

30

40

50

ーの線幅の変動とコンタクトの関係及び影響を示す図である。

【図17】本発明の第2の実施形態にかかる半導体装置の部分断面図である。

【図18】本発明の第2の実施形態において、配線層のシミュレーションでは、配線間スペースの変動がコンタクトの関係及び影響を示す図である。

【図19】本発明の第2の実施形態において、配線パターンとコンタクトホールの合わせずれを示す図である。

【図20】本発明の第2の実施形態において、モデルベースOPCにおけるモデル抽出及び検証において処理の一具体例を示すフローチャートである。

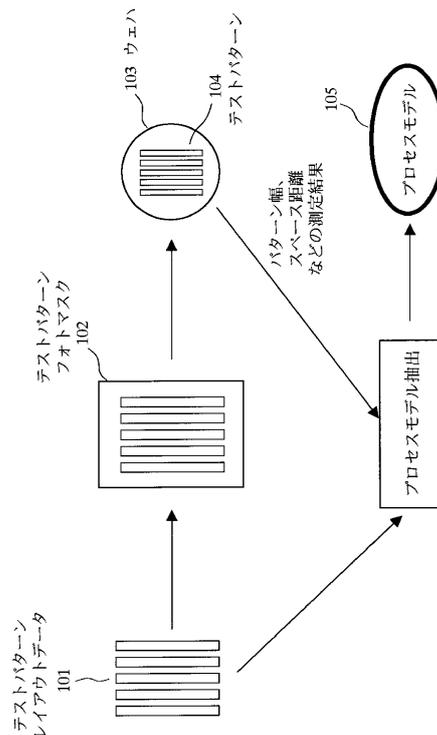
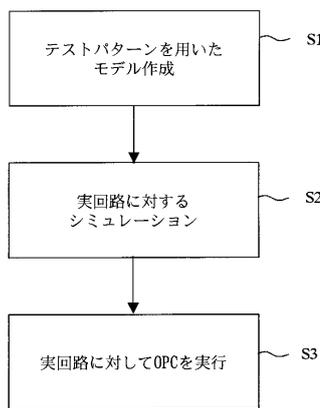
【図21】本発明の第3の実施形態にかかる半導体装置を製造するプロセスを示す部分断面図である。

【符号の説明】

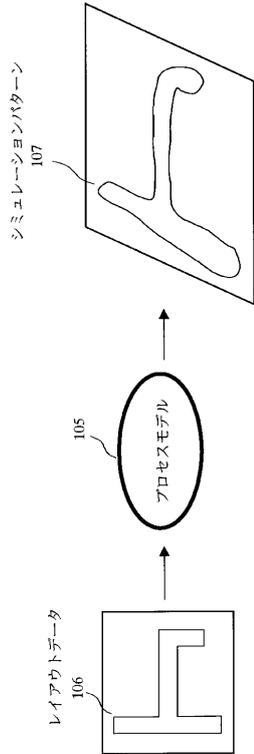
1、2、3...テストパターン、1a...パターン、1b...測定箇所、1c...実パターン、1d...シミュレーションパターン、2a...開口部、2b...パターン、2c...測定箇所、3a、3b...パターン、3c...測定箇所、3d...パターン線幅、4...設計配線パターン、5...シミュレーションパターン、6...OPC補正マスク、11...絶縁層、12、12a、12b...コンタクトホール、13...絶縁層、14...配線層、15...絶縁層、16、16a、16b...コンタクトホール、21a、21b...設計配線パターン、21c...設計配線間スペース、22a、22b...シミュレーション配線パターン、22c...シミュレーション配線間スペース、23...OPC補正マスク、23a、23b...補正後配線パターン、23c...補正後配線間スペース、24a、24b...形成された配線パターン、24c...形成された配線間スペース、31...フォトマスク、32...開口パターン、33...光学系、101...テストパターン・レイアウトデータ、102...テストパターン・フォトマスク、103...ウエハ、104...テストパターン、105...プロセスモデル抽出、106...実回路のレイアウトデータ、107...シミュレーション・パターン、108...OPC補正パターン、109...目標パターン。

【図1】

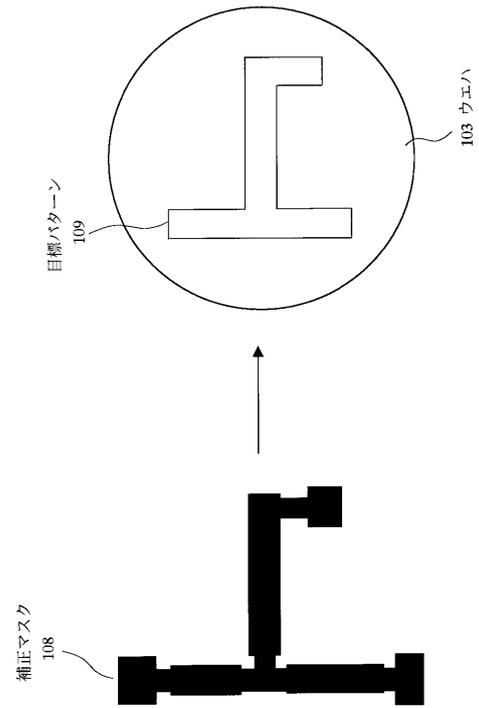
【図2】



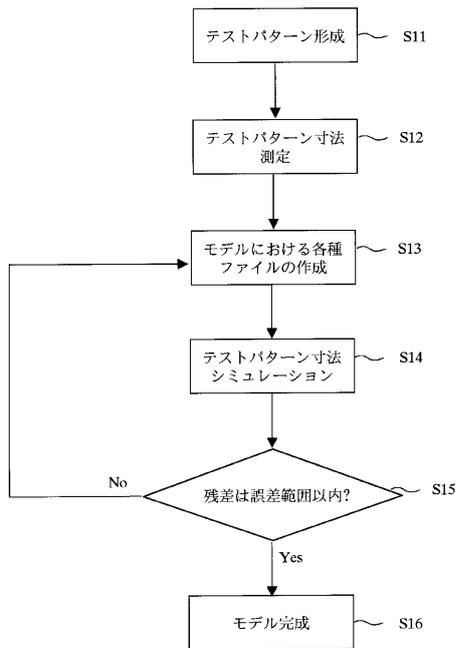
【図3】



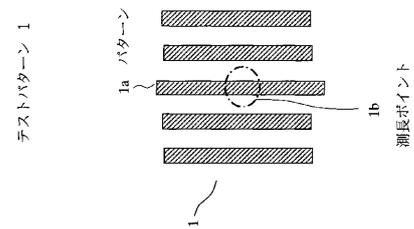
【図4】



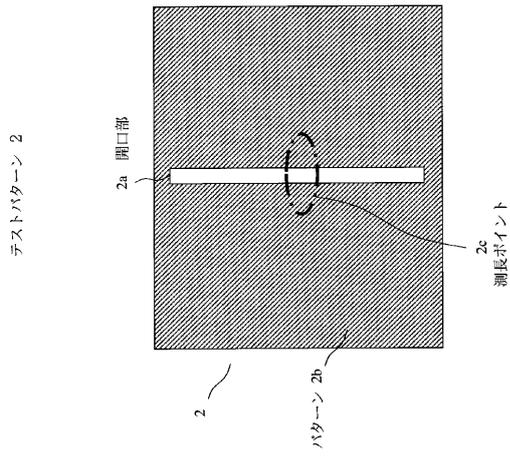
【図5】



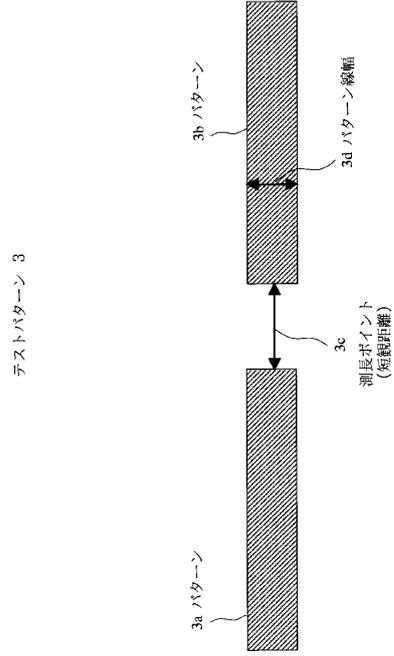
【図6】



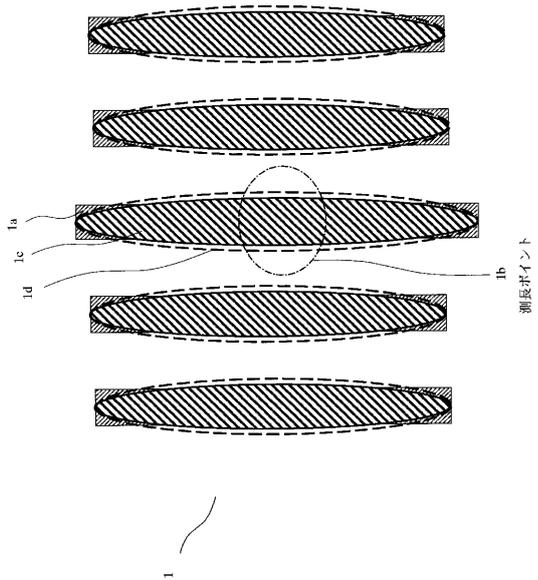
【 図 7 】



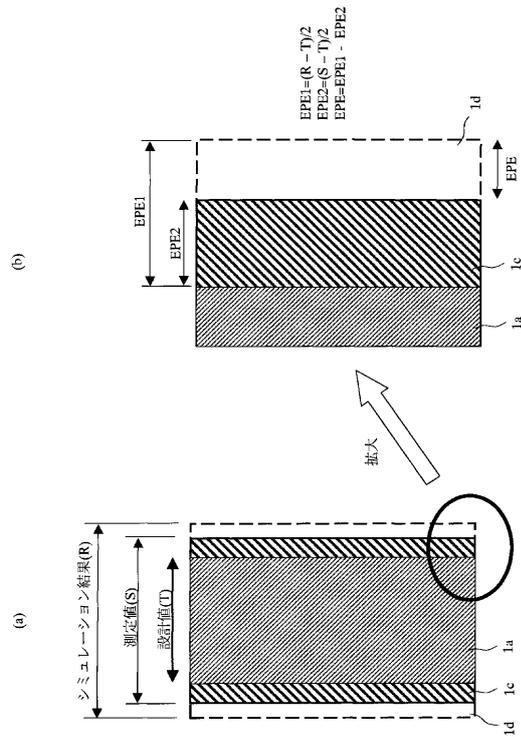
【 図 8 】



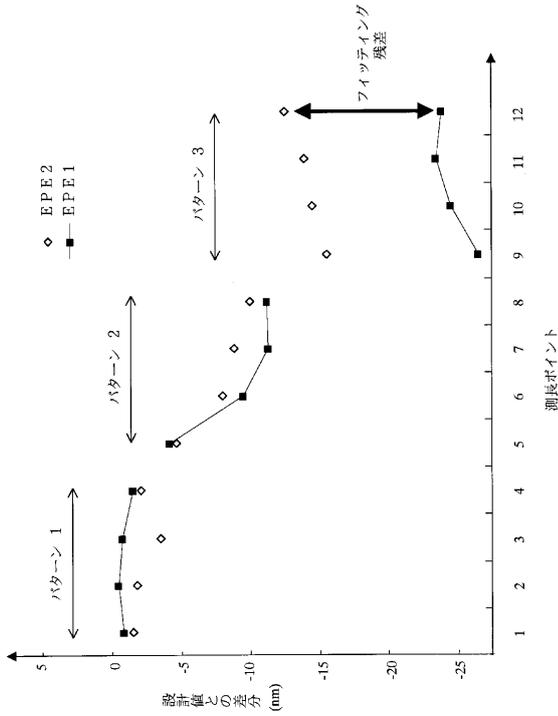
【 図 9 】



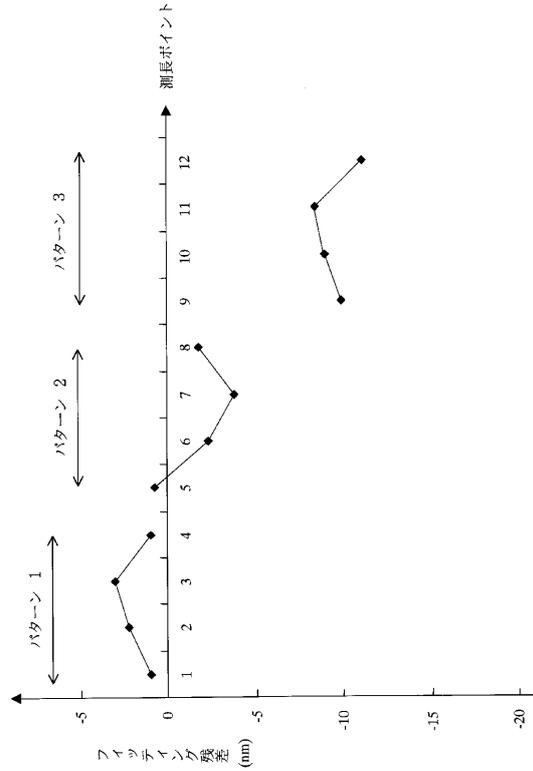
【 図 10 】



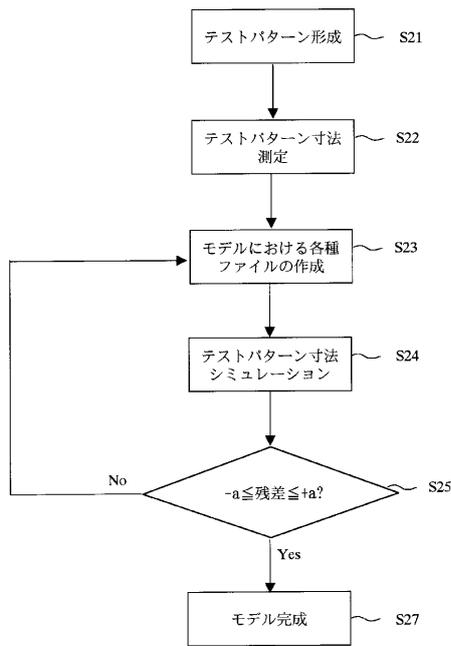
【図 1 1】



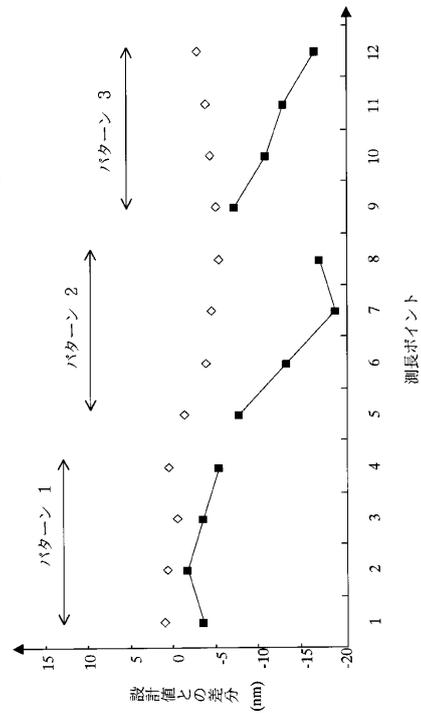
【図 1 2】



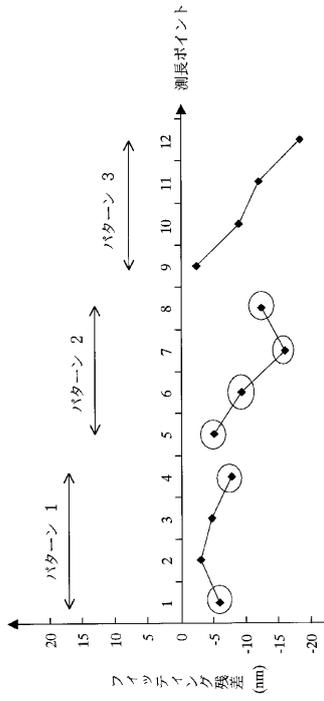
【図 1 3】



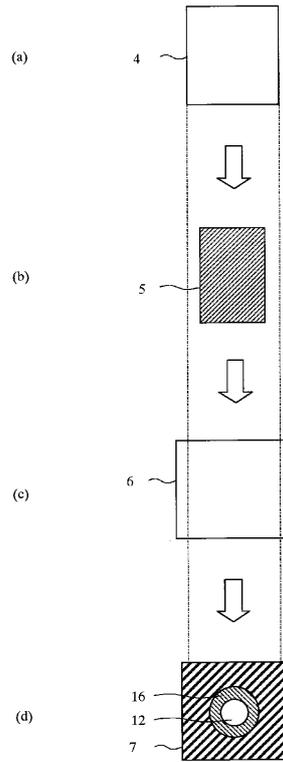
【図 1 4】



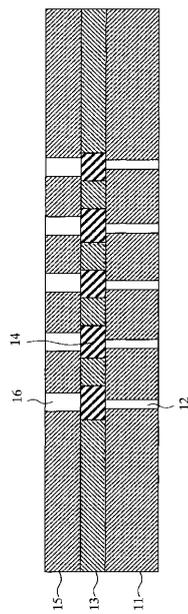
【図 15】



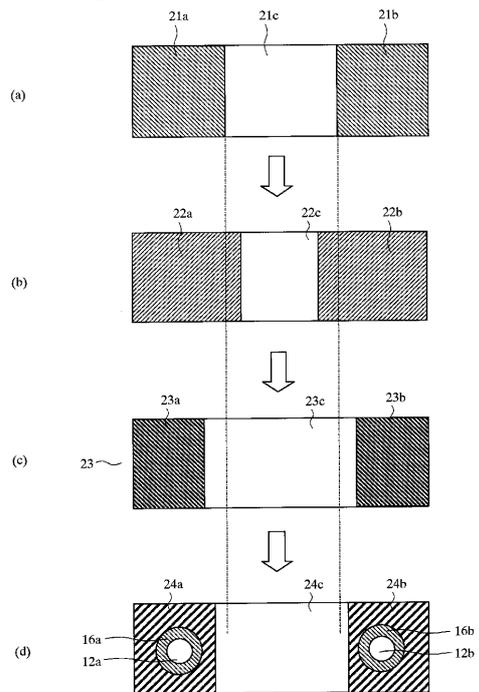
【図 16】



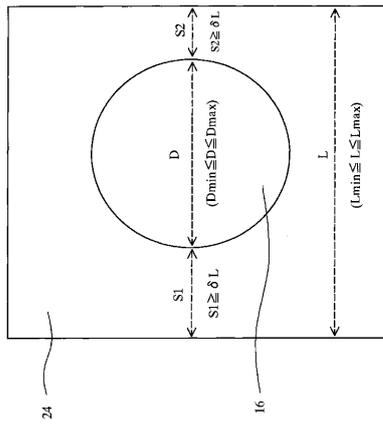
【図 17】



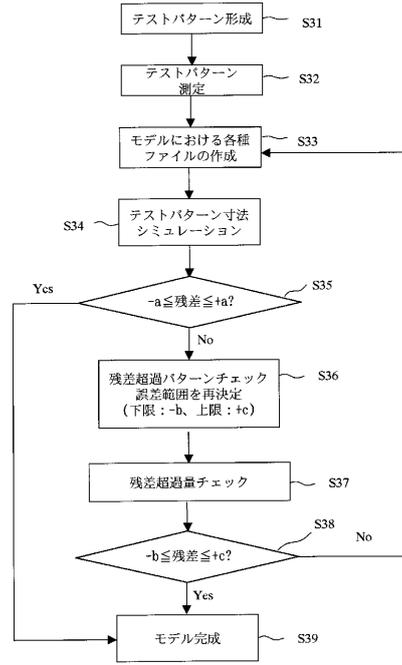
【図 18】



【 図 19 】



【 図 20 】



【 図 21 】

