

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6021908号
(P6021908)

(45) 発行日 平成28年11月9日(2016.11.9)

(24) 登録日 平成28年10月14日(2016.10.14)

(51) Int.Cl.	F I				
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 A		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 5 2 C		
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 5 D		
	HO 1 L	29/78	6 5 2 M		
請求項の数 14 (全 20 頁) 最終頁に続く					

(21) 出願番号	特願2014-519508 (P2014-519508)	(73) 特許権者	507050230
(86) (22) 出願日	平成24年7月6日(2012.7.6)		アーベーベー テクノロジー アクチエン ゲゼルシャフト
(65) 公表番号	特表2014-523134 (P2014-523134A)		ABB Technology AG
(43) 公表日	平成26年9月8日(2014.9.8)		スイス国 チューリッヒ アフォルテルン シュトラーセ 44
(86) 国際出願番号	PCT/EP2012/063305		Affolternstrasse 44
(87) 国際公開番号	W02013/007654		, CH-8050 Zuerich,
(87) 国際公開日	平成25年1月17日(2013.1.17)		Switzerland
審査請求日	平成27年3月24日(2015.3.24)	(74) 代理人	100114890
(31) 優先権主張番号	11173910.8		弁理士 アインゼル・フェリックス＝ライ ンハルト
(32) 優先日	平成23年7月14日(2011.7.14)	(74) 代理人	100099483
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 久野 琢也
最終頁に続く			

(54) 【発明の名称】 絶縁ゲート型バイポーラトランジスタ

(57) 【特許請求の範囲】

【請求項1】

エミッタ側(11)に設けられたエミッタ電極(2)と、前記エミッタ側(11)とは反対側のコレクタ側(15)に設けられたコレクタ電極(25)との間に複数の層を含む、絶縁ゲート型バイポーラトランジスタ(1)において、

低濃度でドーピングされた第1の導電型のドリフト層(8)と、

該ドリフト層(8)と前記コレクタ電極(25)との間に配置され、前記コレクタ電極(25)と電氣的に接触している、前記第1の導電型とは異なる第2の導電型のコレクタ層(9)と、

前記ドリフト層(8)と前記エミッタ電極(2)との間に配置され、前記エミッタ電極(2)と電氣的に接触し、前記ドリフト層(8)とは完全に分離されている、第2の導電型のベース層(5)と、

該ベース層(5)において前記エミッタ側(11)に配置され、前記エミッタ電極(2)と電氣的に接触し、前記ドリフト層(8)よりも高いドーピング濃度を有する、第1の導電型の第1および第2のソース領域(7, 75)と、

前記ベース層(5)の側方に配置され、前記ベース層(5)よりも深く前記ドリフト層(8)中に延在し、前記ベース層(5)と前記第1のソース領域(7)と前記ドリフト層(8)とから第1の絶縁層(31)によって分離されている、少なくとも2つの第1のトレンチゲート電極(3)とが設けられており、

前記エミッタ電極(2)と、2つの第1のトレンチゲート電極(3)間に配置された前

10

20

記第 1 のソース領域 (7) と、 2 つの第 1 のトレンチゲート電極 (3) 間の前記ベース層 (5) および前記ドリフト層 (8) とによって、第 1 のチャンネルを形成可能であり、

さらに前記絶縁ゲート型バイポーラトランジスタ (1) には、

前記エミッタ側 (1 1) で前記第 1 のトレンチゲート電極 (3) の最上部に配置された第 2 の絶縁層 (3 2) と、

前記ドリフト層 (8) よりも高いドーピング濃度を有し、前記ベース層 (5) と前記ドリフト層 (8) との間に配置され、前記エミッタ側 (1 1) と平行な少なくとも 1 つの平面で前記ベース層 (5) を前記ドリフト層 (8) から分離する、第 1 の導電型のエンハンスメント層 (6) と、

第 2 のトレンチゲート電極 (4 1) および導電層 (4 2) を有するゲート電極 (4) とが設けられており、

前記第 2 のトレンチゲート電極 (4 1) と前記導電層 (4 2) との双方は、前記エミッタ電極 (2) と電気的に接続されており、

前記第 2 のトレンチゲート電極 (4 1) は、前記ベース層 (5) の側方に配置され、前記ベース層 (5) よりも深く前記ドリフト層 (8) 中に延在し、前記第 2 のトレンチゲート電極 (4 1) は、前記ベース層 (5) と前記エンハンスメント層 (6) と前記ドリフト層 (8) とから、第 3 の絶縁層 (4 3) によって分離されており、

前記エミッタ電極 (2) と、第 1 のトレンチゲート電極 (3) と第 2 のトレンチゲート電極 (4) との間に配置された前記第 2 のソース領域 (7 5) と、第 1 のトレンチゲート電極 (3) と第 2 のトレンチゲート電極 (4) との間の前記ベース層 (5) および前記ドリフト層 (8) とによって、第 2 のチャンネルを形成可能であり、

前記導電層 (4 2) は、前記第 2 のトレンチゲート電極 (4 1) を覆い、かつ該第 2 のトレンチゲート電極 (4 1) の外側で少なくとも前記ベース層 (5) 上方の領域まで横方向に延在し、

前記導電層 (4 2) は、前記ベース層 (5) から第 4 の絶縁層 (4 4) によって分離されており、

前記導電層 (4 2) は、前記第 2 のトレンチゲート電極 (4 1) と接触しており、

さらに前記絶縁ゲート型バイポーラトランジスタ (1) には、

前記エミッタ側 (1 1) で前記導電層 (4 2) の最上部に配置された第 5 の絶縁層 (4 5) が設けられており、該第 5 の絶縁層 (4 5) は、前記導電層 (4 2) が前記エミッタ電極 (2) と電気的に接触するように切欠部 (4 7) を有しており、

前記ドリフト層 (8) は、第 1 および第 2 のトレンチゲート電極 (3 , 4 1) の間のエリアで、前記第 4 の絶縁層 (4 4) の側方に延在しており、前記エンハンスメント層 (6) が前記ドリフト層 (8) により前記第 3 の絶縁層 (4 3) から分離されている、

ことを特徴とする、

絶縁ゲート型バイポーラトランジスタ (1) 。

【請求項 2】

前記第 1 のトレンチゲート電極 (3) は、前記ドリフト層 (8) 内で前記第 2 のトレンチゲート電極 (4 1) と同じ深さまで延在している、請求項 1 記載の絶縁ゲート型バイポーラトランジスタ (1) 。

【請求項 3】

前記絶縁ゲート型バイポーラトランジスタ (1) はさらに、前記コレクタ側 (1 5) で前記コレクタ層 (9) の側方に配置された、第 1 の導電型の第 1 の領域 (9 5) を含み、該第 1 の領域 (9 5) は前記ドリフト層 (8) よりも高いドーピング濃度を有する、請求項 1 または 2 記載の絶縁ゲート型バイポーラトランジスタ (1) 。

【請求項 4】

前記導電層 (4 2) は、前記第 2 のトレンチゲート電極 (4 1) と同じ材料から成る、請求項 1 から 3 のいずれか 1 項記載の絶縁ゲート型バイポーラトランジスタ (1) 。

【請求項 5】

前記絶縁ゲート型バイポーラトランジスタ (1) はさらに、前記ベース層 (5) よりも

10

20

30

40

50

高いドーピング濃度を有する第2の導電型のバーを含み、

該バーは、前記エミッタ側(11)と平行でありかつ前記第1のソース領域(7)が対応する前記第1のトレンチゲート電極(3)に向かう方向に垂直な平面に、前記エミッタ側(11)で配置されており、

該バーのところで、前記第1のソース領域(7)と、前記ベース層(5)と、前記第1および第2のトレンチゲート電極(3, 41)とが終端している、

請求項1から4のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項6】

前記ベース層(5)は、前記第3の絶縁層(43)の側方に延在している、請求項1から5のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

10

【請求項7】

前記エンハンスメント層(6)は、前記ベース層(5)が前記ドリフト層(8)および前記第3の絶縁層(43)から分離されているように、前記ベース層(5)を囲んでいる、請求項1から6のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項8】

前記第4の絶縁層(44)は50~150nmの厚さを有する、請求項1から7のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項9】

前記導電層(42)は、前記第2のトレンチゲート電極(41)の外側に各々の側で2~10μm延在している、請求項1から8のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

20

【請求項10】

別の第2のトレンチゲート電極(410)および別の導電層(420)を有する別のゲート電極(40)が設けられており、前記別の第2のトレンチゲート電極(410)と前記別の導電層(420)との双方は、前記エミッタ電極(2)と電氣的に接続されており、

前記別の第2のトレンチゲート電極(410)は、前記ベース層(5)の側方に配置され、前記ベース層(5)よりも深く前記ドリフト層(8)中に延在し、前記別の第2のトレンチゲート電極(410)は、前記ベース層(5)と前記エンハンスメント層(6)と前記ドリフト層(8)とから、別の第3の絶縁層(430)によって分離されており、

30

前記別の導電層(420)は、前記別の第2のトレンチゲート電極(410)を覆い、かつ該別の第2のトレンチゲート電極(410)の外側で少なくとも前記ベース層(5)上方の領域まで横方向に延在し、

前記別の導電層(420)は、前記ベース層(5)から別の第4の絶縁層(440)によって分離されており、

前記別の導電層(420)は、前記別の第2のトレンチゲート電極(410)と接触しており、

前記別のゲート電極(40)は、前記ゲート電極(4)の隣りに配置されており、

前記別の導電層(420)と前記別の接地されたトレンチゲート電極(410)は、直接隣り合って配置されており、

40

前記第2のトレンチゲート電極(41)と前記別の第2のトレンチゲート電極(410)の間のエリアには、前記ドリフト層(8)だけが配置されている、

請求項1から9のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項11】

前記ゲート電極(4)の隣りに別のゲート電極(40)が配置されており、

該別の第2のゲート電極(40)は、別の第2のトレンチゲート電極(410)および別の導電層(420)を有しており、該別の第2のトレンチゲート電極(410)と該別の導電層(420)との双方は、前記エミッタ電極(2)と電氣的に接続されており、

前記別の第2のトレンチゲート電極(410)は、前記ベース層(5)の側方に配置され、前記ベース層(5)よりも深く前記ドリフト層(8)中に延在し、前記別の第2のト

50

レンチゲート電極(410)は、前記ベース層(5)と前記エンハンスメント層(6)と前記ドリフト層(8)とから、別の第3の絶縁層(430)によって分離されており、

前記別の導電層(420)は、前記別の第2のトレンチゲート電極(410)を覆い、かつ該別の第2のトレンチゲート電極(410)の外側で少なくとも前記ベース層(5)上方の領域まで横方向に延在し、

前記別の導電層(420)は、前記ベース層(5)から別の第4の絶縁層(440)によって分離されており、

前記別の導電層(420)は、前記別の第2のトレンチゲート電極(410)と接触しており、

前記導電層(42)と前記別の導電層(420)は、第6の絶縁層(46)によって互いに分離されており、

前記ドリフト層(8)は、前記第4の絶縁層(44)および前記別の第4の絶縁層(440)まで延在し、

前記第6の絶縁層(46)の下方に接続層(57)が配置されており、該接続層(57)は、前記導電層(42)および前記別の導電層(420)の下方の領域まで延在している、

請求項1から9のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項12】

前記絶縁ゲート型バイポーラトランジスタ(1)は、少なくとも2つの別の接地されたトレンチゲート電極(40)を含む、請求項10または11記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項13】

いずれの2つのトレンチゲート電極(3, 41, 410)間の間隔も、1つのトレンチゲートの厚さ以下である、請求項1から12のいずれか1項記載の絶縁ゲート型バイポーラトランジスタ(1)。

【請求項14】

エミッタ側(11)に設けられたエミッタ電極(2)と、前記エミッタ側(11)とは反対側のコレクタ側(15)に設けられたコレクタ電極(25)との間に複数の層を含む、絶縁ゲート型バイポーラトランジスタ(1)の製造方法において、

低濃度でドーピングされた第1の導電型のウェハを準備するステップであって、完成した絶縁ゲート型バイポーラトランジスタ(1)においてドーピング濃度が変化しないウェハ部分をドリフト層(8)とする、ステップと、

少なくとも2つの第1および第2のトレンチゲート電極(3, 41)を形成するステップであって、該少なくとも2つの第1および第2のトレンチゲート電極(3, 41)のために、前記エミッタ側(11)でウェハにトレンチ凹部を形成し、該トレンチ凹部に第1および第3の絶縁層(31, 43)を設けて、導電材料で充填する、ステップと、

前記第2のトレンチゲート電極(41)を横方向で取り囲む第4の絶縁層(44)を前記エミッタ側(11)に形成するステップと、

前記第2のトレンチゲート電極(41)を覆い、かつ該第2のトレンチゲート電極(41)の外側に横方向に延在する導電層(42)を、前記第2のトレンチゲート電極(41)の最上部に形成し、前記第2のトレンチゲート電極(41)と前記導電層(42)とによりゲート電極を構成するステップと、

前記導電層(42)をマスクとして使用して、前記第1の導電型の第1のドーパントを前記エミッタ側(11)でウェハに注入し、該第1のドーパントをウェハに拡散させることによって、エンハンスメント層(6)を形成するステップと、

前記導電層(42)をマスクとして使用して、前記第1の導電型とは異なる第2の導電型の第2のドーパントを前記エミッタ側(11)でウェハに注入し、該第2のドーパントをウェハ中に拡散させることによって、ベース層(5)を形成し、該ベース層(5)が低濃度でドーピングされたウェハの他の部分から、前記エンハンスメント層(6)によって完全に分離されるようにするステップと、

10

20

30

40

50

第1のソース領域(7)を形成するために2つの第1のトレンチゲート電極(3)の間に、および第2のソース領域(75)を形成するために第1および第2のトレンチゲート電極(3,4)の間に、第1の導電型の第3のドーパントを加えることによって、低濃度でドーピングされたウェハよりも高いドーピング濃度を有する第1および第2のソース領域(7,75)を形成するステップと、

前記エミッタ電極(2)に前記導電層(42)を接触させるための切欠部を除いて、前記導電層(42)を第5の絶縁層(45)により覆い、前記第1のトレンチゲート電極(3)を第2の絶縁層(32)により覆うステップと、

第2の導電型の第4のドーパントを前記コレクタ側(15)でウェハに注入し、該第4のドーパントをウェハ中に拡散させることによって、前記コレクタ側(15)に第2の導電型のコレクタ層(9)を形成するステップと、

2つの第1のトレンチゲート電極(3)の間と、第1および第2のトレンチゲート電極(3,4)の間に、前記エミッタ電極(2)に対する前記ベース層(5)のコンタクト開口部を形成するステップと、

前記エミッタ側(11)にエミッタ電極(2)を形成し、前記コレクタ側(15)にコレクタ電極(25)を形成するステップと、

を有することを特徴とする、

絶縁ゲート型バイポーラトランジスタ(1)の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力半導体デバイスの分野に関する。本発明は、請求項1の上位概念に記載の絶縁ゲート型バイポーラトランジスタおよび請求項15に記載の製造方法に関する。

【0002】

背景技術

図1には、プレーナゲート電極を備えた従来技術のIGBT120が示されている。IGBT120は4層構造のデバイスであり、これらの層はエミッタ側11のエミッタ電極2と、エミッタ側11とは反対側のコレクタ側15のコレクタ電極25との間に配置されている。エミッタ側11とコレクタ側15の間には、n型ドーピングされたドリフト層8が配置されている。ドリフト層8とエミッタ電極2の間にはp型ドーピングされたベース層5が配置されており、このベース層5はエミッタ電極2に対し電氣的に直接接触している。エミッタ側11にはn型ドーピングされたソース領域7が配置されていて、これはプレーナベース層5に埋め込まれており、エミッタ電極2と接触している。

【0003】

エミッタ側11の最上部にはプレーナゲート電極31が配置されている。プレーナゲート電極31は第1の絶縁層34によって、ベース層5と第1のソース領域7とドリフト層8とから電氣的に絶縁されている。さらに第3の絶縁層38が、プレーナゲート電極31とエミッタ電極2との間に配置されている。コレクタ側において、コレクタ層9がドリフト層8とコレクタ電極25との間に配置されている。

【0004】

この種のプレーナ型MOSセルのデザインは、これをBiMOSタイプのスイッチコンセプトに適用した場合、多くの欠点を有する。このデバイスは、複数の作用に起因して大きなオン状態損失を生じさせる。プレーナ型のデザインによって、セル近傍で(JFET効果とも称する)キャリア拡散に見舞われる横方向のMOSチャンネルが形成される。このため、プレーナ型セルのキャリアのエンハンスメントは小さい。さらに横方向のチャンネルデザインに起因して、プレーナ型のデザインは、MOSチャンネルの外側に横方向に電子が拡散することによって、ホールドレイン効果(PNP効果)という欠点も生じる。各セル間の領域によって、PINダイオードの部分に対し強い電荷エンハンスメントが生じる。ただしこのPIN効果は、セル実装密度が低い(単位面積あたりのセル数が少ない)ときのみ、高電圧デバイスにおいて好影響を及ぼすことができる。チャンネル抵抗を低減でき

10

20

30

40

50

るようにするために、プレーナ型デバイスはセル実装密度を低減して形成されるが、このような実装密度の低減はピッチ（セル間の間隔）を狭くすることによってしか埋め合わせできず、これによってP i N効果が低減される。

【0005】

プレーナベース層を取り囲むn型ドーピングされたエンハンスメント層を導入すると、このような大きな損失が低減される。

【0006】

阻止能力に関してプレーナ型デザインは、セル内およびセル間のピーク電界が小さいことから、良好な阻止能力を生じさせる。

【0007】

プレーナ型デザインは、ゲート電極下方の大きなMOS蓄積領域および付随する大きな容量を生じさせることができる。それにもかかわらずこのデバイスは、ミラー容量低減のためにセル間にフィールド酸化膜タイプの層を適用することで、良好なコントロール性能を有している。このようにして、プレーナ型デザインのために良好なコントロール性能と小さいスイッチング損失を達成することができる。

【0008】

さらにプレーナ型デザインのセル密度を、要求された短絡電流に対して簡単に調整できる。

【0009】

上述の作用すべてを考慮した結果、従来技術のプレーナ型セルは、フィールド酸化膜層を用い著しく狭いセルと幅の広いピッチを適用している。

【0010】

プレーナ型デザインの代案として、図2に示すように従来技術においてトレンチMOSセルデザインを有するIGBT 130が導入された。このデザインによればトレンチゲート電極3が第1の絶縁層34によって、ベース層5と第1のソース領域7とドリフト層8とから電氣的に絶縁されている。トレンチゲート電極3は、ベース層5と同じ平面で横方向に配置されており、ベース層5よりも深くドリフト層8中に延在している。

【0011】

このようなトレンチゲート電極のデザインによって、オン状態損失が小さくなる。その理由は、トレンチデザインにより垂直方向のMOSチャンネルが形成され、このチャンネルは垂直方向で電子の注入を強め、セル近傍での電荷拡散（いわゆるJFET作用）という欠点を被らないからである。したがってこのようなトレンチセルは、損失を小さくするためにキャリアエンハンスメントをいっそう改善する。垂直方向のチャンネルデザインゆえに、MOSチャンネルの外側への電子の拡散が改善されることから、ホールドレイン作用（PNP作用）も弱まる。トレンチ底部には蓄積層が設けられ、この層によってPINダイオードの部分に対し強い電荷エンハンスメントが生じる。したがって幅の広いおよび/または深いトレンチは最適なパフォーマンスを有する。トレンチのデザインによって、チャンネル抵抗を低減するために高いセル実装密度が得られる。ただしトレンチデザインの場合、ピーク電界強度が高いことから、トレンチの底部コーナー近傍で阻止能力が小さくなってしまふ。トレンチデザインは、大きいMOS蓄積領域および付随する容量を有し、そこには、ミラー容量低減のためにトレンチにフィールド酸化膜タイプの層を設けるといふ難しさを伴う。その結果、デバイスのコントロール性能が悪くなり、スイッチング損失が高まる。しかも、トレンチデザインにおけるセル密度が高いことから、大きい短絡電流が生じる。

【0012】

上述の作用を低減する目的で、トレンチゲート電極は幅広く深く形成される一方、セルは狭く形成されるので、損失が低減され、短絡電流を小さく保持することができる。しかしながらこのようなトレンチを形成するのは難しく、さらにコントロール性能が悪いという欠点を被ることになる。

【0013】

10

20

30

40

50

さらに図3に示した従来技術のコンセプトによれば、ピッチドトレンチ (pitched-trench) ゲート電極300というデザインのIGBT 140が適用されており、これによればセル間にMOSエリアが挿入されている。この場合、2つのトレンチゲート電極3がトレンチゲート電極と同じ材料から成る層によって接続されており、これにより1つのエリアが形成され、その下方にはベース層の一部が配置されるが、このMOSエリア内ではソース領域は設けられておらず、あるいはエミッタ電極に対するベース層の接触は行われぬ。しかしながら、トレンチが打ち込まれた領域からスイッチング中、電界が緩慢に拡散することから(図3)、このデバイスの阻止特性は悪く、スイッチング損失が大きい。

【0014】

図4に示した別のアプローチによれば、別の従来技術のIGBT 150にダミートレンチセル110が導入されており、これによればアクティブセル100とダミーセル110が交互に配置される。ダミーセル110では、ベース層5と第1のソース領域7はエミッタ電極2と接触していない。しかしながらこの場合も、ピッチドトレンチデザインについて述べたのと同様の問題点があてはまる。

【0015】

このデザインに関して、オン状態損失を低減する目的で、ドリフト層8とベース層5との間にn型ドーピングされたエンハンスメント層を導入することができる。

【0016】

JP 2011-40586には、トレンチゲート電極を有するさらに別の従来技術によるIGBT 160について述べられている。この場合、2つのアクティブなトレンチ3の間に浅いピッチドトレンチ300が配置されており、このトレンチの上方には、同じ導電型のポリシリコン材料から成る平坦な層が設けられているが、これは従来技術のIGBT 140と同様、エミッタ電極2と接触していない(図3参照)。しかしながら1つのベース層5が、アクティブセルにおいても浅いピッチドトレンチ300下方のピッチドゲートエリアにおいても用いられていることから、このベース層5はどちらかといえば深くなければならない。なぜならばピッチドゲート電極はベース層5中に埋め込まれるのに対し、アクティブトレンチ3はベース層5よりも深いからである。深さの異なるこのようなトレンチ3, 300と深いp型ベース層5の製造はきわめて難しい。その理由は、アクティブトレンチ3とピッチドトレンチをそれぞれ別個に製造しなければならないからである。しかも、深いp型ベース層5はアクティブトレンチ3と接続されているが、これはコントロール性能の観点からすれば、デバイスのターンオン動作に悪影響を及ぼす。

【0017】

発明の概要

本発明の課題は、オン状態損失とスイッチング損失が低減され、阻止能力が改善され、良好なコントロール性能をもち、従来技術のデバイスよりも簡単に製造できる電力用半導体デバイスを提供することにある。

【0018】

この課題は、請求項1の特徴を備えた半導体デバイスならびに請求項15記載の製造方法により解決される。

【0019】

本発明による絶縁ゲート型バイポーラトランジスタ (IGBT) は、エミッタ側に設けられたエミッタ電極と、エミッタ側とは反対側のコレクタ側に設けられたコレクタ電極との間に複数の層を含んでおり、以下の構成を有している。すなわち、

- 第1の導電型のドリフト層。
- このドリフト層とコレクタ電極との間に配置され、コレクタ電極と電氣的に接触している、第1の導電型とは異なる第2の導電型のコレクタ層。
- ドリフト層とエミッタ電極との間に配置され、エミッタ電極と電氣的に接触し、ドリフト層とは完全に分離されている、第2の導電型のベース層。
- このベース層においてエミッタ側に配置され、エミッタ電極と電氣的に接触し、ドリフト層よりも高いドーピング濃度を有する、第1の導電型の第1のソース領域。

10

20

30

40

50

- ベース層の側方に配置され、ベース層よりも深くドリフト層中に延在し、ベース層と第1のソース領域とドリフト層とから第1の絶縁層によって分離されている、少なくとも2つの第1のトレンチゲート電極。この場合、2つの第1のトレンチゲート電極の間において、エミッタ電極と第1のソース領域とベース層とドリフト層とにより、第1のチャンネルを形成することができる。第1のソース領域は、2つの第1のトレンチゲート電極の間に配置されている。

- エミッタ側で第1のトレンチゲート電極の最上部に配置され、第1のトレンチゲート電極をエミッタ電極から絶縁する第2の絶縁層。

- ベース層とドリフト層との間に配置され、エミッタ側と平行な少なくとも1つの平面でベース層をドリフト層から分離する、第1の導電型のエンハンスメント層。

- 第2のトレンチゲート電極と導電層を有するゲート電極。これら第2のトレンチゲート電極と導電層の双方は接地されており、すなわちこれらはエミッタ電極と電氣的に接続されている。この場合、第2のトレンチゲート電極は、ベース層の側方に配置され、ベース層よりも深くドリフト層中に延在し、第2のトレンチゲート電極は、いかなる周囲の層または領域からも（ベース層とエンハンスメント層とドリフト層とから）、第3の絶縁層によって分離されている。さらにこの場合、導電層は、第2のトレンチゲート電極を覆い、かつこの電極の外側で少なくともベース層上方の領域まで横方向に延在している。さらにこの導電層は、第4の絶縁層によってベース層から分離されており、この絶縁層はエミッタ側でその最上部にエミッタ側に対し平行に配置されている。この導電層は、第2のトレンチゲート電極と接触している。第1のトレンチゲート電極と第2のトレンチゲート電極との間において、エミッタ電極と第2のソース領域とベース層とドリフト層とによって、第2のチャンネルを形成することができる。第2のソース領域は、第1のトレンチゲート電極と第2のトレンチゲート電極との間に配置されている。

- エミッタ側で第2のトレンチゲート電極の最上部に配置された第5の絶縁層。この第5の絶縁層は、導電層がエミッタ電極と電氣的に接触するように切欠部を有している。

【0020】

本発明によるIGBTは、スタティックな特性についてもダイナミックな特性についても良好な電氣的特性を有する。

【0021】

本発明によれば、エミッタ電極の電位をもつゲート電極が導入され、コントロール可能なトレンチを設計されたアクティブなチャンネル領域に制限する。T型のトレンチ形状を採用することで、エミッタへの短絡がいっそう簡単になり、2つのアクティブなセルの間でいっそう良好な平坦化（電界）が得られる。

【0022】

エンハンスメント層自体も、オン状態損失が低減される、という利点を有する。導電層が「接地されている」ので、つまりエミッタ電極と電氣的に接続されているので、ゲート回路に容量効果を加えても不都合な挙動をせず、したがって低損失と良好なコントロール性能によって改善されたスイッチングが得られる。

【0023】

本発明によるエミッタ側の構造を、導電型を逆にするなど多数の可能な組み合わせにおいて他の形式のIGBTデバイスにも適用することができる。本発明によるデザインは、完全なまたは部分的なストライプ構造に適しているが、セル状のデザインにおいても実現することができる。

【0024】

本発明によるIGBTを形成するために、異なる深さのトレンチを設けるなど複雑なステップは不要である。

【0025】

しかも本発明によるデバイスの製造は著しく簡単である。その理由は、本発明によるデザインを、ベース層、エンハンスメント層、ソース領域に対するセルフアライメントプロセスに基づき製造することができ、特別なマスクを使用する必要がないからである。

10

20

30

40

50

【0026】

従属請求項には本発明の有利な実施形態が示されている。

【0027】

次に、図面を参照しながら本発明について詳しく説明する。

【図面の簡単な説明】

【0028】

【図1】従来技術によるプレーナゲート電極を備えたIGBTを示す図

【図2】従来技術によるトレンチゲート電極を備えたIGBTを示す図

【図3】従来技術によるピッチドゲート電極を備えた別のIGBTを示す図

【図4】従来技術によるダミーセルを備えた別のIGBTを示す図

10

【図5】従来技術によるピッチドトレンチゲートを備えた別のIGBTを示す図

【図6】本発明によるIGBTの第1の実施形態を示す図

【図7】本発明によるIGBTの別の実施形態を示す図

【図8】本発明によるIGBTの別の実施形態を示す図

【図9】本発明によるIGBTの別の実施形態を示す図

【図10】本発明によるIGBTの別の実施形態を示す図

【図11】本発明によるIGBTの別の実施形態を示す図

【図12】本発明によるIGBTの別の実施形態を示す図

【図13】本発明によるIGBTの別の実施形態を示す図

【0029】

20

図面で用いた参照符号ならびにそれらの意味は、符号の説明に一覧としてまとめられている。全体として、同じ部分または同じ機能を果たす部分には同じ参照符号が付されている。なお、ここで説明する実施形態は例示にすぎず、それらによって本発明を限定しようというものではない。

【0030】

発明を実施するための形態

図6には、4層構造(pnpn)をもつ絶縁ゲート型バイポーラトランジスタ(IGBT)1として本発明の電力用半導体デバイスの第1の実施形態が示されている。これらの層は、エミッタ側11のエミッタ電極2と、エミッタ側11とは反対側のコレクタ側15のコレクタ電極25との間に配置されている。IGBT1は以下の層を有している：

30

- エミッタ側11とコレクタ側15との間に、n型に低濃度でドーピングされたドリフト層8が配置されている。一例として、ドリフト層8は一定の均一な低いドーピング濃度を有している。

- p型にドーピングされたコレクタ層9が、ドリフト層8とコレクタ電極25との間に配置されている。コレクタ層9は、コレクタ電極25の隣りに配置され電氣的に接触している。

- p型にドーピングされたベース層5が、ドリフト層8とエミッタ電極2との間に配置されている。ベース層5は、エミッタ電極2と電氣的にじかに接触している。ベース層5はドリフト層8から完全に分離されている。つまり少なくとも1つのp型にはドーピングされていない層が、それらの間に配置されている。

40

- n型にドーピングされた第1のソース領域7が、ベース層5においてエミッタ側11に配置されており、エミッタ電極2と電氣的に接触している。第1のソース領域7は、ドリフト層8よりも高いドーピング濃度を有している。ベース層5の最上部に第1のソース領域7が配置されているということは、第1のソース領域7はエミッタ側11の表面に配置されているということになる。第1のソース領域7をベース層5の中に埋め込んで、両方の層がエミッタ側11で共通の表面を有するようにしてもよい。

- 少なくとも2つの第1のトレンチゲート電極3がベース層5の横方向に配置されており、エミッタ側11からドリフト層8中へベース層5よりも深く延在している。第1のトレンチゲート電極3は各々、周囲の層または領域(ベース層5、エンハンスメント層6、ドリフト層8)から第3の絶縁層43によって分離されている。2つの第1のトレンチゲ-

50

ト電極 3 の間において、エミッタ電極 2 と第 1 のソース領域 7 とベース層 5 とドリフト層 8 とにより、第 1 のチャンネルを形成することができる（図 6 の外側の両方の矢印）。第 1 のソース領域は、2 つの第 1 のトレンチゲート電極の間に配置されている。トレンチゲート電極は、セル状のデザインや完全なストライプ構造または部分的なストライプ構造のように、当業者に周知のどのようなデザインであってもよい。

- エミッタ側 1 1 において第 1 のトレンチゲート電極 3 の最上部の上に、第 2 の絶縁層 3 2 が配置されている。この絶縁層によって、第 1 のトレンチゲート電極 3 がエミッタ電極 2 から絶縁されている。

- ドリフト層 8 よりも高い濃度で n 型にドーピングされたエンハンスメント層 6 が、ベース層 5 とドリフト層 8 との間に配置されている。エンハンスメント層 6 によって、少なくともエミッタ側 1 1 に対して平行な面において、ベース層 5 がドリフト層 8 から分離されている。エンハンスメント層によって、損失が低減される。

- 「接地された」ゲート電極 4 は、第 2 のトレンチゲート電極 4 1 と導電層 4 2 を有しており、これらの両方は接地されており、すなわちこれらはエミッタ電極 2 の電位におかれている。第 2 のトレンチゲート電極 4 1 はベース層 5 の横方向に配置されており、ドリフト層 8 中にベース層 5 よりも深く延在している。第 2 のトレンチゲート電極 4 1 は、その周囲の層すなわちベース層 5、エンハンスメント層 6 およびドリフト層 8 から、第 3 の絶縁層 4 3 によって分離されている。導電層 4 2 が第 2 のトレンチゲート電極 4 1 を覆っており、かつ外側で横方向に少なくともベース層 5 上方の領域まで延在している。第 2 のトレンチゲート電極 4 1 は、機械的および電氣的に導電層 4 2 と接続されている。導電層 4 2 は第 2 のトレンチゲート電極 4 1 と接触しており、それによって接地されている。第 2 のトレンチゲート電極 4 1 と導電層 4 2 は、適切な導電材料たとえばポリシリコンまたは金属によって形成することができる。たとえば、それらは同じ材料によって形成されている。1 つの実施形態によれば第 1 のトレンチゲート電極 3 は、エミッタ側 1 1 から第 2 のトレンチゲート電極 4 1 と同じ深さまで、ドリフト層 8 内に延在している。第 1 のトレンチゲート電極 3 と第 2 のトレンチゲート電極 4 との間において、エミッタ電極 2 と第 2 のソース領域 7 5 とベース層 5 とドリフト層 8 によって、第 2 のチャンネルを形成することができる（2 つの内側の矢印によって図 6 に示す）。第 2 のソース領域 7 5 は、第 1 のトレンチゲート電極 3 と第 2 のトレンチゲート電極 4 1 との間に配置されている。

- 導電層 4 2 は、第 4 の電氣的絶縁層 4 4 によってベース層 5 から分離されており、この絶縁層 4 4 はエミッタ側 1 1 の最上部にエミッタ側 1 1 に対し平行に配置されている。第 4 の絶縁層 4 4 を 50 ~ 150 nm の薄さに選定することができる。これは図 3 および図 4 に示した従来技術のデバイスで用いられていた第 2 の絶縁層 3 2 よりもずっと薄く、それら従来技術のデバイスは、500 ~ 1500 nm の厚さの酸化シリコン層の形態で第 2 の絶縁層 3 2 を有する。このように薄い第 4 の絶縁層 4 4 を設けることによって容量が明確に低減され、それによってスイッチング性能が改善される。

- 第 5 の絶縁層 4 5 が、エミッタ側 1 1 において導電層 4 2 の最上部の上に配置されている。第 5 の絶縁層 4 5 は導電層 4 2 の側に切欠部 4 7 を有しており、この切欠部は第 4 の絶縁層 4 4 とは反対側に位置し、導電層 4 2 がエミッタ電極 2 と電氣的に接触するようになっている。

【0031】

本明細書において「横方向に」ないしは「側方に」とは、エミッタ側 1 1 に対し平行である 1 つの同じ平面に 2 つの層が配置されていることを意味する。この平面内において複数の層が互いに隣り合って配置され、あるいはまさに横方向に（近くに隣接して、左右に並んで）配置される一方、それらの層が互いに距離をおくようにしてもよく、つまりこれら 2 つの層の間にさらに別の層を配置することもできる。とはいえそれらの層を互いにじかに隣接させることもでき、つまり互いに接するようによい。

【0032】

図 6 には第 2 のソース領域 7 5 も示されており、この領域はエミッタ側 1 1 において第 1 のトレンチゲート電極 3 と第 2 のトレンチゲート電極 4 1 との間のベース層 5 に配置さ

10

20

30

40

50

れている。第2のソース領域75はたとえば、エミッタ電極2に対するベース層5のコンタクト開口部から別のオプションの第2のソース領域75まで、このコンタクト開口部からゲート電極4の導電層42下方の領域まで、横方向に延在している。第2のソース領域75はたとえば第1のソース領域7といっしょに形成されるので、製造中のマスクステップが低減される。第2のソース領域75はドリフト層8よりも高いドーピング濃度を有しており、たとえば第1のソース領域7と同じドーピング濃度を有している。第2のソース領域は図6では破線で描かれている。その理由は、望まれるのであればこのようなソース領域を設けずにデバイスを製造できるからである。

【0033】

本発明による他のデバイスにおいても第2のソース領域75は、設けられていてもよいし、設けられていなくてもよい。このことは殊に、図7～図13に示した本発明による別のデバイスについてあてはまる。この種の第2のソース領域75が設けられていないと、ラッチアップ作用が減少する。

【0034】

図6によるデバイスは、第1のトレンチゲート電極3の両側の第1のソース領域すなわち層5,7がエミッタ電極2と電気的に接続されている個所における両側の第1のソース領域7とコンタクトエリアに基づき、トレンチゲート電極の両側に2つのアクティブなチャネルを有している(トレンチゲート電極3のところ矢印を伴う線で図示)。これらのチャネルのうち一方のチャネルは、第1のトレンチゲート電極3と第2のトレンチゲート電極41との間に位置しており、これによってデバイスをコンパクトなデザインにすることができ、オン状態損失とスイッチング損失の低減、阻止性能の改善ならびに良好なコントロール性能という利点が得られる。このようなデザインのために製造プロセス中、絶縁層45が第1のトレンチゲート電極と第2のトレンチゲート電極との間で部分的に除去され、その結果、ソース領域のための第3の粒子を第1のトレンチゲート電極と第2のトレンチゲート電極との間に注入することができる。当然ながらこのようなデザインのためにも第2の絶縁層45は、第1のトレンチゲート電極3を、そしてエミッタ電極2に導電層42を接触させるための切欠部47を除いて導電層42も、覆ったままでエミッタ電極2から完全に分離される程度にだけ除去される。このため導電層42は側面(エミッタ側11に対し垂直な導電層の側面)において、エミッタ電極2から分離されている。この種の製造方法の場合、エンハンスメント層6とベース層5は、そしてソース領域も、セルフアライメントされ、つまり専用のマスクは適用されず、すでにデバイスの一部となっている層(導電層)を、上述の層を生成するためのマスクとして利用することができる。

【0035】

したがってこのデバイスは、第1のトレンチゲート電極3の両方の側にアクティブなチャネルを有しており、つまり別の第1のトレンチゲート電極3に向かう側と第2のトレンチゲート電極4に向かう側に、アクティブなチャネルを有している。第2のトレンチゲート電極に向かう側において、他方の側と同様ベース層5がエミッタ電極2と接触しており、つまり第5の絶縁層45と第2の絶縁層32は、エミッタ電極2と接触するためのベース層5のコンタクト開口部によって互いに分離されている。さらに図6には一点鎖線が示されており、2つの一点鎖線の間を示す構造を鏡像化することで、この図に示した構造を一点鎖線のところから続けることができる。同様に図中のすべての構造を鏡像化することができる。他の図面すべてにおいても、図中に示す構造を図示の構造の複製として続けることができる。

【0036】

図7から図13には、図6に示したものと類似したIGBTが示されているが、それらの図面に示すIGBTは付加的な構造を含んでおり、これについて以下詳しく説明する。

【0037】

第2のソース領域75はたとえば第1のソース領域7といっしょに形成されるので、製造中のマスクステップが低減される。第2のソース領域75は第1のソース領域7と同様、低濃度でドーピングされたドリフト層8(たとえばこの層のドーピング濃度は一定)よ

10

20

30

40

50

りも高いドーピング濃度を有する。

【0038】

図7には、n型にドーピングされたバッファ層85を含む本発明の別のIGBTが示されている。バッファ層85はドリフト層8よりも高いドーピング濃度を有しており、ドリフト層8とコレクタ層9との間に配置されている。

【0039】

本発明によるエミッタ側の設計を、導電性が逆であるIGBT(図8)にも適用することができる。この場合、コレクタ層9と同じ面に(つまりコレクタ側15上であってコレクタ層9の横に)図8に示されているようにn型にドーピングされた第1の領域95が配置されている。このように第1の領域95は、コレクタ層9と交互に配置されている。第1の領域95は、ドリフト層8よりも高いドーピング濃度を有している。

10

【0040】

導電層42は、トレンチゲート電極41と同じ材料によって形成することができる。導電層42をエミッタ電極2および第2のトレンチゲート電極41と接触させることにより、導電層42と第2のトレンチゲート電極41はエミッタ電極2と同じ電位におかれている。したがって層41, 42は、第1のトレンチゲート電極3と同様に制御不可能である。このためこれらの層は、ゲートにおける容量作用が増加することに起因するスイッチングパフォーマンスに対する不都合な影響を与えない。

【0041】

図6~図8の場合、ベース層5とエンハンスメント層6は第3の絶縁層43とじかに接しており、すなわちその間には他の層は配置されていない。別の選択肢として図9に示されているように、エンハンスメント層6が第3の絶縁層43の横に延在しており、ベース層5を完全に取り囲んでおり、それによってドリフト層8と第3の絶縁層に対しベース層5を完全に分離している。ここではエンハンスメント層6は、ベース層5がドリフト層8および第3の絶縁層43から分離されているように、ベース層5を取り囲んでいる。

20

【0042】

第2のトレンチゲート電極41に向かってエンハンスメント層6がベース層5を取り囲んでいることから、コレクタ-エミッタ間のオン電圧 V_{ce} がさらに低減され、この利点は図9の択一的な実施形態においても存在する。ベース層を取り囲むエンハンスメント層の製造は、エンハンスメント層とベース層を作成するためのマスクとして導電層42を利用することによってのみ可能である。導電層42によってそれらの層のセルフアライメントによる作成が可能となり、つまりデバイス構造に整列するために必要とされる特別なマスクを適用する必要はない。

30

【0043】

図10に示されている別の選択肢によれば、エンハンスメント層6を第1のトレンチゲート電極3と第2のトレンチゲート電極41との間のエリアで、エンハンスメント層6がドリフト層8により第3の絶縁層43から分離されるように、第4の絶縁層44に向けて延在させることができる。この場合、エンハンスメント層6は、ドリフト層8と第3の絶縁層43に対しベース層5を完全に取り囲んでいる。この実施形態の場合、エンハンスメント層6は、エンハンスメント層6と第3の絶縁層43がドリフト層8によって互いに分離されるように、ウェハ表面すなわち第4の絶縁層44まで延在している。このような配置によって、オン状態損失を低減することができる。

40

【0044】

この実施形態のための製造方法の一例によれば、第4の絶縁層44と導電層42が、ベース層5とエンハンスメント層6を作成するためのマスクとして用いられる。導電層44の幅を広くし第2のトレンチゲート電極41の幅を狭くすると、エンハンスメント層6とトレンチゲート電極41が互いに整列するようになる。

【0045】

さらに別の実施形態によれば本発明によるIGBT1には、ベース層5よりも高い最大ドーピング濃度を有するp型にドーピングされたバーが含まれている。このバーは、図

50

6 ~ 図 1 3 に示した図平面に対し垂直な平面において、エミッタ側 1 1 に配置されている。このバーのところでソース領域 7, 7 5、ベース層 5、第 1 および第 2 のトレンチゲート電極 3, 4 1 が終端している。このバーはウェハ表面まで延在している。さらにこのバーはエミッタ側と平行な平面で、第 1 のソース領域 7 が対応する第 1 のトレンチゲート電極 3 に向かう方向あるいはエンハンスメント層 6 がベース層 5 を第 2 のトレンチゲート電極 4 1 から分離した方向に対し垂直に延在している。このバーはウェハ表面まで延在している。このバーはエミッタ側と平行な平面で、第 1 のソース領域 7 が対応する第 1 のトレンチゲート 3 に向かう方向に対し垂直に延在している。

【 0 0 4 6 】

2 つのグラントレンチゲート電極 4 1, 4 1 0 の間の間隔、あるいは第 2 のトレンチゲート電極 4 1, 4 1 0 とアクティブなトレンチゲート電極 3 との間隔は、(エミッタ側 1 1 から測定してエミッタ側に対し垂直な方向で) トレンチの厚さと等しいかあるいはそれよりも小さくすべきである。これらのトレンチ 3, 4 1, 4 1 0 間の間隔をこのように小さくすることで、良好な阻止特性が保証される。この間隔が大きすぎると、阻止作用が低下することになる。

【 0 0 4 7 】

導電層 4 2 を、(エミッタ側 1 1 に対し垂直な方向で) 第 2 のトレンチゲート電極が有する厚さにおおよそ相応する値だけ、第 2 のトレンチゲート電極 4 1 の外側に延在させることができ、たとえば導電層 4 2 はトレンチゲート電極の厚さの半分の長さだけ延在している。第 2 のトレンチゲート電極 4 1 の厚さは、エミッタ側 1 1 から測定されるものである。つまり 1 つの実施形態によれば、導電層 4 2 は横方向で第 2 のトレンチゲート電極 4 1 の外側に 2 ~ 1 0 μm 延在している。たとえば各々の側で 2 ~ 5 μm 延在しており、別の実施形態によれば各々の側で 5 ~ 1 0 μm 延在している。

【 0 0 4 8 】

別の実施形態によれば、本発明による IGBT はさらに別の第 2 のトレンチゲート電極 4 0 を有しており、これは本来の第 2 のトレンチゲート電極 4 の隣りに配置されている。

【 0 0 4 9 】

この別の第 2 のゲート電極 4 0 は、別の第 2 のトレンチゲート電極 4 1 0 と別の導電層 4 2 0 を有しており、これら双方はゲート電極 4 についてすでに述べたように接地されている。別の第 2 のトレンチゲート電極 4 1 0 はベース層 5 の横方向に配置されており、ドリフト層 8 中にベース層 5 よりも深く延在している。別の第 2 のトレンチゲート電極 4 1 0 は、ベース層 5 とエンハンスメント層 6 とドリフト層 8 から、別の第 3 の絶縁層 4 3 0 によって分離されている。

【 0 0 5 0 】

別の導電層 4 2 0 は第 2 のトレンチゲート電極 4 1 0 を覆っており、外側で横方向に少なくともベース層 5 上方の領域まで延在している。別の第 2 のトレンチゲート電極 4 1 0 は、機械的および電氣的に別の導電層 4 2 0 と接続されている。別の導電層 4 2 0 は第 2 のトレンチゲート電極 4 1 0 と接触しており、それによって接地されている。つまりこの層はエミッタ電極の電位にある。別の第 2 のトレンチゲート電極 4 1 0 と別の導電層 4 2 0 は、適切な導電材料たとえばポリシリコンまたは金属によって形成することができる。たとえばこれらはゲート電極と同じ材料から成り、同じ製造ステップで製造される。1 つの実施形態によれば、第 1 のトレンチゲート電極 3 と第 2 のトレンチゲート電極 4 1 は、エミッタ側 1 1 から別の第 2 のトレンチゲート電極 4 1 0 と同じ深さまで、ドリフト層 8 内に延在している。

【 0 0 5 1 】

図 1 1 および図 1 2 には、この種の別のゲート電極 4 0 を有する本発明による IGBT が示されている。この場合、別の導電層 4 2 0 と別の第 2 のトレンチゲート電極 4 1 0 は互いに接触し合っており、つまりこれらは互いにじかに隣り合って配置されており、したがってそれらの間に他の層は配置されていない。第 2 のトレンチゲート電極 4 1 と別の第 2 のトレンチゲート電極 4 1 0 の間の領域には、ドリフト層 8 しか配置されていない。こ

10

20

30

40

50

の領域には、n型にドーピングされた、またはp型にドーピングされた他の層は配置されていない。

【0052】

図13に示されているさらに別の実施形態によれば、本発明によるIGBTはやはり別のゲート電極40を有している。これはゲート電極4と隣り合って配置されている。ただしこの場合、別の導電層420と別の第2のトレンチゲート電極410は、第6の絶縁層46によって互いに分離されている。ドリフト層8は横方向で第4の絶縁層44に向かって延在しており、さらに第2のトレンチゲート電極4と別の第2のトレンチゲート電極40との間の領域で、別の第4の絶縁層440に向かって延在している。第6の絶縁層46の下にコネクショ層57が配置されており、この層は導電層42と別の導電層420の
10
下方の領域まで延在している。コネクショ層57を、n型ドーピング(ドリフト層8よりも高いドーピング濃度)としてもよいし、p型ドーピング(ベース層と同じドーピング濃度あるいはそれとは異なるドーピング濃度)としてもよい。

【0053】

コネクショ層によって、阻止特性が改善され損失が低減される。セル間の距離(アクティブなセルと接地されたセルとの間の距離)すなわち2つのトレンチ間の距離は、トレンチの厚さのオーダーにあり、詳しくは最大でトレンチゲート電極の厚さと等しく、あるいはそれよりも小さい。つまりいずれの2つのトレンチも、最大でトレンチゲート電極3, 41, 410の厚さだけ隔てられている(この厚さはエミッタ側11に対し垂直な方向で測定される)。
20

【0054】

別の第2のトレンチは、阻止特性の改善とキャパシタンスの低減に利用され、セルピッチを大きくするために接続されたゲート電極4, 40のチェーンとして導入することができる。本発明によるデバイスは、上述のものと同じやり方で配置されたこの種の別の第2のトレンチゲート電極を複数含むことができる(たとえば図12に示されているようにこの実施形態によれば、IGBTに含まれるゲート電極4は、導電層を接続することによって2つの別のゲート電極と接続されている)。さらに図13に示されているように本発明によるデバイスを別のゲート電極によって拡張することができ、つまり第6の絶縁層46が間に設けられていることによって互いに分離された導電層42, 420と、その下方のコネクショ層57とによって、デバイスを拡張することができる。
30

【0055】

さらに別の実施形態によれば導電型が入れ替えられ、つまり第1の導電型を有するすべての層がp型とされ(たとえばドリフト層8と第1および第2のソース領域7, 75)、第2の導電型を有するすべての層がn型とされる(たとえばベース層5とコレクタ層9)。
。

【0056】

本発明によるIGBTは以下の方法によって製造される。低濃度でドーピングされたウェハ(n-)が準備される。このウェハには、エミッタ側11(完成したデバイスではここにエミッタ電極2が配置される)とコレクタ側15(完成したデバイスではここにコレクタ電極25が配置される)が含まれる。このウェハは、均質かつ一定のドーピング濃度を有する。このウェハは、ケイ素またはGa NまたはSi Cから成るウェハをベースに製造することができる。完成した絶縁ゲート型バイポーラトランジスタ1において変わらず低濃度のドーピングを有するウェハの一部によって、ドリフト層8が形成される。
40

【0057】

ウェハのエミッタ側11にトレンチの凹部が形成され、そこに第1および第3の絶縁層31および43が設けられて、トレンチの凹部が第1および第3の絶縁層によって被覆される。次に、被覆されたトレンチの凹部が、高濃度でドーピングされたポリシリコンのような導電材料あるいはアルミニウムのような金属によって充填される。このステップによって、第1および第2のトレンチゲート電極が形成される。

【0058】

10

20

30

40

50

第4の絶縁層44が形成され、この絶縁層はエミッタ側11において第2のトレンチゲート電極41を横方向で取り囲む。

【0059】

導電層42が第2のトレンチゲート電極41の最上部に形成される。この導電層42は第2のトレンチゲート電極41を覆い、かつこの電極の外側に横方向に延在する。1つのゲート電極は、第2のトレンチゲート電極41と導電層42とを有する。

【0060】

導電層42を第2のトレンチゲート電極41と同じ材料によって形成することができるが、他の導電材料を使用してもよい。導電層42は第2のトレンチゲート電極41を覆い、かつ第2のトレンチゲート電極41を越えて(すなわちエミッタ側11と平行な平面で)横方向に延在しているので、第2のトレンチゲート電極41は導電層42によって覆われることになる。たとえば導電層42をウェル5の外側に2~10 μ m延在させることができ、別の実施形態によれば2~5 μ mまたは5~10 μ m延在させることができる。第4の絶縁層44によって導電層42が、第2のトレンチゲート電極41の側面に配置されウェハ表面まで延在する層から絶縁されるので、この層は横方向で少なくとも導電層42の側面まで延在し、あるいは導電層42の側面を越えて延在する。

【0061】

ついで、n型の第1のドーパントをエミッタ側11に注入し、導電層42をマスクとして使用してこのドーパントをウェハ中に拡散させることで、エンハンスメント層6が形成される。

【0062】

n型の第1のドーパントの注入後、導電層42をマスクとして使用して、エミッタ側11にp型の第2のドーパントを注入することで、ベース層5が形成される。p型の第2のドーパントはエミッタ側11からウェハ中へ、第1のドーパントが拡散した深さよりも浅い深さまで拡散するので、エンハンスメント層6中にベース層5が埋め込まれることになる。導電層42が第2のトレンチゲート電極41を越えて延在する距離と、第1および第2のドーパントが拡散する深さ/長さとはに応じて、図10に示した実施形態(エンハンスメント層6が第2のトレンチゲート電極41に向かって延在するが、第2のトレンチゲート電極41はベース層5から分離されている)あるいは、図12に示した実施形態(エンハンスメント層6はやはりベース層5をドリフト層8から分離しているが、ドリフト層8によって第2のトレンチゲート電極41から分離されている)が得られる。このようなデバイスでは第1のドーパントは、第2のトレンチゲート電極41までしか横方向には拡散しない。

【0063】

ついで第1および第2のソース領域7、75のためにn型の第3のドーパントが注入され、これらの領域は低濃度でドーピングされたウェハ/ドリフト層8よりも高いドーピング濃度を有している。第1のソース領域7は2つの第1のトレンチゲート電極3の間に形成され、第2のソース領域75は第1および第2のトレンチゲート電極3、4の間に形成される。たとえば第3のドーパントは、あとになって活性化される。

【0064】

この場合、導電層42は、n型の第3のドーパントを注入するためのマスクとして用いられる。2つの第1のトレンチゲート電極3の間の第1のソース領域と、第1のトレンチゲート電極3と第2のトレンチゲート電極41との間の第2のソース領域75が形成される。ついで第5の絶縁層45を、これらのソース領域7、75の形成後に設けることができる。第5の絶縁層45は、第2のソース領域75と、切欠部47を除いた導電層42を覆い、2つの第1のトレンチゲート電極3の間のコンタクト開口部を空けたまま残す。第1のトレンチゲート電極3をエミッタ電極2から絶縁するために、第1のトレンチゲート電極3も第5の絶縁層45によって覆われる。ここでたとえばエッチステップが実行され、これによりベース層5をエミッタ電極2と接触させるために、第1のソース領域7を通してエッチングが行われる(図示せず;この方法によればエミッタ電極2に対するベース

10

20

30

40

50

層5のコンタクト開口部がエミッタ側11下方の平面に配置される)。ウェハのエミッタ側11は最も外側の平面となるものであり、そこではエミッタ電極2が配置された側で平行にウェハに層または領域が配置される。別の選択肢として、ベース層5をエミッタ電極2と接触させるために、2つの第1のトレンチゲート電極3の間の中央領域を覆うマスクによって、ソース領域が形成される。

【0065】

さらに別の選択肢として、第1のトレンチゲート電極3に向かって横方向に延在する導電層42の最上部に、第5の絶縁層45が設けられる。第5の絶縁層45は、導電層42をエミッタ電極2と接触させるための導電層42上の切欠部47と、ベース層5に対するエミッタ電極2のコンタクト開口部とともに形成される。切欠部47とコンタクト開口部はたとえば、それぞれベース層5と導電層42の最上部における絶縁層45を部分的に除去することによって形成される。コンタクト開口部には、第1のソース領域7を形成するためのマスクとして第5の絶縁層45と導電層42を利用して、n型の第3のドーパントが注入される。たとえば第3のドーパントは、あとになって活性化される。

10

【0066】

ついでたとえば、ウェハ中に拡散するp型の第4のドーパントをコレクタ側15に注入することにより、p型のコレクタ層9が形成される。コレクタ層9を他の製造ステップにおいて形成してもよい。

【0067】

バッファ層85を形成するならば(図7参照)、このバッファ層85をコレクタ層9よりも前に形成する必要がある。バッファ層85はたとえば、コレクタ側15にn型のドーパントを注入することにより形成される。バッファ層85は、ドリフト層8よりも高いドーピング濃度を常に有している。

20

【0068】

その後、2つの第1のトレンチゲート電極3の間と、第1および第2のトレンチゲート電極3,4の間に、エミッタ電極2に対するベース層5のコンタクト開口部が形成される(このステップにおける「形成される」は、ソース領域7,75をエミッタ電極に対するベース層のコンタクト開口部とともに形成することで、すなわち第1のトレンチゲート電極3の間または第1および第2のトレンチゲート電極3,4の間の中央領域を覆うマスクを用いてソース領域を形成することで、コンタクト開口部がすでに設けられているケースも該当するものとする)。さらにたとえば、エミッタ電極2に対するベース層5のコンタクト開口部のために、第5の絶縁層45と第1のソース領域7と第2のソース領域75を通してエッチングを行う目的で、エッチステップが実行される(図示せず:この方法によればエミッタ電極2に対するベース層5のコンタクト開口部はエミッタ電極11下方の平面に配置される)。ウェハのエミッタ側11は最も外側の平面となるものであり、そこではエミッタ電極2が配置された側で平行にウェハに層または領域が配置される。

30

【0069】

最後に、エミッタ電極2とコレクタ電極25が同時にまたは相前後して形成される。

【0070】

インプランテーションやデポジションのように何らかの適切な方法によって、ドーパントを注入することができる。対応するドーパントを注入した後に拡散ステップを設けることができるけれども、これを後の段階になってから実行することもでき、たとえばベース層5のための段階で実行してもよい。ドーパントが拡散された層のドーピングプロファイルは、最大値からドーパントの最大拡散深度のところまでゼロに至るまで、減少し続けていく(これはドーパントの種類と拡散時間や温度といった拡散条件に左右される)。

40

【0071】

なお、ここで言及しておくとして、「~を有する」ないしは「~を含む」という表記は、それ以外の要素またはステップを除外するものではなく、「1つの」という表記は、その要素が複数設けられることを除外するものではない。また、それぞれ異なる実施形態に関して説明した要素を組み合わせてもよい。さらに、特許請求の範囲に記載した参照符号は、

50

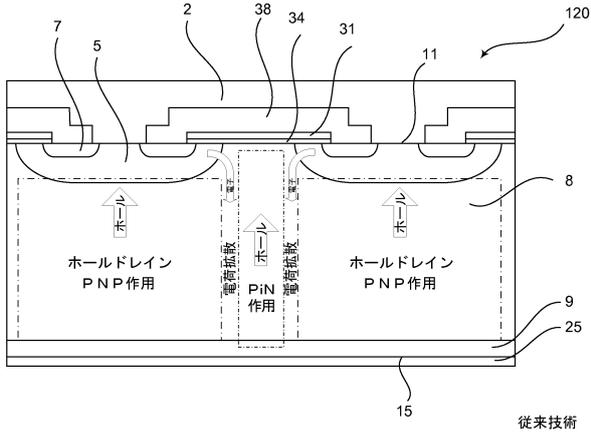
各請求項の権利範囲の制限を意図したものではない。

【符号の説明】

【 0 0 7 2 】

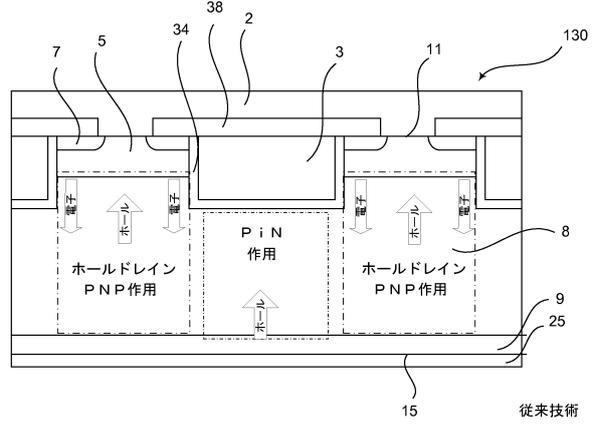
1	I G B T	
1 1	エミッタ側	
1 5	コレクタ側	
1 0 0	アクティブセル	
1 1 0	ダミーセル	
1 2 0 , 1 3 0 , 1 4 0 , 1 5 0 , 1 6 0	従来技術の I G B T	
2	エミッタ電極	10
2 5	コレクタ電極	
3	第 1 のトレンチゲート電極	
3 1	プレーナゲート	
3 0 0	ピッチドトレンチゲート	
3 1	第 1 の絶縁層	
3 2	第 2 の絶縁層	
4	ゲート電極	
4 1	第 2 のトレンチゲート電極	
4 2	導電層	
4 3	第 3 の絶縁層	20
4 4	第 4 の絶縁層	
4 5	第 5 の絶縁層	
4 6	第 6 の絶縁層	
4 7	切欠部	
4 0	別のゲート電極	
4 1 0	別の第 2 のトレンチゲート電極	
4 2 0	別の導電層	
4 3 0	別の第 3 の絶縁層	
4 4 0	別の第 4 の絶縁層	
4 5 0	別の第 5 の絶縁層	30
4 7 0	別の切欠部	
5	ベース層	
5 7	コネクション層	
6	エンハンスメント層	
7	第 1 のソース領域	
7 5	第 2 のソース領域	
8	ドリフト層	
8 5	バッファ層	
9	コレクタ層	
9 5	第 1 の領域	40

【図1】



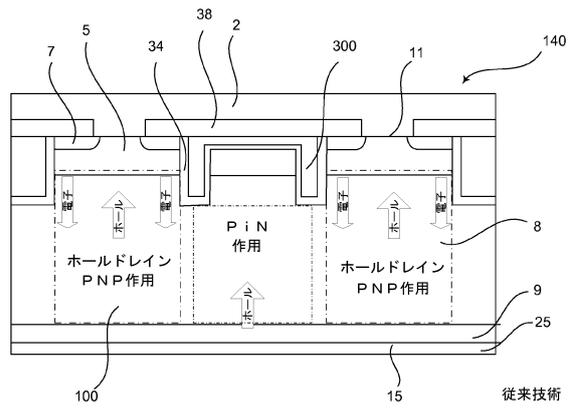
従来技術

【図2】



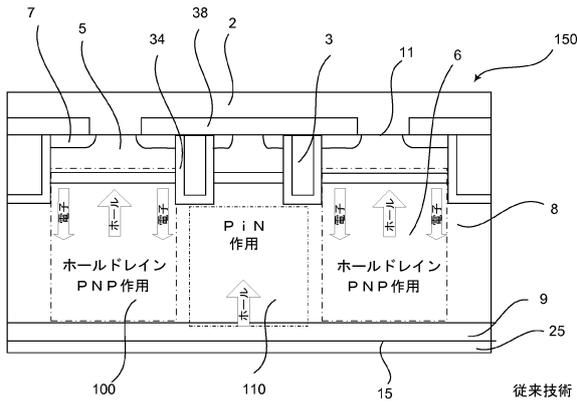
従来技術

【図3】



従来技術

【図4】



従来技術

【図6】

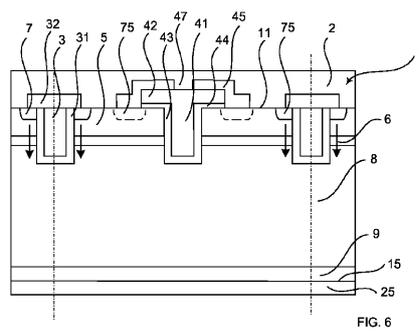


FIG. 6

【図7】

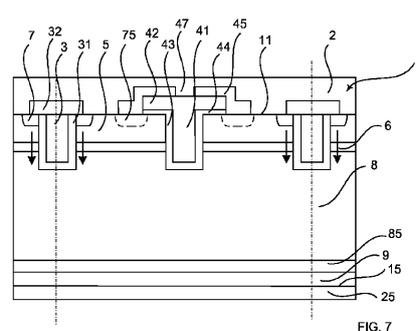
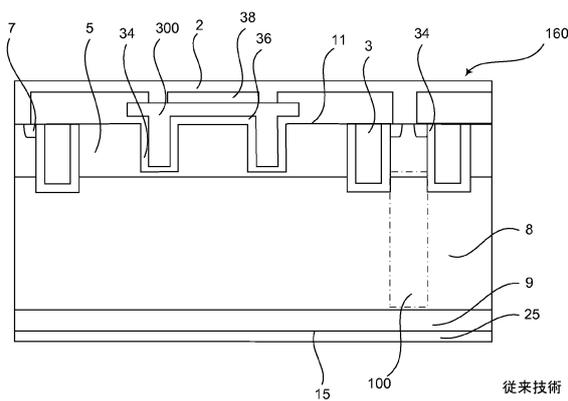


FIG. 7

【図5】



従来技術

【図 8】

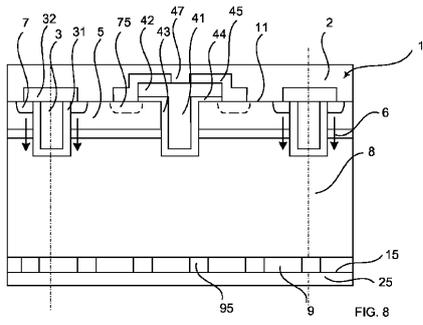


FIG. 8

【図 10】

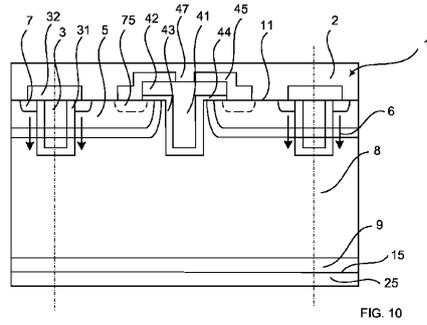


FIG. 10

【図 9】

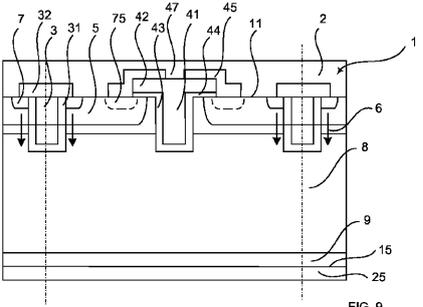


FIG. 9

【図 11】

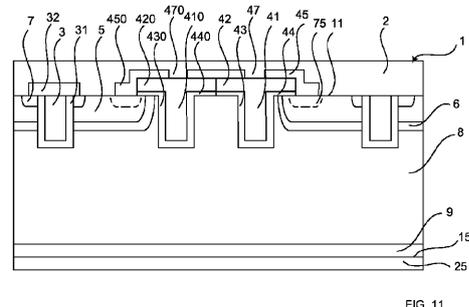


FIG. 11

【図 12】

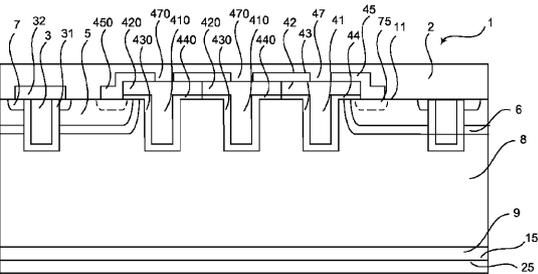


FIG. 12

【図 13】

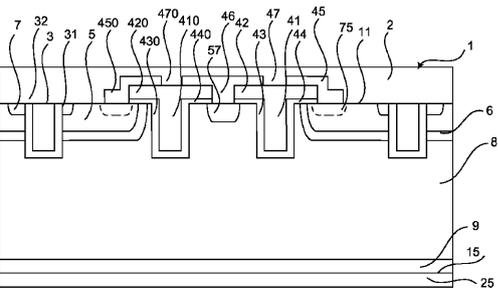


FIG. 13

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 8 A
H 0 1 L 29/78 6 5 2 T

(72)発明者 ムナフ ラヒモ
スイス国 ウエツヴィル バッハヴェーク 10
(72)発明者 マクシ アンデンナ
スイス国 デトヴィル イム ヴァイアーハウ 27
(72)発明者 キアラ コルヴァシェ
スイス国 ベルクディーティコン エアレンシュトラーセ 7
(72)発明者 アーノスト コプタ
スイス国 チューリッヒ リュティホーフシュトラーセ 10

審査官 棚田 一也

(56)参考文献 特開2005-175301(JP,A)
再公表特許第2002/061845(JP,A1)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 7 / 0 4