



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2024-0146131  
(43) 공개일자 2024년10월08일

|                                                                                                                                                                                                                                                                                                       |                                                                                                                                                           |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| (51) 국제특허분류(Int. Cl.)<br>H10K 59/80 (2023.01) H10K 59/122 (2023.01)<br>H10K 59/124 (2023.01) H10K 59/131 (2023.01)<br>H10K 59/40 (2023.01) H10K 77/10 (2023.01)<br>(52) CPC특허분류<br>H10K 59/8791 (2023.02)<br>H10K 59/122 (2023.02)<br>(21) 출원번호 10-2023-0039560<br>(22) 출원일자 2023년03월27일<br>심사청구일자 없음 | (71) 출원인<br>삼성디스플레이 주식회사<br>경기도 용인시 기흥구 삼성로 1 (농서동)<br>(72) 발명자<br>김준환<br>경기도 용인시 기흥구 삼성로 1<br>송창민<br>경기도 용인시 기흥구 삼성로 1<br>(뒷면에 계속)<br>(74) 대리인<br>특허법인가산 |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|

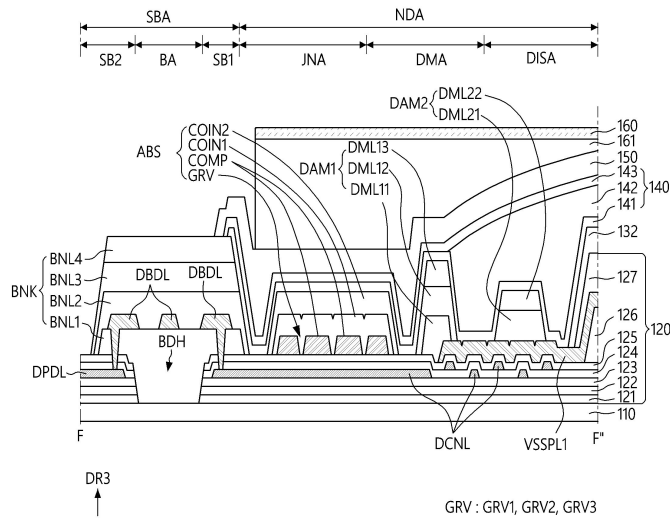
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치가 제공된다. 표시 장치는 표시 영역과 비표시 영역과 서브 영역을 포함한 기관; 상기 기관 상에 배치되는 회로층; 상기 회로층 상에 배치되는 발광 소자층; 상기 발광 소자층 상에 배치되는 밀봉층; 상기 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되는 편광층을 포함한다. 상기 비표시 영역은, 상기 표시 영역으로부터 이격되고 상기 표시 영역의 주위를 둘러싸는 적어도 하나의 댐부가 배열된 댐 영역, 및 상기 댐 영역의 주위를 둘러싸는 접합 영역을 포함한다. 상기 회로층은 상기 접합 영역 중 상기 서브 영역과 인접한 일부에 배치되고 상기 서브 영역 및 상기 댐 영역 각각으로부터 이격되는 완충부를 포함한다. 상기 편광층은 상기 비표시 영역으로 연장되고 상기 완충부와 중첩된다.

대표도 - 도16



(52) CPC특허분류

*H10K 59/124* (2023.02)

*H10K 59/131* (2023.02)

*H10K 59/40* (2023.02)

*H10K 59/8051* (2023.02)

*H10K 59/8052* (2023.02)

*H10K 59/873* (2023.02)

*H10K 77/10* (2023.02)

(72) 발명자

**안동기**

경기도 용인시 기흥구 삼성로 1

**정석원**

경기도 용인시 기흥구 삼성로 1

**조대연**

경기도 용인시 기흥구 삼성로 1

## 명세서

### 청구범위

#### 청구항 1

발광 영역들이 배열된 표시 영역과 상기 표시 영역의 주변에 배치된 비표시 영역을 포함하는 메인 영역, 및 상기 메인 영역의 일측에서 돌출되는 서브 영역을 포함한 기관;

상기 기관 상에 배치되는 회로층;

상기 회로층 상에 배치되는 발광 소자층;

상기 발광 소자층 상에 배치되는 밀봉층; 및

상기 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되는 편광층을 포함하고,

상기 비표시 영역은,

상기 표시 영역으로부터 이격되고 상기 표시 영역의 주위를 둘러싸는 적어도 하나의 댐부가 배열된 댐 영역; 및

상기 댐 영역의 주위를 둘러싸는 집합 영역을 포함하며,

상기 회로층은 상기 집합 영역 중 상기 서브 영역과 인접한 일부에 배치되고 상기 서브 영역 및 상기 댐 영역 각각으로부터 이격되는 완충부를 포함하며,

상기 편광층은 상기 비표시 영역으로 연장되고 상기 완충부와 중첩되는 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 회로층은,

상기 기관 상에 배치되는 반도체층;

상기 기관 상에 배치되며 상기 반도체층을 덮는 제1 게이트 절연층;

상기 제1 게이트 절연층 상에 배치되는 제1 도전층;

상기 제1 게이트 절연층 상에 배치되며 상기 제1 도전층을 덮는 제2 게이트 절연층;

상기 제2 게이트 절연층 상에 배치되는 제2 도전층;

상기 제2 도전층 상에 배치되며 상기 제2 도전층을 덮는 층간 절연층;

상기 층간 절연층 상에 배치되는 제3 도전층;

상기 층간 절연층 상에 배치되며 상기 제3 도전층을 덮는 제1 평탄화층;

상기 제1 평탄화층 상에 배치되는 제4 도전층; 및

상기 제1 평탄화층 상에 배치되며 상기 제4 도전층을 덮는 제2 평탄화층을 포함하고,

상기 적어도 하나의 댐부 및 상기 완충부는 상기 층간 절연층 상에 배치되며,

상기 집합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 밀봉층은 상기 층간 절연층과 접하는 표시 장치.

#### 청구항 3

제2 항에 있어서,

제1 방향에서, 상기 완충부의 너비는 상기 서브 영역의 너비 이상이고,

상기 제1 방향은 상기 서브 영역이 상기 메인 영역으로부터 돌출되는 제2 방향과 교차하는 표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 완충부는

상기 층간 절연층 상에 배치되는 보상 패턴층;

상기 보상 패턴층을 덮는 제1 보상 절연층; 및

상기 제1 보상 절연층 상에 배치되는 제2 보상 절연층을 포함하고,

상기 제3 도전층은 상기 보상 패턴층을 포함하며,

상기 제1 보상 절연층은 상기 제1 평탄화층과 동일층이고,

상기 제2 보상 절연층은 상기 제2 평탄화층과 동일층인 표시 장치.

#### 청구항 5

제4 항에 있어서,

상기 보상 패턴층은 상호 나란하게 배열된 홈들을 포함하는 메쉬 형태이고,

상기 제1 보상 절연층은 상기 홈들 각각을 통해 상기 층간 절연층과 접하는 표시 장치.

#### 청구항 6

제5 항에 있어서,

상기 홈들 각각은 원형 및 다각형 중 하나의 형태를 가지는 표시 장치.

#### 청구항 7

제5 항에 있어서,

상기 밀봉층은

상기 메인 영역에 배치되며 상기 발광 소자층 및 상기 적어도 하나의 댐부를 덮는 제1 밀봉층;

상기 제1 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되며 유기 절연 재료를 포함하는 제2 밀봉층; 및

상기 제2 밀봉층을 덮는 제3 밀봉층을 포함하며,

상기 제2 밀봉층은 상기 메인 영역 중 상기 적어도 하나의 댐부로 둘러싸인 영역 내에 배치되고,

상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 제1 밀봉층은 상기 층간 절연층과 접하며,

상기 접합 영역에서, 상기 제3 밀봉층은 상기 제1 밀봉층과 접하는 표시 장치.

#### 청구항 8

제7 항에 있어서,

상기 제1 밀봉층은 상기 보상 패턴층의 홈들 중 적어도 일부를 통해 상기 층간 절연층과 접하는 표시 장치.

#### 청구항 9

제4 항에 있어서,

상기 발광 소자층은, 상기 발광 영역들에 각각 대응되는 발광 소자들을 포함하며,

상기 회로층은, 상기 비표시 영역에 배치되고 상기 발광 소자들의 구동을 위한 제1 전원 및 제2 전원을 각각 전달하는 제1 전원 공급 배선 및 제2 전원 공급 배선을 포함하며,

상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선 각각은 상기 완충부의 상기 보상 패턴층으로부터 이격되

는 표시 장치.

#### 청구항 10

제9 항에 있어서,

상기 보상 패턴층은 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선 중 하나와 전기적으로 연결되는 표시 장치.

#### 청구항 11

제9 항에 있어서,

상기 제1 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제1 전원 연결 배선을 포함하고,

상기 제2 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제2 전원 연결 배선을 포함하며,

상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선 각각은 상기 제3 도전층 또는 상기 제4 도전층과 동일층 이고,

상기 완충부의 상기 보상 패턴층은 상기 제1 방향에서 나란하게 배열되는 브랜치들로 분할되며,

상기 브랜치들은 상기 제1 방향에서 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선으로부터 이격되는 표시 장치.

#### 청구항 12

제4 항에 있어서,

상기 회로층은,

상기 발광 영역들과 각각 대응되고 상기 발광 소자층의 상기 발광 소자들과 각각 전기적으로 연결되는 화소 구동부들;

상기 화소 구동부들에 데이터 신호를 전달하는 데이터 배선들; 및

상기 비표시 영역에 배치되고 상기 데이터 배선들과 각각 전기적으로 연결되며 상기 서브 영역으로 연장되는 데이터 연결 배선들을 포함하고,

상기 제4 도전층은 상기 데이터 배선들을 포함하며,

상기 제1 도전층은 상기 데이터 연결 배선들 중 일부를 포함하고,

상기 제2 도전층은 상기 데이터 연결 배선들 중 나머지 일부를 포함하며,

상기 데이터 연결 배선들 각각의 적어도 일부는 상기 완충부와 중첩되는 표시 장치.

#### 청구항 13

제4 항에 있어서,

상기 발광 소자층은,

상기 회로층의 상기 제2 평탄화층 상에 배치되고 상기 발광 영역들과 각각 대응되는 애노드 전극들;

상기 회로층의 상기 제2 평탄화층 상에 배치되며 상기 발광 영역들 사이의 이격 영역인 비발광 영역에 대응되고 상기 애노드 전극들 각각의 가장자리를 덮는 화소 정의층;

상기 애노드 전극들 상에 각각 배치되는 발광층들; 및

상기 화소 정의층과 상기 발광층들 상에 배치되는 캐소드 전극을 포함하고,

상기 발광 소자들 각각은 상호 대향하는 애노드 전극과 캐소드 전극 사이에 발광층이 배치된 구조를 포함하는 표시 장치.

#### 청구항 14

제13 항에 있어서,

상기 서브 영역은, 벤딩 형태로 변형되는 벤딩 영역과, 상기 벤딩 영역의 일측과 상기 메인 영역 사이에 배치되는 제1 서브 영역과, 상기 벤딩 영역의 다른 일측에 연결되는 제2 서브 영역을 포함하고,

상기 회로층은

상기 벤딩 영역에 배치되고 상기 데이터 연결 배선들과 각각 전기적으로 연결되는 데이터 벤딩 배선들;

상기 벤딩 영역에 배치되고 상기 제1 게이트 절연층, 상기 제2 게이트 절연층 및 상기 층간 절연층을 관통하는 벤딩홀; 및

상기 벤딩홀을 덮고 상기 완충부로부터 이격되는 बैं크를 더 포함하고,

상기 बैं크는,

상기 제1 평탄화층과 동일층이고 상기 벤딩홀을 덮는 제1 बैं크층; 및

상기 제2 평탄화층과 동일층이고 상기 제1 बैं크층을 덮는 제2 बैं크층을 포함하며,

상기 제4 도전층은 상기 데이터 벤딩 배선들을 더 포함하고,

상기 데이터 벤딩 배선들은 상기 제1 बैं크층 상에 배치되며 상기 제2 बैं크층으로 덮이는 표시 장치.

#### 청구항 15

제14 항에 있어서,

상기 제1 बैं크층 및 상기 제2 बैं크층 각각의 일부는 상기 비표시 영역으로 연장되고 상기 편광층과 중첩되는 표시 장치.

#### 청구항 16

제14 항에 있어서,

상기 편광층은 상기 बैं크로부터 이격되는 표시 장치.

#### 청구항 17

발광 영역들이 배열된 표시 영역과 상기 표시 영역의 주변에 배치된 비표시 영역을 포함하는 메인 영역, 및 상기 메인 영역의 일측에서 돌출되는 서브 영역을 포함한 기관;

상기 기관 상에 배치되는 회로층;

상기 회로층 상에 배치되는 발광 소자층;

상기 발광 소자층 상에 배치되는 밀봉층;

상기 밀봉층 상에 배치되는 터치 센서층; 및

상기 터치 센서층 상에 배치되고 상기 발광 소자층과 중첩되는 편광층을 포함하고,

상기 비표시 영역은,

상기 표시 영역으로부터 이격되고 상기 표시 영역의 주위를 둘러싸는 적어도 하나의 댐부가 배열된 댐 영역; 및

상기 댐 영역의 주위를 둘러싸는 집합 영역을 포함하며,

상기 회로층은, 상기 집합 영역 중 상기 서브 영역과 인접한 일부에 배치되고, 상기 서브 영역 및 상기 댐 영역 각각으로부터 이격되는 완충부를 포함하며,

상기 완충부는 보상 패턴층, 상기 보상 패턴층을 덮는 적어도 하나의 보상 절연층을 포함하고,

상기 편광층은 상기 비표시 영역으로 연장되고 상기 완충부와 중첩되는 표시 장치.

**청구항 18**

제17 항에 있어서,  
 제1 방향에서, 상기 보상 패턴층의 너비는 상기 서브 영역의 너비 이상이고,  
 상기 제1 방향은 상기 서브 영역이 상기 메인 영역으로부터 돌출되는 제2 방향과 교차하는 표시 장치.

**청구항 19**

제18 항에 있어서,  
 상기 발광 소자층은, 상기 발광 영역들에 각각 대응되는 발광 소자들을 포함하며,  
 상기 회로층은, 상기 비표시 영역에 배치되고 상기 발광 소자들의 구동을 위한 제1 전원 및 제2 전원을 각각 전달하는 제1 전원 공급 배선 및 제2 전원 공급 배선을 포함하며,  
 상기 보상 패턴층은 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선으로부터 이격되는 표시 장치.

**청구항 20**

제19 항에 있어서,  
 상기 보상 패턴층은 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선 중 하나와 전기적으로 연결되는 표시 장치.

**청구항 21**

제19 항에 있어서,  
 상기 제1 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제1 전원 연결 배선을 포함하고,  
 상기 제2 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제2 전원 연결 배선을 포함하며,  
 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선 각각은 상기 제3 도전층 또는 상기 제4 도전층과 동일층이고,  
 상기 완충부의 상기 보상 패턴층은 상기 제1 방향에서 나란하게 배열되는 브랜치들로 분할되며,  
 상기 브랜치들은 상기 제1 방향에서 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선으로부터 이격되는 표시 장치.

**청구항 22**

제18 항에 있어서,  
 상기 보상 패턴층은 상호 나란하게 배열된 홈들을 포함하는 메쉬 형태이고,  
 상기 홈들 각각은 원형 및 다각형 중 하나의 형태를 가지는 표시 장치.

**청구항 23**

제22 항에 있어서,  
 상기 회로층은,  
 상기 기판 상에 배치되는 반도체층;  
 상기 기판 상에 배치되며 상기 반도체층을 덮는 제1 게이트 절연층;  
 상기 제1 게이트 절연층 상에 배치되는 제1 도전층;  
 상기 제1 게이트 절연층 상에 배치되며 상기 제1 도전층을 덮는 제2 게이트 절연층;

상기 제2 게이트 절연층 상에 배치되는 제2 도전층;  
 상기 제2 도전층 상에 배치되며 상기 제2 도전층을 덮는 층간 절연층;  
 상기 층간 절연층 상에 배치되는 제3 도전층;  
 상기 층간 절연층 상에 배치되며 상기 제3 도전층을 덮는 제1 평탄화층;  
 상기 제1 평탄화층 상에 배치되는 제4 도전층; 및  
 상기 제1 평탄화층 상에 배치되며 상기 제4 도전층을 덮는 제2 평탄화층을 포함하고,  
 상기 적어도 하나의 댐부 및 상기 완충부는 상기 층간 절연층 상에 배치되며,  
 상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 밀봉층은 상기 층간 절연층과 접하고,  
 상기 완충부의 상기 보상 패턴층은 상기 제3 도전층과 동일층이며,  
 상기 완충부의 상기 적어도 하나의 보상 절연층 각각은 상기 제1 평탄화층 및 상기 제2 평탄화층 중 하나와 동일층이고 상기 홈들 각각을 통해 상기 층간 절연층과 접하는 표시 장치.

**청구항 24**

제23 항에 있어서,  
 상기 밀봉층은  
 상기 메인 영역에 배치되며 상기 발광 소자층 및 상기 적어도 하나의 댐부를 덮는 제1 밀봉층;  
 상기 제1 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되며 유기 절연 재료를 포함하는 제2 밀봉층; 및  
 상기 제2 밀봉층을 덮는 제3 밀봉층을 포함하며,  
 상기 제2 밀봉층은 상기 메인 영역 중 상기 적어도 하나의 댐부로 둘러싸인 영역 내에 배치되고,  
 상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 제1 밀봉층은 상기 층간 절연층과 접하며,  
 상기 접합 영역에서, 상기 제3 밀봉층은 상기 제1 밀봉층과 접하는 표시 장치.

**청구항 25**

제24 항에 있어서,  
 상기 제1 밀봉층은 상기 보상 패턴층의 홈들 중 적어도 일부를 통해 상기 층간 절연층과 접하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 예를 들어, 표시 장치는 스마트폰, 디지털 카메라, 노트북 컴퓨터, 네비게이션, 및 스마트 텔레비전과 같이 다양한 전자기기에 적용되고 있다.

[0003] 표시 장치는 액정 표시 장치(Liquid Crystal Display Device), 전계 방출 표시 장치(Field Emission Display Device), 발광 표시 장치(Light Emitting Display Device) 등과 같은 평판의 표시 장치일 수 있다. 여기서, 발광 표시 장치는 유기 발광 소자를 포함하는 유기 발광 표시 장치, 무기 반도체와 같은 무기 발광 소자를 포함하는 무기 발광 표시 장치, 및 초고형 발광 소자를 포함하는 초소형 발광 표시 장치를 포함할 수 있다.

[0004] 유기 발광 표시 장치는 유기 발광 재료의 발광층을 각각 포함한 발광 소자들을 이용하여 영상을 표시한다. 이와 같이 유기 발광 표시 장치는 자발광소자를 이용하여 영상 표시를 구현함에 따라, 다른 표시 장치에 비해 소비 전력, 응답 속도, 발광 효율, 휘도 및 광시야각 등에서 비교적 우수한 성능을 가질 수 있다.



[0005] 표시 장치의 일면은 영상이 표시되는 표시 영역과, 표시 영역의 주변인 비표시 영역을 포함할 수 있다. 표시 영역에는 각각의 휘도와 색상으로 광을 방출하는 발광 영역들이 배열될 수 있다.

[0006] 즉, 표시 장치는 표시 영역과 비표시 영역을 포함한 기관, 기관 상에 배치되고 발광 영역들에 각각 대응한 화소 구동부들을 포함한 회로층, 및 회로층 상에 배치되고 발광 영역들에 각각 대응한 발광 소자들을 포함한 발광 소자층, 및 발광 소자층 상에 배치되는 밀봉층을 포함할 수 있다. 밀봉층은 비표시 영역에서 회로층의 무기 절연 재료와 접합되어, 발광 소자층을 밀봉할 수 있다. 이러한 밀봉층에 의해 산소 또는 수분의 침투가 차단되어, 발광 소자층의 유기 발광 재료 등이 빠르게 열화되는 것이 방지될 수 있다.

[0007] 회로층은 화소 구동부들 및 화소 구동부들과 전기적으로 연결되는 배선들을 마련하기 위한 도전층들과, 도전층들 사이에 배치되는 절연층들을 포함할 수 있다. 회로층의 도전층들이 금속 재료로 이루어짐에 따라, 회로층의 절연층들 중 기관에 인접한 일부는 무기 절연 재료를 포함할 수 있다. 그리고, 발광 소자층의 발광 소자들이 광을 방출하는 방향의 균일도를 고려하여, 회로층의 절연층들 중 발광 소자층에 인접한 일부는 비교적 두꺼운 두께의 유기 절연 재료를 포함할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0008] 한편, 표시 장치는 외부광 반사의 저감을 위한 편광층을 더 포함할 수 있다. 편광층은 롤러를 이용한 라미네이팅 공정을 통해 밀봉층 상에 부착될 수 있다.

[0009] 그런데, 라미네이팅 공정 시, 회로층의 유기 절연 재료가 제거된 영역에서 유기 절연 재료의 유무에 따른 단차로 인해, 롤러의 압력이 부분적으로 더 크게 작용될 수 있다. 이 경우, 롤러의 큰 압력으로 인해 도전층 또는 무기 절연 재료가 손상됨으로써, 회로층의 배선이 단선 또는 합선되는 불량률이 유발될 수 있다. 그로 인해, 표시 장치의 품질 신뢰도 및 수명이 저하될 수 있는 문제점이 있다.

[0010] 이에 따라, 본 발명이 해결하고자 하는 과제는 편광층을 포함하면서도, 편광층의 배치 공정으로 인해 회로층의 손상을 저감할 수 있어, 품질 신뢰도 및 수명이 개선될 수 있는 표시 장치를 제공하는 것이다.

[0011] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 과제의 해결 수단

[0012] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 발광 영역들이 배열된 표시 영역과 상기 표시 영역의 주변에 배치된 비표시 영역을 포함하는 메인 영역, 및 상기 메인 영역의 일측에서 돌출되는 서브 영역을 포함한 기관, 상기 기관 상에 배치되는 회로층, 상기 회로층 상에 배치되는 발광 소자층, 상기 발광 소자층 상에 배치되는 밀봉층, 및 상기 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되는 편광층을 포함한다. 상기 비표시 영역은 상기 표시 영역으로부터 이격되고 상기 표시 영역의 주위를 둘러싸는 적어도 하나의 댐부가 배열된 댐 영역, 및 상기 댐 영역의 주위를 둘러싸는 접합 영역을 포함한다. 상기 회로층은 상기 접합 영역 중 상기 서브 영역과 인접한 일부에 배치되고 상기 서브 영역 및 상기 댐 영역 각각으로부터 이격되는 완충부를 포함한다. 상기 편광층은 상기 비표시 영역으로 연장되고 상기 완충부와 중첩된다.

[0013] 상기 회로층은 상기 기관 상에 배치되는 반도체층, 상기 기관 상에 배치되며 상기 반도체층을 덮는 제1 게이트 절연층, 상기 제1 게이트 절연층 상에 배치되는 제1 도전층, 상기 제1 게이트 절연층 상에 배치되며 상기 제1 도전층을 덮는 제2 게이트 절연층, 상기 제2 게이트 절연층 상에 배치되는 제2 도전층, 상기 제2 도전층 상에 배치되며 상기 제2 도전층을 덮는 층간 절연층, 상기 층간 절연층 상에 배치되는 제3 도전층, 상기 층간 절연층 상에 배치되며 상기 제3 도전층을 덮는 제1 평탄화층, 상기 제1 평탄화층 상에 배치되는 제4 도전층, 및 상기 제1 평탄화층 상에 배치되며 상기 제4 도전층을 덮는 제2 평탄화층을 포함할 수 있다. 상기 적어도 하나의 댐부 및 상기 완충부는 상기 층간 절연층 상에 배치될 수 있다. 상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 밀봉층은 상기 층간 절연층과 접할 수 있다.

[0014] 제1 방향에서, 상기 완충부의 너비는 상기 서브 영역의 너비 이상일 수 있다. 상기 제1 방향은 상기 서브 영역이 상기 메인 영역으로부터 돌출되는 제2 방향과 교차할 수 있다.

[0015] 상기 완충부는 상기 층간 절연층 상에 배치되는 보상 패턴층, 상기 보상 패턴층을 덮는 제1 보상 절연층, 및 상

기 제1 보상 절연층 상에 배치되는 제2 보상 절연층을 포함할 수 있다. 상기 제3 도전층은 상기 보상 패턴층을 포함할 수 있다. 상기 제1 보상 절연층은 상기 제1 평탄화층과 동일층일 수 있다. 상기 제2 보상 절연층은 상기 제2 평탄화층과 동일층일 수 있다.

- [0016] 상기 보상 패턴층은 상호 나란하게 배열된 홈들을 포함하는 메쉬 형태일 수 있다. 상기 제1 보상 절연층은 상기 홈들 각각을 통해 상기 층간 절연층과 접할 수 있다.
- [0017] 상기 홈들 각각은 원형 및 다각형 중 하나의 형태를 가질 수 있다.
- [0018] 상기 밀봉층은 상기 메인 영역에 배치되며 상기 발광 소자층 및 상기 적어도 하나의 댐부를 덮는 제1 밀봉층, 상기 제1 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되며 유기 절연 재료를 포함하는 제2 밀봉층, 및 상기 제2 밀봉층을 덮는 제3 밀봉층을 포함할 수 있다.
- [0019] 상기 제2 밀봉층은 상기 메인 영역 중 상기 적어도 하나의 댐부로 둘러싸인 영역 내에 배치될 수 있다. 상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 제1 밀봉층은 상기 층간 절연층과 접할 수 있다. 상기 접합 영역에서, 상기 제3 밀봉층은 상기 제1 밀봉층과 접할 수 있다.
- [0020] 상기 제1 밀봉층은 상기 보상 패턴층의 홈들 중 적어도 일부를 통해 상기 층간 절연층과 접할 수 있다.
- [0021] 상기 발광 소자층은, 상기 발광 영역들에 각각 대응되는 발광 소자들을 포함할 수 있다. 상기 회로층은, 상기 비표시 영역에 배치되고 상기 발광 소자들의 구동을 위한 제1 전원 및 제2 전원을 각각 전달하는 제1 전원 공급 배선 및 제2 전원 공급 배선을 포함할 수 있다. 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선 각각은 상기 완충부의 상기 보상 패턴층으로부터 이격될 수 있다.
- [0022] 상기 보상 패턴층은 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선 중 하나와 전기적으로 연결될 수 있다.
- [0023] 상기 제1 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제1 전원 연결 배선을 포함할 수 있다. 상기 제2 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제2 전원 연결 배선을 포함할 수 있다. 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선 각각은 상기 제3 도전층 또는 상기 제4 도전층과 동일층일 수 있다. 상기 완충부의 상기 보상 패턴층은 상기 제1 방향에서 나란하게 배열되는 브랜치들로 분할될 수 있다. 상기 브랜치들은 상기 제1 방향에서 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선으로부터 이격될 수 있다.
- [0024] 상기 회로층은 상기 발광 영역들과 각각 대응되고 상기 발광 소자층의 상기 발광 소자들과 각각 전기적으로 연결되는 화소 구동부들, 상기 화소 구동부들에 데이터 신호를 전달하는 데이터 배선들, 및 상기 비표시 영역에 배치되고 상기 데이터 배선들과 각각 전기적으로 연결되며 상기 서브 영역으로 연장되는 데이터 연결 배선들을 포함할 수 있다. 상기 제4 도전층은 상기 데이터 배선들을 포함할 수 있다. 상기 제1 도전층은 상기 데이터 연결 배선들 중 일부를 포함할 수 있다. 상기 제2 도전층은 상기 데이터 연결 배선들 중 나머지 일부를 포함할 수 있다. 상기 데이터 연결 배선들 각각의 적어도 일부는 상기 완충부와 중첩될 수 있다.
- [0025] 상기 발광 소자층은, 상기 회로층의 상기 제2 평탄화층 상에 배치되고 상기 발광 영역들과 각각 대응되는 애노드 전극들, 상기 회로층의 상기 제2 평탄화층 상에 배치되며 상기 발광 영역들 사이의 이격 영역인 비발광 영역에 대응되고 상기 애노드 전극들 각각의 가장자리를 덮는 화소 정의층, 상기 애노드 전극들 상에 각각 배치되는 발광층들, 및 상기 화소 정의층과 상기 발광층들 상에 배치되는 캐소드 전극을 포함할 수 있다. 상기 발광 소자들 각각은 상호 대향하는 애노드 전극과 캐소드 전극 사이에 발광층이 배치된 구조를 포함할 수 있다.
- [0026] 상기 서브 영역은, 벤딩 형태로 변형되는 벤딩 영역과, 상기 벤딩 영역의 일측과 상기 메인 영역 사이에 배치되는 제1 서브 영역과, 상기 벤딩 영역의 다른 일측에 연결되는 제2 서브 영역을 포함할 수 있다. 상기 회로층은 상기 벤딩 영역에 배치되고 상기 데이터 연결 배선들과 각각 전기적으로 연결되는 데이터 벤딩 배선들, 상기 벤딩 영역에 배치되고 상기 제1 게이트 절연층, 상기 제2 게이트 절연층 및 상기 층간 절연층을 관통하는 벤딩홀, 및 상기 벤딩홀을 덮고 상기 완충부로부터 이격되는 बैं크를 더 포함할 수 있다. 상기 बैं크는, 상기 제1 평탄화층과 동일층이고 상기 벤딩홀을 덮는 제1 बैं크층, 및 상기 제2 평탄화층과 동일층이고 상기 제1 बैं크층을 덮는 제2 बैं크층을 포함할 수 있다. 상기 제4 도전층은 상기 데이터 벤딩 배선들을 더 포함할 수 있다. 상기 데이터 벤딩 배선들은 상기 제1 बैं크층 상에 배치되며 상기 제2 बैं크층으로 덮일 수 있다.
- [0027] 상기 제1 बैं크층 및 상기 제2 बैं크층 각각의 일부는 상기 비표시 영역으로 연장되고 상기 편광층과 중첩될 수

있다.

- [0028] 상기 편광층은 상기 बैं크로부터 이격될 수 있다.
- [0029] 또는, 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 발광 영역들이 배열된 표시 영역과 상기 표시 영역의 주변에 배치된 비표시 영역을 포함하는 메인 영역, 및 상기 메인 영역의 일측에서 돌출되는 서브 영역을 포함한 기관, 상기 기관 상에 배치되는 회로층, 상기 회로층 상에 배치되는 발광 소자층, 상기 발광 소자층 상에 배치되는 밀봉층, 상기 밀봉층 상에 배치되는 터치 센서층, 및 상기 터치 센서층 상에 배치되고 상기 발광 소자층과 중첩되는 편광층을 포함한다. 상기 비표시 영역은, 상기 표시 영역으로부터 이격되고 상기 표시 영역의 주위를 둘러싸는 적어도 하나의 댄부가 배열된 댄 영역, 및 상기 댄 영역의 주위를 둘러싸는 접합 영역을 포함한다. 상기 회로층은, 상기 접합 영역 중 상기 서브 영역과 인접한 일부에 배치되고, 상기 서브 영역 및 상기 댄 영역 각각으로부터 이격되는 완충부를 포함한다. 상기 완충부는 보상 패턴층, 상기 보상 패턴층을 덮는 적어도 하나의 보상 절연층을 포함한다. 상기 편광층은 상기 비표시 영역으로 연장되고 상기 완충부와 중첩된다.
- [0030] 제1 방향에서, 상기 보상 패턴층의 너비는 상기 서브 영역의 너비 이상일 수 있다. 상기 제1 방향은 상기 서브 영역이 상기 메인 영역으로부터 돌출되는 제2 방향과 교차할 수 있다.
- [0031] 상기 발광 소자층은, 상기 발광 영역들에 각각 대응되는 발광 소자들을 포함할 수 있다. 상기 회로층은, 상기 비표시 영역에 배치되고 상기 발광 소자들의 구동을 위한 제1 전원 및 제2 전원을 각각 전달하는 제1 전원 공급 배선 및 제2 전원 공급 배선을 포함할 수 있다. 상기 보상 패턴층은 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선으로부터 이격될 수 있다.
- [0032] 상기 보상 패턴층은 상기 제1 전원 공급 배선 및 상기 제2 전원 공급 배선 중 하나와 전기적으로 연결될 수 있다.
- [0033] 상기 제1 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제1 전원 연결 배선을 포함할 수 있다. 상기 제2 전원 공급 배선은 상기 비표시 영역에서 상기 서브 영역으로 연장되는 제2 전원 연결 배선을 포함할 수 있다. 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선 각각은 상기 제3 도전층 또는 상기 제4 도전층과 동일층일 수 있다. 상기 완충부의 상기 보상 패턴층은 상기 제1 방향에서 나란하게 배열되는 브랜치들로 분할될 수 있다. 상기 브랜치들은 상기 제1 방향에서 상기 제1 전원 연결 배선 및 상기 제2 전원 연결 배선으로부터 이격될 수 있다.
- [0034] 상기 보상 패턴층은 상호 나란하게 배열된 홈들을 포함하는 메쉬 형태일 수 있다. 상기 홈들 각각은 원형 및 다각형 중 하나의 형태를 가질 수 있다.
- [0035] 상기 회로층은, 상기 기관 상에 배치되는 반도체층, 상기 기관 상에 배치되며 상기 반도체층을 덮는 제1 게이트 절연층, 상기 제1 게이트 절연층 상에 배치되는 제1 도전층, 상기 제1 게이트 절연층 상에 배치되며 상기 제1 도전층을 덮는 제2 게이트 절연층, 상기 제2 게이트 절연층 상에 배치되는 제2 도전층, 상기 제2 도전층 상에 배치되며 상기 제2 도전층을 덮는 층간 절연층, 상기 층간 절연층 상에 배치되는 제3 도전층, 상기 층간 절연층 상에 배치되며 상기 제3 도전층을 덮는 제1 평탄화층, 상기 제1 평탄화층 상에 배치되는 제4 도전층, 및 상기 제1 평탄화층 상에 배치되며 상기 제4 도전층을 덮는 제2 평탄화층을 포함할 수 있다. 상기 적어도 하나의 댄부 및 상기 완충부는 상기 층간 절연층 상에 배치될 수 있다. 상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 밀봉층은 상기 층간 절연층과 접할 수 있다. 상기 완충부의 상기 보상 패턴층은 상기 제3 도전층과 동일층일 수 있다. 상기 완충부의 상기 적어도 하나의 보상 절연층 각각은 상기 제1 평탄화층 및 상기 제2 평탄화층 중 하나와 동일층이고 상기 홈들 각각을 통해 상기 층간 절연층과 접할 수 있다.
- [0036] 상기 밀봉층은 상기 메인 영역에 배치되며 상기 발광 소자층 및 상기 적어도 하나의 댄부를 덮는 제1 밀봉층, 상기 제1 밀봉층 상에 배치되고 상기 발광 소자층과 중첩되며 유기 절연 재료를 포함하는 제2 밀봉층, 및 상기 제2 밀봉층을 덮는 제3 밀봉층을 포함할 수 있다. 상기 제2 밀봉층은 상기 메인 영역 중 상기 적어도 하나의 댄부로 둘러싸인 영역 내에 배치될 수 있다. 상기 접합 영역 중 상기 완충부를 제외한 나머지 영역에서, 상기 제1 밀봉층은 상기 층간 절연층과 접할 수 있다. 상기 접합 영역에서, 상기 제3 밀봉층은 상기 제1 밀봉층과 접할 수 있다. 상기 제1 밀봉층은 상기 보상 패턴층의 홈들 중 적어도 일부를 통해 상기 층간 절연층과 접할 수 있다.
- [0037] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0038] 일 실시예에 따른 표시 장치는 기관, 기관 상의 회로층, 회로층 상의 발광 소자층, 발광 소자층 상의 밀봉층, 및 밀봉층 상의 편광층을 포함한다.
- [0039] 기관은 메인 영역과, 메인 영역의 일측에서 돌출되는 서브 영역을 포함한다. 메인 영역은 발광 영역들이 배열된 표시 영역과, 표시 영역의 주변에 배치된 비표시 영역을 포함한다. 비표시 영역은 표시 영역으로부터 이격되고 표시 영역의 주위를 둘러싸는 적어도 하나의 댐부가 배열된 댐 영역, 및 댐 영역의 주위를 둘러싸는 접합 영역을 포함한다.
- [0040] 회로층은 접합 영역 중 서브 영역과 인접한 일부에 배치되고 서브 영역 및 댐 영역 각각으로부터 이격되는 완충부를 포함한다. 편광층은 발광 소자층과 중첩되며, 비표시 영역으로 연장되어 완충부와 더 중첩된다.
- [0041] 이와 같이, 일 실시예에 따른 표시 장치는 접합 영역에 배치되는 완충부를 포함함에 따라, 편광층의 배치를 위한 라미네이팅 공정 시, 롤러가 완충부에 의해 지지될 수 있으므로, 롤러의 압력이 부분적으로 커지는 것이 방지될 수 있다.
- [0042] 따라서, 편광층의 배치 공정으로 인한 회로층의 도전층 또는 무기 절연 재료의 손상이 방지될 수 있으므로, 표시 장치의 품질 신뢰도 및 수명이 개선될 수 있다.
- [0043] 더불어, 완충부는 층간 절연층 상의 제4 도전층과 동일층인 보상 패턴층, 보상 패턴층을 덮고 제1 평탄화층 또는 제2 평탄화층과 동일층인 적어도 하나의 보상 절연층을 포함할 수 있다. 이로써, 완충부의 배치를 위해, 별도의 증착 공정 및 마스크 공정이 추가되지 않으므로, 완충부의 배치로 인해 제조 공정이 복잡해지는 것이 방지될 수 있다.
- [0044] 완충부의 보상 패턴층은 홈들을 포함하는 메쉬 형태일 수 있다.
- [0045] 또한, 완충부의 보상 패턴층은 제1 전원 및 제2 전원 중 하나가 인가될 수 있다.
- [0046] 이로써, 보상 패턴층과 중첩되는 일부 배선들의 신호 불량이가 방지될 수 있다.
- [0047] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0048] 도 1은 일 실시예에 따른 표시 장치를 보여주는 사시도이다.
- 도 2는 도 1의 표시 장치를 보여주는 평면도이다.
- 도 3은 도 2의 A-A'를 보여주는 단면도이다.
- 도 4는 제1 실시예에 따른 도 1의 표시 장치 중 메인 영역과 서브 영역을 보여주는 평면도이다.
- 도 5는 도 4의 B 부분을 보여주는 레이아웃 도이다.
- 도 6은 도 3의 회로층에 포함된 화소 구동부들 중 하나의 발광 영역에 대응한 하나의 화소 구동부를 보여주는 등가회로도이다.
- 도 7은 도 3의 터치 센서층을 보여주는 평면도이다.
- 도 8은 도 7의 D 부분을 보여주는 확대도이다.
- 도 9는 도 8의 E-E'를 보여주는 단면도이다.
- 도 10은 제1 실시예에 따른 도 4의 C 부분을 보여주는 레이아웃 도이다.
- 도 11은 제1 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.
- 도 12는 제2 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.
- 도 13, 도 14 및 도 15는 제3 실시예에 따른 완충부의 보상 패턴층을 보여주는 평면도이다.
- 도 16은 제3 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.
- 도 17은 제4 실시예에 따른 완충부의 보상 패턴층을 보여주는 평면도이다.

도 18은 제4 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.

도 19 및 도 20은 제5 실시예에 따른 도 4의 C 부분을 보여주는 레이아웃 도이다.

도 21은 도 20의 G-G'를 보여주는 단면도이다.

도 22는 제6 실시예에 따른 도 4의 C 부분을 보여주는 레이아웃 도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0049] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0050] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.
- [0051] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0052] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0053] 이하 첨부된 도면을 참조하여 구체적인 실시예들에 대해 설명한다.
- [0054] 도 1은 일 실시예에 따른 표시 장치를 보여주는 사시도이다.
- [0055] 도 1을 참조하면, 표시 장치(10)는 동영상이나 정지영상을 표시하는 장치로서, 모바일 폰(mobile phone), 스마트 폰(smart phone), 태블릿 PC(tablet personal computer), 및 스마트 워치(smart watch), 워치 폰(watch phone), 이동 통신 단말기, 전자 수첩, 전자 책, PMP(portable multimedia player), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라, 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷(internet of things, IOT) 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [0056] 표시 장치(10)는 유기 발광 다이오드를 이용하는 유기 발광 표시 장치, 양자점 발광층을 포함하는 양자점 발광 표시 장치, 무기 반도체를 포함하는 무기 발광 표시 장치, 및 초소형 발광 다이오드(micro or nano light emitting diode(micro LED or nano LED))를 이용하는 초소형 발광 표시 장치와 같은 발광 표시 장치일 수 있다. 이하에서는, 표시 장치(10)가 유기 발광 표시 장치인 것을 중심으로 설명하였으나, 본 발명은 유기 절연 재료, 유기 발광 재료 및 금속 재료를 포함한 표시 장치에 적용될 수 있다.
- [0057] 표시 장치(10)는 평탄하게 형성될 수 있으나, 이에 한정되지 않는다. 예를 들어, 표시 장치(10)는 좌우측 끝단에 형성되며, 일정한 곡률을 갖거나 변화하는 곡률을 갖는 곡면부를 포함할 수 있다. 이외에, 표시 장치(10)는 구부러지거나, 휘어지거나, 벤딩되거나, 접히거나, 말릴 수 있도록 유연하게 형성될 수 있다.
- [0058] 표시 장치(10)는 표시 패널(100), 표시 구동 회로(200), 및 회로 보드(300)를 포함할 수 있다.
- [0059] 표시 패널(100)은 영상이 표시되는 일면에 배치된 메인 영역(MA), 및 메인 영역(MA)의 일측에서 돌출된 서브 영역(SBA)을 포함할 수 있다.
- [0060] 메인 영역(MA)은 영상 표시를 위해 각각의 색상과 휘도로 광을 방출하는 발광 영역(도 5의 EA)들이 배열되는 표시 영역(DA), 및 표시 영역(DA)의 주변에 배치된 비표시 영역(NDA)을 포함할 수 있다.
- [0061] 표시 구동 회로(200)는 집적회로 칩(IC: Integrated Circuit)으로 마련되고 서브 영역(SBA)에 실장될 수 있다. 표시 구동 회로(200)는 표시 패널(100)의 데이터 배선(도 6 및 도 10의 DL)들에 데이터 신호들을 공급할 수 있

다.

- [0062] 회로 보드(300)는 서브 영역(SBA)의 가장자리에 배치된 신호 패드(도 4의 SPD)들에 본딩될 수 있다.
- [0063] 도 2는 도 1의 표시 장치를 보여주는 평면도이다. 도 3은 도 2의 A-A'를 보여주는 단면도이다. 도 4는 제1 실시예에 따른 도 1의 표시 장치 중 메인 영역과 서브 영역을 보여주는 평면도이다.
- [0064] 도 1 및 도 4는 서브 영역(SBA)이 메인 영역(MA)과 나란하게 펼쳐진 상태를 도시한다. 반면, 도 2는 서브 영역(SBA)의 일부가 구부러진 상태를 예시한다.
- [0065] 도 2를 참조하면, 표시 영역(DA)은 제1 방향(DR1)의 단변과 제1 방향(DR1)과 교차하는 제2 방향(DR2)의 장변을 갖는 직사각형 형태의 평면으로 형성될 수 있다. 제1 방향(DR1)의 단변과 제2 방향(DR2)의 장변이 만나는 코너(corner)는 소정의 곡률을 갖도록 둥글게 형성되거나 직각으로 형성될 수 있다. 표시 영역(DA)의 평면 형태는 사각형에 한정되지 않고, 다른 다각형, 원형 또는 타원형으로 형성될 수 있다.
- [0066] 표시 영역(DA)은 메인 영역(MA)의 대부분의 영역을 차지할 수 있다. 표시 영역(DA)은 메인 영역(MA)의 중앙에 배치될 수 있다.
- [0067] 도 3을 참조하면, 표시 장치(10)의 표시 패널(100)은 메인 영역(MA)과 서브 영역(SBA)을 포함하는 기관(110), 기관(110) 상에 배치되는 회로층(120), 회로층(120) 상에 배치되는 발광 소자층(130), 및 발광 소자층(130) 상에 배치되는 밀봉층(140)을 포함한다.
- [0068] 일 실시예에 따른 표시 장치(10)의 표시 패널(100)은 밀봉층(140) 상에 배치되고 발광 소자층(130)과 중첩되는 편광층(160)을 더 포함할 수 있다.
- [0069] 그리고, 일 실시예에 따른 표시 장치(10)의 표시 패널(100)은 밀봉층(140) 상에 배치되는 터치 센서층(150)을 더 포함할 수 있다. 즉, 편광층(160)은 터치 센서층(150) 상에 배치될 수 있다.
- [0070] 기관(110)은 고분자 수지 등의 절연 물질로 이루어질 수 있다. 예를 들어, 기관(110)은 폴리이미드(polyimide)로 이루어질 수 있다. 기관(110)은 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉서블(flexible) 기관일 수 있다.
- [0071] 또는, 기관(110)은 유리 등의 절연 물질로 이루어질 수 있다.
- [0072] 회로층(120)은 발광 영역(EA)들에 각각 대응한 화소 구동부(도 6의 PXD)들을 포함할 수 있다. 화소 구동부(PXD)들 각각은 둘 이상의 트랜지스터들(도 6의 DT, ST1~ST6)과 적어도 하나의 커패시터(도 6의 PC1)를 포함할 수 있다.
- [0073] 발광 소자층(130)은 발광 영역(EA)들에 각각 대응한 발광 소자(도 6의 LE)들을 포함할 수 있다. 발광 소자층(130)의 발광 소자(LE)들은 회로층(120)의 화소 구동부(PXD)들과 각각 전기적으로 연결될 수 있다.
- [0074] 밀봉층(140)은 발광 소자층(130)을 덮고, 비표시 영역(NDA)으로 연장되어 회로층(120)과 접할 수 있다. 밀봉층(140)은 둘 이상의 무기막과 적어도 하나의 유기막이 교번하여 적층된 구조를 포함할 수 있다.
- [0075] 터치 센서층(150)은 밀봉층(140) 상에 배치되고 메인 영역(MA)에 대응될 수 있다. 터치 센서층(150)은 사람 또는 물체의 터치를 감지하기 위한 터치 전극들을 포함할 수 있다.
- [0076] 편광층(160)은 터치 센서층(150), 밀봉층(140), 발광 소자층(130) 및 회로층(120) 및 이들의 계면에서 반사된 외부 광을 차단함으로써, 외부 광 반사로 인한 영상의 시인성 저하를 방지하기 위한 것이다.
- [0077] 표시 장치(10)는 편광층(160) 상에 배치되는 커버 윈도우(미도시)를 더 포함할 수 있다. 커버 윈도우는 OCA(optically clear adhesive) 필름 또는 OCR(optically clear resin) 같은 투명 접착 부재에 의해 편광층(160) 상에 부착될 수 있다. 커버 윈도우는 유리와 같은 무기물일 수도 있고, 플라스틱 또는 고분자 재료와 같은 유기물일 수도 있다. 이러한 커버 윈도우에 의해, 표시면에서의 전기적, 물리적 충격으로부터 터치 센서층(150), 밀봉층(140), 발광 소자층(130) 및 회로층(120)이 보호될 수 있다.
- [0078] 일 실시예의 표시 장치(10)는 터치 센서층(150)을 구동하기 위한 터치 구동 회로(400)를 더 포함할 수 있다.
- [0079] 터치 구동 회로(400)는 집적회로 칩(IC)으로 마련될 수 있다.
- [0080] 터치 구동 회로(400)는 신호 패드(SPD)들에 본딩된 회로 보드(300)에 실장됨으로써, 터치 센서층(150)과 전기적으로 연결될 수 있다.

- [0081] 또는, 터치 구동 회로(400)는 표시 구동 회로(200)와 마찬가지로, 기관(110)의 제2 서브 영역(SB2)에 실장될 수 있다.
- [0082] 터치 구동 회로(400)는 터치 센서층(150)에 구비된 복수의 구동 전극에 터치 구동 신호를 인가하고, 복수의 감지 전극을 통해 복수의 터치 노드 각각의 터치 감지 신호를 수신하며, 터치 감지 신호에 기초하여 상호 정전 용량의 차지 변화량을 감지할 수 있다.
- [0083] 즉, 터치 구동 회로(400)는 복수의 터치 노드 각각의 터치 감지 신호에 따라 사용자의 터치 여부와 근접 여부를 판단할 수 있다. 사용자의 터치는 사용자의 손가락 또는 펜 등과 같은 물체가 표시 장치(10)의 전면(前面)에 직접 접촉하는 것을 지칭한다. 사용자의 근접은 호버링(hovering)과 같이 사용자의 손가락 또는 펜 등과 같은 물체가 표시 장치(10)의 전면(前面) 상에서 떨어져 위치하는 것을 지칭한다.
- [0084] 도 4를 참조하면, 비표시 영역(NDA)은 표시 영역(DA)으로부터 이격되고 표시 영역(DA)을 둘러싸는 댄 영역(DMA), 및 댄 영역(DMA)의 주변에 배치되는 접합 영역(JNA)을 포함할 수 있다.
- [0085] 댄 영역(DMA)에는 표시 영역(DA)을 둘러싸는 적어도 하나의 댄부(도 10 및 도 11의 DAM)가 배열될 수 있다. 적어도 하나의 댄부(DAM)는 밀봉층(140)의 유기막이 확산되는 영역을 한정하기 위한 것이다. 즉, 적어도 하나의 댄부(DAM)와 표시 영역(DA) 사이, 및 적어도 하나의 댄부(DAM) 사이에 발생된 밸리에 의해, 유기막의 확산이 한정될 수 있다.
- [0086] 접합 영역(JNA)에는 밀봉층(140)과 회로층(120)에 구비된 무기 절연 재료들의 접합이 마련될 수 있다.
- [0087] 더불어, 비표시 영역(NDA)은 표시 영역(DA)의 제1 방향(DR1)의 적어도 일측 모서리에 인접하게 배치되는 스캔 구동 회로 영역(SCDA)을 더 포함할 수 있다.
- [0088] 회로층(120)은 스캔 구동 회로 영역(SCDA)에 배치되는 스캔 구동 회로(미도시)를 포함할 수 있다. 스캔 구동 회로는 표시 영역(DA)에 배치된 제1 방향(DR1)의 스캔 배선들에 각각의 스캔 신호를 공급할 수 있다.
- [0089] 일 예로, 표시 구동 회로(200) 또는 회로 보드(300)는 디지털 비디오 데이터 및 타이밍 신호들에 기초하여 스캔 구동 회로에 스캔 제어 신호를 공급할 수 있다.
- [0090] 그리고, 회로 보드(300)는 스캔 신호의 생성을 위한 소정의 정전압을 스캔 구동 회로에 공급할 수 있다.
- [0091] 도 4는 스캔 구동 회로 영역(SCDA)이 비표시 영역(NDA) 중 표시 영역(DA)의 제1 방향(DR1)의 양측 모서리에 인접한 일부 영역인 경우를 도시하고 있으나, 이는 단지 예시일 뿐이다. 즉, 별도로 도시하지 않으나, 스캔 구동 회로 영역(SCDA)은 비표시 영역(NDA) 중 표시 영역(DA)의 제1 방향(DR1)의 어느 일측에 인접한 일부 영역일 수도 있고, 표시 영역(DA)의 일부들에 중첩되는 분할 영역들로 마련될 수도 있다.
- [0092] 일 실시예에 따르면, 회로층(120)은 비표시 영역(NDA)의 접합 영역(JNA) 중 서브 영역(SBA)과 인접한 일부에 배치되는 완충부(ABS)를 포함한다. 즉, 완충부(ABS)는 댄 영역(DMA)과 서브 영역(SBA) 사이에 배치될 수 있다.
- [0093] 제1 방향(DR1)에서, 완충부(ABS)의 너비는 서브 영역(SBA)의 너비 이상일 수 있다. 여기서, 제1 방향(DR1)은 서브 영역(SBA)이 메인 영역(MA)으로부터 돌출되는 방향(즉, 제2 방향(DR2))과 교차된다.
- [0094] 완충부(ABS)는 편광층(160)의 배치를 위한 라미네이팅 공정의 롤러의 압력이 표시 영역(DA)보다 접합 영역(JNA)에서 상대적으로 커지는 것을 방지하기 위한 요소이다.
- [0095] 이러한 완충부에 대해서는 이하에서 상세히 서술한다.
- [0096] 서브 영역(SBA)은 구부러지는 형태로 변형되는 벤딩 영역(BA)과, 벤딩 영역(BA)의 양측에 접하는 제1 서브 영역(SB1) 및 제2 서브 영역(SB2)을 포함할 수 있다.
- [0097] 제1 서브영역(SB1)은 메인 영역(MA)과 벤딩 영역(BA) 사이에 배치된 영역이다. 제1 서브영역(SB1)의 일 측은 메인 영역(MA)의 비표시 영역(NDA)과 접하며, 제1 서브영역(SB1)의 타 측은 벤딩 영역(BA)에 접할 수 있다.
- [0098] 제2 서브영역(SB2)은 벤딩 영역(BA)을 사이에 두고 메인 영역(MA)으로부터 이격되며, 구부러진 형태로 변형된 벤딩 영역(BA)에 의해 기관(110)의 하면에 배치되는 영역이다. 즉, 구부러진 형태로 변형된 벤딩 영역(BA)에 의해, 제2 서브 영역(SB2)은 기관(SUB)의 두께 방향(DR3)에서 메인 영역(MA)과 중첩될 수 있다.
- [0099] 제2 서브영역(SB2)의 일 측은 벤딩 영역(BA)과 접할 수 있다. 제2 서브영역(SB2)의 다른 일 측은 기관(110)의 가장자리 일부에 접할 수 있다.

- [0100] 제2 서브영역(SB2)에는 신호 패드(SPD)들과 표시 구동 회로(200)가 배치될 수 있다.
- [0101] 표시 구동 회로(200)는 표시 영역(DPA)의 화소 구동부(PD)들을 구동하기 위한 신호들과 전압들을 생성할 수 있다.
- [0102] 표시 구동 회로(200)는 집적회로(integrated circuit, IC)로 마련되고 COG(chip on glass) 방식, COP(chip on plastic) 방식, 또는 초음파 접합 방식으로 기판(110)의 제2 서브 영역(SB2)에 실장될 수 있으나, 이에 한정되지 않는다. 예를 들어, 표시 구동 회로(200)는 COF(chip on film) 방식으로 회로 보드(300) 상에 부착될 수 있다.
- [0103] 회로 보드(300)는 이방성 도전 필름이나 SAP과 같은 저저항(低抵抗) 고신뢰성 소재를 이용하여 제2 서브영역(SB2)의 신호 패드(SPD)들에 부착되고 전기적으로 연결될 수 있다.
- [0104] 표시 영역(DPA)의 화소 구동부(PD)들 및 표시 구동 회로(200)는 회로 보드(300)로부터 디지털 비디오 데이터와, 타이밍 신호들, 및 구동 전압들을 입력 받을 수 있다.
- [0105] 회로 보드(300)는 연성 인쇄 회로 보드(flexible printed circuit board), 인쇄 회로 보드(printed circuit board) 또는 칩 온 필름(chip on film)과 같은 연성 필름(flexible film)일 수 있다.
- [0106] 도 5는 도 4의 B 부분을 보여주는 레이아웃 도이다.
- [0107] 도 5를 참조하면, 표시 영역(DA)은 발광 영역들(EA)과, 발광 영역들(EA) 간의 이격 영역인 비발광 영역(NEA)을 포함할 수 있다.
- [0108] 발광 영역들(EA) 각각은 서로 다른 둘 이상의 색상들 중 하나의 색상에 대응한 파장 대역의 광을 영상 신호에 대응하는 휘도로 방출하는 단위일 수 있다.
- [0109] 일 예로, 발광 영역들(EA)은 소정의 파장 대역에 의한 제1 색상의 광을 방출하는 제1 발광 영역(EA1)과, 제1 색상보다 낮은 파장 대역에 의한 제2 색상의 광을 방출하는 제2 발광 영역(EA2)과, 제2 색상보다 낮은 파장 대역에 의한 제3 색상의 광을 방출하는 제3 발광 영역(EA3)을 포함할 수 있다.
- [0110] 예시적으로, 제1 색상은 대략 600nm 내지 대략 750nm의 파장 대역에 의한 적색(RED)이고, 제2 색상은 대략 480nm 내지 대략 560nm의 파장 대역에 의한 녹색(GREEN)이며, 제3 색상은 대략 370nm 내지 대략 460nm의 파장 대역에 의한 청색일 수 있다. 다만 이는 단지 예시일 뿐이며, 본 명세서의 일 실시예에 따른 제1 색상, 제2 색상 및 제3 색상 각각의 파장 대역은 이에 한정되지 않는다.
- [0111] 발광 영역들(EA)이 제1 발광 영역(EA1), 제2 발광 영역(EA2) 및 제3 발광 영역(EA3)을 포함함에 따라, 발광 영역들(EA) 중 상호 인접한 하나 이상의 제1 발광 영역(EA1), 하나 이상의 제2 발광 영역(EA2) 및 하나 이상의 제3 발광 영역(EA3)의 조합에 의해, 단위 화소(UPX)들이 각각 마련될 수 있다.
- [0112] 단위 화소(UPX)들 각각은 백색을 비롯한 다양한 색상을 표시하는 단위일 수 있다. 즉, 각 단위 화소(UPX)에서 표시되는 다양한 색상의 광은 각 단위 화소(UPX)에 포함된 둘 이상의 발광 영역(EA)에서 방출된 광의 혼합으로 구현될 수 있다.
- [0113] 일 예로, 도 5의 도시와 같이, 제1 발광 영역(EA1)과 제3 발광 영역(EA3)은 제1 방향(DR1) 및 제2 방향(DR2)에서 상호 교번하여 배열될 수 있다. 그리고, 제2 발광 영역(EA2)은 제1 방향(DR1) 및 제2 방향(DR2)에서 나란하게 배열되고, 제1 방향(DR1) 및 제2 방향(DR2)과 교차하는 대각 방향에서 제1 발광 영역(EA1) 또는 제3 발광 영역(EA3)과 이웃할 수 있다.
- [0114] 이 경우, 단위 화소(UPX)들 각각은 제1 방향(DR1)으로 이웃한 하나의 제1 발광 영역(EA1)과 하나의 제3 발광 영역(EA3), 및 이들과 대각 방향으로 이웃한 두 개의 제2 발광 영역(EA2)을 포함할 수 있다. 다만, 이는 단지 예시일 뿐이며, 일 실시예에 따른 발광 영역들(EA)의 배열 형태, 및 단위 화소(UPX)의 구성 요소는 도 5의 도시로 한정되지 않는다.
- [0115] 도 6은 도 3의 회로층에 포함된 화소 구동부들 중 하나의 발광 영역에 대응한 하나의 화소 구동부를 보여주는 등가회로도이다.
- [0116] 도 6는 도 3의 회로층 중 하나의 화소 구동부를 보여주는 등가회로도이다.
- [0117] 일 실시예에 따른 표시 장치(10)의 회로층(120)은 발광 영역들(EA)에 각각 대응하는 화소 구동부(PXD)들, 및 화



소 구동부(PXD)들에 데이터 신호(Vdata)를 전달하는 데이터 배선(DL)을 포함한다. 회로층(120)의 화소 구동부(PXD)들은 발광 소자층(130)의 발광 소자(LE)들과 각각 전기적으로 연결된다.

- [0118] 회로층(120)은 화소 구동부(PXD)들에 제1 전원(ELVDD)를 전달하는 제1 전원 배선(VDL), 및 화소 구동부(PXD)들에 초기화 전압(Vint)을 전달하는 초기화 전압 배선(VIL)을 더 포함할 수 있다.
- [0119] 그리고, 회로층(120)은 화소 구동부(PXD)들에 스캔 기입 신호(GW)를 전달하는 스캔 기입 배선(GWL), 화소 구동부(PXD)들에 스캔 초기화 신호(GI)를 전달하는 스캔 초기화 배선(GIL), 화소 구동부(PXD)들에 발광 제어 신호(EM)를 전달하는 발광 제어 배선(ECL), 및 화소 구동부(PXD)들에 게이트 제어 신호(GC)를 전달하는 게이트 제어 배선(GCL)을 더 포함할 수 있다.
- [0120] 도 6를 참조하면, 회로층(120)의 화소 구동부(PXD)들 중 하나의 화소 구동부(PXD)는 하나의 화소 구동부(PXD)와 전기적으로 연결된 발광 소자(LE)의 구동을 위한 구동 전류를 생성하는 구동 트랜지스터(DT)를 포함할 수 있다. 또한, 하나의 화소 구동부(PXD)는 구동 트랜지스터(DT)와 전기적으로 연결되는 둘 이상의 트랜지스터들(ST1~ST6), 및 적어도 하나의 커패시터(PC1)를 더 포함할 수 있다.
- [0121] 발광 소자(LE)의 애노드 전극(도 9의 131)은 화소 구동부(PXD)와 전기적으로 연결되고, 발광 소자(LE)의 캐소드 전극(도 9의 136)은 제1 전원(ELVDD)보다 낮은 전압 레벨의 제2 구동 전원(ELVSS)을 전달하는 제2 전원 배선(VSL)과 전기적으로 연결될 수 있다.
- [0122] 발광 소자(LE)는 유기발광재료로 이루어진 발광층을 구비한 유기 발광 다이오드일 수 있다. 또는, 발광 소자(LE)는 무기 반도체로 이루어진 발광층을 구비한 무기 발광 소자일 수 있다. 또는, 발광 소자(LE)은 양자점 발광층을 구비한 양자점 발광 소자일 수 있다. 또는, 발광 소자(LE)는 마이크로 발광 다이오드(micro light emitting diode)일 수 있다.
- [0123] 발광 소자(LE)와 병렬로 연결되는 커패시터(Ce1)는 애노드 전극(131)과 캐소드 전극(138) 사이의 기생용량을 나타낸다.
- [0124] 구동 트랜지스터(DT)는 제1 전원 배선(VDL)과 제2 전원 배선(VSL) 사이에 발광 소자(LE)와 직렬로 연결된다. 즉, 구동 트랜지스터(DT)의 제1 전극(예를 들면, 소스 전극)은 제5 트랜지스터(ST5)를 통해 제1 전원 배선(VDL)과 전기적으로 연결될 수 있다. 그리고, 구동 트랜지스터(DT)의 제2 전극(예를 들면, 드레인 전극)은 제6 트랜지스터(ST6)를 통해 발광 소자(LE)의 애노드 전극(131)과 전기적으로 연결될 수 있다.
- [0125] 구동 트랜지스터(DT)의 제1 전극은 제2 트랜지스터(ST2)를 통해 데이터 배선(DL)과 전기적으로 연결될 수 있다.
- [0126] 구동 트랜지스터(DT)의 게이트 전극은 제1 커패시터(PC1)를 통해 제1 전원 배선(VDL)과 전기적으로 연결될 수 있다. 즉, 제1 커패시터(PC1)는 구동 트랜지스터(DT)의 게이트 전극과 제1 전원 배선(VDL) 사이에 전기적으로 연결될 수 있다.
- [0127] 이에, 구동 트랜지스터(DT)의 게이트 전극의 전위는 제1 전원 배선(VDL)에 의한 제1 전원(ELVDD)으로 유지될 수 있다.
- [0128] 따라서, 턴온된 제2 트랜지스터(ST2)를 통해, 데이터 배선(DL)의 데이터 신호(Vdata)가 구동 트랜지스터(DT)의 제1 전극에 전달되면, 구동 트랜지스터(DT)의 게이트 전극과 구동 트랜지스터(DT)의 제1 전극 사이에서 제1 전원(ELVDD) 및 데이터 신호(Vdata)에 대응하는 전압차가 발생될 수 있다.
- [0129] 이때, 구동 트랜지스터(DT)의 게이트 전극과 구동 트랜지스터(DT)의 제1 전극 간의 전압차, 즉 게이트-소스 간 전압차가 문턱전압 이상이 되면, 구동 트랜지스터(DT)는 턴온될 수 있다.
- [0130] 이어서, 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6)가 턴온되면, 구동 트랜지스터(DT)가 제1 전원 배선(VDL)과 제2 전원 배선(VSL) 사이에서 발광 소자(LE)과 직렬로 연결될 수 있다. 이에 따라, 데이터 신호(Vdata)에 대응하는 드레인-소스 간 전류가 턴온된 구동 트랜지스터(DT)에 의해 생성되어, 발광 소자(LE)의 구동 전류로 공급될 수 있다.
- [0131] 이로써, 발광 소자(LE)는 데이터 신호(Vdata)에 대응하는 휘도의 광을 방출할 수 있다.
- [0132] 제2 트랜지스터(ST2)는 구동 트랜지스터(DT)의 제1 전극과 데이터 배선(DL) 사이에 연결될 수 있다.
- [0133] 제1 트랜지스터(ST1)는 구동 트랜지스터(DT)의 게이트 전극과 구동 트랜지스터(DT)의 제2 전극 사이에 연결될 수 있다.

- [0134] 제1 트랜지스터(ST1)는 직렬로 연결된 복수의 서브 트랜지스터들을 포함할 수 있다. 일 예로, 제1 트랜지스터(ST1)는 제1 서브 트랜지스터(ST11)와 제2 서브 트랜지스터(ST12)를 포함할 수 있다.
- [0135] 제1 서브 트랜지스터(ST11)의 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 연결되고, 제1 서브 트랜지스터(ST11)의 제2 전극은 제2 서브 트랜지스터(ST12)의 제1 전극에 연결되며, 제2 서브 트랜지스터(ST12)의 제2 전극은 구동 트랜지스터(DT)의 제2 전극에 연결될 수 있다.
- [0136] 이와 같이 하면, 턴온되지 않은 제1 트랜지스터(ST1)에 의한 누설 전류로 인해, 구동 트랜지스터(DT)의 게이트 전극의 전위가 변동되는 것이 방지될 수 있다.
- [0137] 제2 트랜지스터(ST2), 제1 서브 트랜지스터(ST11) 및 제2 서브 트랜지스터(ST12) 각각의 게이트 전극은 스캔 기입 배선(GWL)에 연결될 수 있다.
- [0138] 이에, 스캔 기입 배선(GWL)을 통해 스캔 기입 신호(GW)가 전달되면, 제2 트랜지스터(ST2), 제1 서브 트랜지스터(ST11) 및 제2 서브 트랜지스터(ST12)가 턴온될 수 있다.
- [0139] 이때, 턴온된 제2 트랜지스터(ST2)를 통해, 구동 트랜지스터(DT)의 제1 전극에 데이터 신호(Vdata)가 전달될 수 있다.
- [0140] 그리고, 턴온된 제1 서브 트랜지스터(ST11) 및 제2 서브 트랜지스터(ST12)를 통해, 구동 트랜지스터(DT)의 게이트 전극은 구동 트랜지스터(DT)의 제2 전극과 동전위를 가질 수 있다.
- [0141] 이로써, 구동 트랜지스터(DT)가 턴온될 수 있다.
- [0142] 제3 트랜지스터(ST3)는 구동 트랜지스터(DT)의 게이트 전극과 초기화 전압 배선(VIL) 사이에 연결될 수 있다.
- [0143] 제3 트랜지스터(ST3)는 직렬로 연결된 복수의 서브 트랜지스터들을 포함할 수 있다. 일 예로, 제3 트랜지스터(ST3)는 제3 서브 트랜지스터(ST31)와 제4 서브 트랜지스터(ST32)를 포함할 수 있다.
- [0144] 제3 서브 트랜지스터(ST31)의 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 연결되고, 제3 서브 트랜지스터(ST31)의 제2 전극은 제4 서브 트랜지스터(ST32)의 제1 전극에 연결되며, 제4 서브 트랜지스터(ST32)의 제2 전극은 초기화 전압 배선(VIL)에 연결될 수 있다.
- [0145] 이와 같이 하면, 턴온되지 않은 제3 트랜지스터(ST3)에 의한 누설 전류로 인해 구동 트랜지스터(DT)의 게이트 전극의 전위가 변동되는 것이 방지될 수 있다.
- [0146] 제3 서브 트랜지스터(ST31)와 제4 서브 트랜지스터(ST32) 각각의 게이트 전극은 스캔 초기화 배선(GIL)에 연결될 수 있다.
- [0147] 이에, 스캔 초기화 배선(GIL)을 통해 스캔 초기화 신호(GI)가 전달되면, 제3 서브 트랜지스터(ST31)와 제4 서브 트랜지스터(ST32)가 턴온함으로써, 구동 트랜지스터(DT)의 게이트 전극의 전위가 초기화 전압 배선(VIL)의 초기화 전압(Vint)으로 초기화될 수 있다.
- [0148] 제4 트랜지스터(ST4)는 발광 소자(LE)의 애노드 전극과 초기화 전압 배선(VIL) 사이에 연결될 수 있다.
- [0149] 제4 트랜지스터(ST4)의 게이트 전극은 게이트 제어 배선(GCL)에 연결될 수 있다.
- [0150] 이에, 게이트 제어 배선(GCL)을 통해 게이트 제어 신호(GC)가 전달되면, 제4 트랜지스터(ST4)가 턴온될 수 있다.
- [0151] 이때, 턴온된 제4 트랜지스터(ST4)를 통해, 발광 소자(LE)의 애노드 전극의 전위가 초기화 전압 배선(VIL)의 초기화 전압(Vint)으로 초기화될 수 있다.
- [0152] 이로써, 발광 소자(LE)가 애노드 전극에 잔류된 전류로 구동되는 것이 방지될 수 있다.
- [0153] 제5 트랜지스터(ST5)는 구동 트랜지스터(DT)의 제1 전극과 제1 전원 배선(VDL) 사이에 연결될 수 있다.
- [0154] 제6 트랜지스터(ST6)는 구동 트랜지스터(DT)의 제2 전극과 발광 소자(LE)의 애노드 전극 사이에 연결될 수 있다.
- [0155] 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6) 각각의 게이트 전극은 발광 제어 배선(ECL)에 연결될 수 있다.
- [0156] 이에, 발광 제어 배선(ECL)을 통해 발광 제어 신호(EM)가 전달되면, 제5 트랜지스터(ST5) 및 제6 트랜지스터

(ST6)가 턴온함으로써, 구동 트랜지스터(DT)의 드레인-소스 간 전류가 발광 소자(LE)의 구동 전류로 공급될 수 있다.

- [0157] 도 6은 화소 구동부(PXD)에 포함된 구동 트랜지스터(DT) 및 제1 내지 제6 트랜지스터들(ST1~ST6)이 모두 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)인 경우를 도시하고 있으나, 일 실시예의 화소 구동부(PXD)는 도 6의 도시로 한정되지 않는 것에 주의하여야 한다. 즉, 일 실시예의 화소 구동부(PXD)에 포함된 구동 트랜지스터(DT) 및 제1 내지 제6 트랜지스터(ST1~ST6)들 중 적어도 하나는 P 타입 MOSFET일 수도 있다.
- [0158] 도 7은 도 3의 터치 센서층을 보여주는 평면도이다. 도 8은 도 7의 D 부분을 보여주는 확대도이다. 도 9는 도 8의 E-E'를 보여주는 단면도이다.
- [0159] 도 7은 정전용량 방식의 터치 센서층(150)을 도시한다. 이 경우, 터치 구동 회로(400)는 정전용량의 변동 여부에 기초하여 터치를 감지할 수 있다. 다만, 도 7은 용이한 설명을 위한 예시에 지나지 않으며, 일 실시예에 따른 터치 센서층(150)은 도 7의 도시로 한정되지 않는다.
- [0160] 도 7은 설명의 편의를 위해 터치 센서층(150)의 구성요소들 중 일부만을 도시한다.
- [0161] 도 7을 참조하면, 터치 센서층(150)은 메인 영역(MA)에 배치될 수 있다. 터치 센서층(150)은 사용자의 터치를 감지하기 위한 터치 센싱 영역(TSA)과 터치 센싱 영역(TSA) 주변의 터치 주변 영역(TPA)을 포함할 수 있다.
- [0162] 터치 센싱 영역(TSA)은 표시 영역(DA) 이상의 너비이고 표시 영역(DA)과 유사할 수 있다. 이에, 터치 센싱 영역(TSA)의 주변인 터치 주변 영역(TPA)은 표시 영역(DA)의 주변인 비표시 영역(NDA)과 유사할 수 있다.
- [0163] 일 예로, 터치 센싱 영역(TSA)은 표시 영역(DA) 및 표시 영역(DA)에 접하는 비표시 영역(NDA)의 가장자리에 중첩될 수 있다. 이 경우, 터치 주변 영역(TPA)은 비표시 영역(NDA) 중 터치 센싱 영역(TSA)에 대응되지 않는 나머지 일부에 중첩될 수 있다.
- [0164] 터치 센서층(150)은 터치 센싱 영역(TSA)에 매트릭스 배열되고 상호 정전용량을 발생시키는 센서 전극(SE)들과 더미 전극(DE)들, 및 터치 주변 영역(TPA)에 배치되는 센서 배선(SENL)들을 포함할 수 있다.
- [0165] 센서 전극(SE)들은 구동 신호가 인가되는 구동 전극(TE: Touch driving Electrode), 및 구동 전극(TE)과의 상호 정전용량(mutual capacitance)에 충전된 전압을 감지하기 위한 감지 전극(RE: Receiving Electrode)을 포함할 수 있다.
- [0166] 센서 배선(SENL)들은 제1 구동 배선(TL1)과 제2 구동 배선(TL2), 및 감지 배선(RL)을 포함할 수 있다.
- [0167] 제1 구동 배선(TL1)과 제2 구동 배선(TL2) 각각은 구동 전극(TE)들 중 제2 방향(DR2)으로 이어진 둘 이상의 구동 전극(TE)들과 전기적으로 연결될 수 있다.
- [0168] 제1 구동 배선(TL1)은 터치 주변 영역(TPA) 중 터치 센싱 영역(TSA)의 제2 방향(DR2)의 일변과 서브 영역(SBA) 사이의 일부로부터 서브 영역(SBA)으로 연장될 수 있다.
- [0169] 제2 구동 배선(TL2)은 터치 주변 영역(TPA) 중 터치 센싱 영역(TSA)의 제2 방향(DR2)의 다른 일변과 접하는 일부로부터 터치 센싱 영역(TSA)의 제1 방향(DR1)의 일변과 접하는 부분을 통해 서브 영역(SBA)으로 연장될 수 있다.
- [0170] 감지 배선(RL)은 감지 전극(RE)들 중 제1 방향(DR1)으로 이어진 둘 이상의 감지 전극(RE)들과 전기적으로 연결될 수 있다.
- [0171] 감지 전극(RE)은 제1 방향(DR1)으로 나란하게 배열될 수 있다. 제1 방향(DR1)으로 이웃한 감지 전극(RE)은 제1 방향(DR1)의 돌출된 부분을 통해 상호 전기적으로 연결될 수 있다.
- [0172] 구동 전극(TE)은 제2 방향(DR2)으로 나란하게 배열될 수 있다. 제2 방향(DR2)으로 이웃한 구동 전극(TE)은 제2 방향(DR2)의 브릿지 전극(도 8의 BE)을 통해 상호 전기적으로 연결될 수 있다.
- [0173] 구동 전극(TE)들과 감지 전극(RE)들 각각은 각각의 중앙에 배치된 더미 전극(DE)을 둘러싸는 형태일 수 있다.
- [0174] 더미 전극(DE)은 각각을 둘러싸는 구동 전극(TE) 및 감지 전극(RE)으로부터 이격될 수 있다. 더미 전극(DE)은 플로팅 상태로 유지될 수 있다.
- [0175] 도 7은 마름모의 평면 형태로 각각 이루어진 구동 전극(TE), 감지 전극(RE) 및 더미 전극(DE)을 도시하고 있으나, 일 실시예는 도 7의 도시에 한정되지 않는다. 일 예로, 구동 전극(TE), 감지 전극(RE) 및 더미 전극(DE)의

평면 형태는 마름모 이외의 다른 사각형, 사각형 이외의 다른 다각형, 원형 또는 타원형일 수 있다.

- [0176] 일 실시예에 따른 표시 장치(10)의 표시 패널(100)은 제2 서브 영역(SB2)에 배치되고 회로 보드(300)가 접속되는 신호 패드(SPD)들을 포함할 수 있다.
- [0177] 신호 패드(SPD)들은 회로층(120)의 구동을 위한 신호들을 송수신하는 표시 신호 패드(DPD)들과, 터치 센서층(150)의 구동을 위한 신호들을 송수신하는 터치 신호 패드(TPD1, TPD2)들을 포함할 수 있다.
- [0178] 일 예로, 제2 서브 영역(SB2)은 표시 구동 회로(200)와 인접한 표시 패드 영역(DPDA)과, 표시 패드 영역(DPDA)의 양측에 배치되는 제1 터치 패드 영역(TPDA1) 및 제2 터치 패드 영역(TPDA2)을 포함할 수 있다.
- [0179] 표시 패드 영역(DPDA)에는 회로층(120) 또는 표시 구동 회로(200)로 전달되는 신호들의 송수신을 위한 표시 패드(DPD)들이 배치될 수 있다.
- [0180] 제1 터치 패드 영역(TPDA1)에는 제1 구동 배선(TL1) 및 제2 구동 배선(TL2)과 각각 전기적으로 연결되는 제1 터치 패드(TPD1)들이 배치될 수 있다.
- [0181] 제2 터치 패드 영역(TPDA2)에는 감지 배선(RL)과 각각 전기적으로 연결되는 제2 터치 패드(TPD2)들이 배치될 수 있다.
- [0182] 도 8을 참조하면, 브릿지 전극(BE)은 제1 터치 센서층(SSEL1)으로 마련되고, 구동 전극(TE)과 감지 전극(RE)은 제2 터치 센서층(SSEL2)으로 마련될 수 있다.
- [0183] 구동 전극(TE)과 감지 전극(RE)은 상호 이격될 수 있다.
- [0184] 도 8은 적어도 1회의 격임을 포함한 형태의 브릿지 전극(BE)을 도시하고 있으나, 일 실시예에 따른 브릿지 전극(BE)의 형태는 도 8의 도시로 한정되지 않는다.
- [0185] 제2 방향(DR2)으로 이웃한 구동 전극(TE)들은 둘 이상의 브릿지 전극(BE)을 통해 상호 전기적으로 연결될 수 있다. 이와 같이 하면, 구동 전극(TE)들 간의 전기적 연결에 대한 신뢰도가 개선될 수 있다.
- [0186] 도 8은 제2 방향(DR2)으로 이웃한 구동 전극(TE) 사이에 상호 평행한 두 개의 브릿지 전극(BE)이 배치되는 것을 도시하고 있으나, 일 실시예는 도 8의 도시로 한정되지 않는다.
- [0187] 브릿지 전극(BE)은 터치 콘택홀(TCNT1)들을 통해 구동 전극(TE)들과 전기적으로 연결될 수 있다.
- [0188] 구동 전극(TE), 감지 전극(RE) 및 브릿지 전극(BE) 각각은 메쉬형 또는 그물망 구조의 평면 형태를 가질 수 있다. 더미 전극(DE) 또한 메쉬형 또는 그물망 구조의 평면 형태를 가질 수 있다. 이와 같이 하면, 발광 영역들(EA) 중 구동 전극(TE), 감지 전극(RE), 더미 전극(DE) 및 브릿지 전극(BE)과 중첩되는 너비가 감소될 수 있으므로, 구동 전극(TE), 감지 전극(RE), 더미 전극(DE) 및 브릿지 전극(BE)으로 인한 광 방출 효율의 감소가 저감될 수 있다.
- [0189] 발광 영역들(EA)은 제1 색상의 광을 방출하는 제1 발광 영역(EA1), 제1 색상보다 낮은 파장 대역인 제2 색상의 광을 방출하는 제2 발광 영역(EA2), 및 제2 색상보다 낮은 파장 대역인 제3 색상의 광을 방출하는 제3 발광 영역(EA3)을 포함할 수 있다. 일 예로, 제1 색상, 제2 색상 및 제3 색상은 각각 적색, 녹색 및 청색일 수 있다.
- [0190] 제1 발광 영역(EA1)과 제3 발광 영역(EA3)은 제1 방향(DR1) 및 제2 방향(DR2)에서 상호 교번하여 배열될 수 있다.
- [0191] 제2 발광 영역(EA2)은 제1 방향(DR1) 및 제2 방향(DR2)에 비스듬한 사선 방향에서 제1 발광 영역(EA1) 및 제3 발광 영역(EA3) 각각과 이웃할 수 있다. 제2 발광 영역(EA2)은 제1 방향(DR1) 및 제2 방향(DR2)에서 나란하게 배열될 수 있다.
- [0192] 도 8은 마름모 또는 직사각형의 평면 형태로 각각 이루어진 발광 영역들(EA)을 도시하고 있으나, 일 실시예에 따른 발광 영역들(EA)의 평면 형태는 도 8의 도시로 한정되지 않는다. 즉, 발광 영역들(EA) 각각은 사각형 이외의 다른 다각형, 원형, 또는 타원형의 평면 형태로 이루어질 수 있다.
- [0193] 도 8의 도시와 같이, 제1 발광 영역(EA1)의 제1 색상, 제2 발광 영역(EA2)의 제2 색상 및 제3 발광 영역(EA3)의 제3 색상이 각각 적색, 녹색 및 청색인 경우, 제3 발광 영역(EA3)은 제1 발광 영역(EA1)보다 큰 너비로 이루어지고, 제2 발광 영역(EA2)은 제1 발광 영역(EA1)보다 작은 너비로 이루어질 수 있다. 다만 이는 단지 예시일 뿐이며, 발광 영역들(EA) 각각의 너비는 도 8의 도시로 한정되지 않는다.

- [0194] 도 9을 참조하면, 일 실시예에 따른 표시 장치(10)의 표시 패널(100)은 기판(110), 기판(110) 상의 회로층(120), 회로층(120) 상의 발광 소자층(130), 발광 소자층(130) 상의 밀봉층(140), 및 밀봉층(140) 상의 터치 센서층(150)을 포함할 수 있다.
- [0195] 기판(110)은 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉서블(flexible) 특성을 갖는 재료로 마련될 수 있다.
- [0196] 기판(110)은 고분자 수지 등의 절연 물질로 이루어질 수 있다. 일 예로, 기판(110)은 폴리이미드(polyimide)로 이루어질 수 있다.
- [0197] 회로층(120)은 발광 영역들(EA)에 각각 대응되는 화소 구동부(PXD)들을 포함할 수 있다.
- [0198] 화소 구동부(PXD)들 각각은 둘 이상의 트랜지스터(도 6의 DT, ST1~ST6)와 적어도 하나의 커패시터(도 6의 PC1)를 포함할 수 있다.
- [0199] 회로층(120)은 화소 구동부(PXD)들 및 화소 구동부(PXD)들과 전기적으로 연결된 배선들(도 6의 GWL, GIL, ECL, GCL, DL, VIL, VDL, VSL)을 마련하기 위한 도전층들, 및 도전층들 사이에 배치되는 절연층들(121~127)을 포함할 수 있다.
- [0200] 회로층(120)은 기판(110) 상에 배치되는 반도체층(ACT), 기판(110) 상에 배치되며 반도체층(ACT)을 덮고 무기 절연 재료를 포함하는 제1 게이트 절연층(123), 제1 게이트 절연층(123) 상에 배치되는 제1 도전층(G), 제1 게이트 절연층(123) 상에 배치되며 제1 도전층(G)을 덮고 무기 절연 재료를 포함하는 제2 게이트 절연층(124), 제2 게이트 절연층(124) 상에 배치되는 제2 도전층(CAE), 제2 게이트 절연층(124) 상에 배치되며 제2 도전층(CAE)을 덮고 무기 절연 재료를 포함하는 층간 절연층(125), 층간 절연층(125) 상에 배치되는 제3 도전층(S, D), 층간 절연층(125) 상에 배치되며 제3 도전층(S, D)을 덮고 유기 절연 재료를 포함하는 제1 평탄화층(126), 제1 평탄화층(126) 상에 배치되는 제4 도전층(ANDE), 및 제1 평탄화층(126) 상에 배치되며 제4 도전층(ANDE)을 덮고 유기 절연 재료를 포함하는 제2 평탄화층(127)을 포함한다.
- [0201] 제1 평탄화층(126)은 표시 영역(DA)에 대응되는 제1 평탄화층을 포함한다. 그리고, 제2 평탄화층(127)은 표시 영역(DA)에 대응되고 제1 평탄화층(126)을 덮는 제2 평탄화층을 포함한다. 이하의 설명에서, 제1 평탄화층(126)은 제1 평탄화층과 동일한 식별부호로 언급될 수 있고, 제2 평탄화층(127)은 제2 평탄화층과 동일한 식별부호로 언급될 수 있다.
- [0202] 반도체층은 트랜지스터들(DT, ST1~ST6)의 액티브층(ACT)들을 포함할 수 있다. 반도체층은 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘, 또는 산화물 반도체 물질을 포함할 수 있다.
- [0203] 제1 게이트 절연층(123) 상의 제1 도전층은 트랜지스터들(DT, ST1~ST6)의 게이트 전극(G)들을 포함할 수 있다.
- [0204] 제2 게이트 절연층(124) 상의 제2 도전층은 커패시터(PC1)의 제1 커패시터 전극(CAE)을 포함할 수 있다.
- [0205] 층간 절연층(125) 상의 제3 도전층은 트랜지스터들(DT, ST1~ST6)의 소스 전극(S)들과, 트랜지스터들(DT, ST1~ST6)의 드레인 전극(D)들을 포함할 수 있다.
- [0206] 제1 평탄화층(126) 상의 제4 도전층은 발광 영역들(EA)에 각각 대응한 애노드 연결 전극(ANDE)들을 포함할 수 있다.
- [0207] 그리고, 회로층(120)은 기판(110)을 투과한 산소 또는 수분을 차단하기 위한 제1 버퍼층(121), 기판(110)을 투과한 광을 차단하기 위한 차광층(BML), 및 차광층(BML)을 덮는 제2 버퍼층(122)을 더 포함할 수 있다. 이 경우, 반도체층은 제2 버퍼층(122) 상에 배치될 수 있다.
- [0208] 제1 버퍼층(121)과 제2 버퍼층(122) 각각은 무기 절연 재료를 포함할 수 있다.
- [0209] 일 예로, 제1 버퍼층(121)과 제2 버퍼층(122) 각각은 실리콘 나이트라이드층, 실리콘 옥사이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다.
- [0210] 차광층(BML)은 기판(110)을 통해 유입된 광에 의한 액티브층(ACT)의 누설전류를 방지하기 위한 것이다. 이를 위해, 차광층(BML)은 제2 버퍼층(122) 상의 액티브층(ACT) 중 적어도 채널 영역(CHA)과 중첩될 수 있다. 또는 차광층(BML)은 액티브층(ACT)과 전체적으로 중첩될 수 있다.

- [0211] 차광층(BML)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 또는, 차광층(BML)은 블랙 안료를 포함하는 유기막일 수 있다.
- [0212] 각 화소 구동부(PXD)에 구비된 둘 이상의 트랜지스터들(DT, ST1~6) 각각은 기판(110) 상의 차광층(BML)과, 차광층(BML)을 덮는 제2 버퍼층(122) 상의 액티브층(ACT)과, 액티브층(ACT)을 덮는 제1 게이트 절연층(123) 상에 배치되는 게이트 전극(G)과, 층간 절연층(125) 상에 배치되는 소스 전극(S) 및 드레인 전극(D)을 포함할 수 있다.
- [0213] 액티브층(ACT)은 전위차에 따라 채널을 발생시키는 채널 영역(CHA)과, 채널 영역(CHA)의 양측에 배치된 제1 전극 영역(COA1)과 제2 전극 영역(COA2)을 포함할 수 있다.
- [0214] 액티브층(ACT)이 다결정 실리콘 또는 산화물 반도체 물질을 포함하는 경우, 제1 전극 영역(COA1)과 제2 전극 영역(COA2)은 이온 도핑으로 도전화된 영역일 수 있다.
- [0215] 제1 게이트 절연층(123), 제2 게이트 절연층(124) 및 층간 절연층(125) 각각은 무기 절연 재료를 포함한다. 일 예로, 제1 게이트 절연층(123), 제2 게이트 절연층(124) 및 층간 절연층(125) 각각은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층의 무기 절연막으로 이루어질 수 있다. 여기서, 층간 절연층(125)은 실리콘 나이트라이드층으로 이루어질 수 있다.
- [0216] 게이트 전극(G)은 제3 방향(DR3)에서 액티브층(ACT)의 채널 영역(CHA)과 중첩될 수 있다.
- [0217] 트랜지스터들(DT, ST1~ST6)의 게이트 전극(G)들을 포함한 제1 도전층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0218] 커패시터(PC1)의 제1 커패시터 전극(CAE)을 포함한 제2 도전층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0219] 트랜지스터들(DT, ST1~ST6)의 소스 전극(S)들과 트랜지스터들(DT, ST1~ST6)의 드레인 전극(D)들을 포함한 제3 도전층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0220] 애노드 연결 전극(ANDE)들을 포함한 제4 도전층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0221] 여기서, 제3 도전층 및 제4 도전층 각각은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 및 니켈(Ni) 등의 저저항 금속층과, 저저항 금속의 양면에 배치되는 티타늄(Ti) 등의 확산방지 금속층들을 포함한 삼중층을 포함할 수 있다.
- [0222] 제1 평탄화층(126) 및 제2 평탄화층(127) 각각은 회로층(120)의 평탄화를 위해 유기 절연 재료를 포함할 수 있다.
- [0223] 일 예로, 제1 평탄화층(126) 및 제2 평탄화층(127) 각각은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0224] 도 9의 도시에 따르면, 회로층(120)의 트랜지스터들(DT, ST1~ST6)이 액티브층(ACT) 상부에 위치하는 게이트 전극(G)을 포함한 상부 게이트(탑 게이트, top gate) 구조를 가지고 있으나, 일 실시예는 도 9의 도시로 한정되지 않는다. 즉, 회로층(120)의 트랜지스터들(DT, ST1~ST6)은 게이트 전극(G)이 액티브층(ACT)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 구조이거나, 아니면, 게이트 전극(G)이 액티브층(ACT)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 구조일 수도 있다.
- [0225] 발광 소자층(130)은 회로층(120)의 제2 평탄화층(127) 상에 배치되고, 발광 영역들(EA)에 각각 대응되는 발광 소자(LE)들을 포함한다.
- [0226] 발광 소자층(130)은 회로층(120)의 제2 평탄화층(127) 상에 배치되고 발광 영역들(EA)에 각각 대응되는 애노드 전극(131)들, 회로층(120)의 제2 평탄화층(127) 상에 배치되고 발광 영역들(EA) 사이의 이격 영역인 비발광 영

역(NEA)에 대응되며 애노드 전극(131)들 각각의 가장자리를 덮는 화소 정의층(132), 화소 정의층(132)의 일부 상에 배치되는 스페이서층(132'), 애노드 전극(131)들 상에 각각 배치되는 제1 공통층(133)들, 제1 공통층(133)들 상에 각각 배치되는 발광층(134)들, 화소 정의층(132)과 스페이서층(132')과 발광층(134)들 상에 배치되는 제2 공통층(135), 및 제2 공통층(135) 상에 배치되는 캐소드 전극(136)을 포함할 수 있다.

- [0227] 여기서, 발광 소자(LE)들 각각은 상호 대향하는 애노드 전극(131)과 캐소드 전극(136) 사이에, 유기 물질로 이루어진 제1 공통층(133), 발광층(134) 및 제2 공통층(135)이 배치된 구조를 포함할 수 있다.
- [0228] 애노드 전극(131)들은 애노드 연결 전극(ANDE)들을 통해 회로층(120)의 화소 구동부(PXD)들과 각각 전기적으로 연결될 수 있다.
- [0229] 즉, 각 발광 영역(EA)에서, 애노드 연결 전극(ANDE)은 제1 평탄화층(126)을 관통하는 제1 애노드 연결홀(ANDH1)을 통해 화소 구동부(PXD)의 제6 트랜지스터(ST6)의 드레인 전극(D)과 전기적으로 연결되고, 애노드 전극(131)은 제2 평탄화층(127)을 관통하는 제2 애노드 연결홀(ANDH2)을 통해 애노드 연결 전극(ANDE)과 전기적으로 연결될 수 있다.
- [0230] 이와 같이, 애노드 전극(131)은 발광 영역들(EA) 각각의 화소 구동부(PXD)와 전기적으로 연결됨에 따라, 화소 전극으로 지칭될 수 있다.
- [0231] 애노드 전극(131)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO(Indium Tin Oxide)의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)와 같은 반사율이 높은 금속물질로 이루어질 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0232] 제1 공통층(133)들은 발광 영역들(EA)에 각각 대응될 수 있다. 제1 공통층(133)들 각각은 정공 수송층을 포함할 수 있다. 또는, 제1 공통층(133)들 각각은 애노드 전극(131)과 정공 수송층 사이에 배치되는 정공 주입층을 더 포함할 수 있다.
- [0233] 발광층(134)들은 발광 영역들(EA)에 각각 대응될 수 있다.
- [0234] 제1 발광 영역(EA1)의 발광층(134), 제2 발광 영역(EA2)의 발광층(134), 및 제3 발광 영역(EA3)의 발광층(134)은 서로 다른 재료 또는 함량의 유기 발광 재료를 포함할 수 있다.
- [0235] 일 예로, 발광층(134)은 전자-정공 쌍을 광으로 변환하는 유기 발광 물질로 이루어질 수 있다.
- [0236] 유기 발광 재료는 호스트 물질과 도펀트를 포함할 수 있다. 도펀트는 인광 물질 또는 형광 물질을 포함할 수 있다.
- [0237] 제1 색상을 방출하는 제1 발광 영역(EA1)의 발광층(134)은 CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)의 호스트 물질을 포함할 수 있다.
- [0238] 그리고, 제1 발광 영역(EA1)의 발광층(134)의 도펀트는 PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum) 중에서 선택된 어느 하나 이상의 인광 물질, 또는 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함한 형광 물질로 선택될 수 있다.
- [0239] 제1 색상보다 낮은 파장 대역에 의한 제2 색상을 방출하는 제2 발광 영역(EA2)의 발광층(134)은 CBP 또는 mCP의 호스트 물질을 포함할 수 있다.
- [0240] 그리고, 제2 발광 영역(EA2)의 발광층(134)의 도펀트는 Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함한 인광 물질, 또는 Alq3(tris(8-hydroxyquinolino)aluminum)을 포함한 형광 물질로 선택될 수 있다.
- [0241] 제2 색상보다 낮은 파장 대역에 의한 제3 색상을 방출하는 제3 발광 영역(EA3)의 발광층(134)은 CBP 또는 mCP의 호스트 물질을 포함할 수 있다.
- [0242] 제3 발광 영역(EA3)의 발광층(134)의 도펀트는 (4,6-F2ppy)2Irpic 또는 L2BD111을 포함한 인광 물질로 선택될 수 있다.
- [0243] 이러한 발광층(134)의 유기 발광 재료에 대한 설명은 단지 예시일 뿐이며, 일 실시예에 따른 발광층(134)의 재료는 위 설명으로 한정되지 않는다.
- [0244] 제2 공통층(135)은 발광 영역들(EA)을 포함한 표시 영역(DA) 전체에 대응될 수 있다. 제2 공통층(135)은 전자

수송층을 포함할 수 있다. 또는, 제2 공통층(135)은 캐소드 전극(136)과 전자 수송층 사이에 배치되는 전자 주입층을 더 포함할 수 있다.

- [0245] 캐소드 전극(136)은 발광 영역들(EA)을 포함한 표시 영역(DA) 전체에 대응될 수 있다. 캐소드 전극(136)은 제2 전원(ELVSS)을 인가하는 제2 전원 배선(도 6의 VSL)과 전기적으로 연결될 수 있다.
- [0246] 캐소드 전극(136)은 발광 영역들(EA)에 전체적으로 대응됨에 따라, 공통 전극으로 지칭될 수 있다.
- [0247] 캐소드 전극(136)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 이루어질 수 있다. 캐소드 전극(136)이 반투과 금속물질로 이루어지는 경우, 마이크로 캐비티(micro cavity)에 의한 출광 효율의 개선을 기대할 수 있다.
- [0248] 밀봉층(140)은 발광 소자층(130)에 대한 산소 또는 수분의 침투를 차단하고, 회로층(120) 및 발광 소자층(130)에 대한 전기적 또는 물리적 충격을 완화시키기 위한 것이다.
- [0249] 밀봉층(140)은 회로층(120) 상에 배치되며 발광 소자층(130)을 덮고 무기 절연 재료를 포함하는 제1 밀봉층(141), 제1 밀봉층(141) 상에 배치되고 발광 소자층(130)과 중첩되며 유기 절연 재료를 포함하는 제2 밀봉층(142), 및 제1 밀봉층(141) 상에 배치되며 제2 밀봉층(142)을 덮고 무기 절연 재료를 포함하는 제3 밀봉층(143)을 포함할 수 있다.
- [0250] 제2 밀봉층(142)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 절연 재료로 이루어질 수 있다.
- [0251] 제2 밀봉층(142)은 액상 상태의 유기 재료를 제1 밀봉층(141) 상에 투하하고, 표시 영역(DA)을 덮도록 확산시킨 다음, 경화하는 과정으로 마련될 수 있다.
- [0252] 이에 따라, 제1 실시예에 따르면, 표시 장치(10)의 표시 패널(100)은 제2 밀봉층(142)의 유기 재료가 확산되는 범위를 한정하기 위한 댐(도 10 및 도 11의 DAM)을 더 포함할 수 있다. 댐(DAM)은 비표시 영역(NDA)의 댐 영역(DMA)에 배치될 수 있다.
- [0253] 제2 밀봉층(142)은 적어도 하나의 댐(DAM)이 배치된 댐 영역(DMA)까지 확산된다. 이에 따라, 비표시 영역(NDA) 중 댐 영역(DMA)의 주변에 배치되는 접합 영역(JNA)에서, 제3 밀봉층(143)은 제1 밀봉층(141)과 접합될 수 있다.
- [0254] 제1 밀봉층(141) 및 제3 밀봉층(143) 각각은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이상의 무기막이 적층된 구조를 포함할 수 있다.
- [0255] 터치 센서층(150)은 밀봉층(140) 상에 배치될 수 있다.
- [0256] 제1 실시예에 따르면, 터치 센서층(150)은 밀봉층(140)의 제3 밀봉층(143) 상에 배치될 수 있다.
- [0257] 터치 센서층(150)은 밀봉층(140) 상에 배치되는 제3 버퍼층(151), 제3 버퍼층(151) 상에 배치되는 브릿지 전극(BE), 브릿지 전극(BE)을 덮는 센서 절연층(152), 센서 절연층(152) 상에 배치되는 구동 전극(TE)과 감지 전극(RE), 및 구동 전극(TE)과 감지 전극(RE)을 덮는 오버코트층(153)을 포함할 수 있다.
- [0258] 제3 버퍼층(151) 및 센서 절연층(152) 각각은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이상의 무기막이 적층된 구조로 이루어질 수 있다.
- [0259] 오버코트층(153)은 저온 공정으로 배치될 수 있는 유기 재료로 이루어질 수 있다. 일 예로, 오버코트층(153)은 네거티브 포토레지스트 재료로 이루어질 수 있다.
- [0260] 브릿지 전극(BE), 구동 전극(TE) 및 감지 전극(RE) 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 이루어질 수 있다.
- [0261] 구동 전극(TE) 및 감지 전극(RE) 각각의 내부에 배치되는 더미 전극(DE), 구동 전극(TE)에 연결되는 제1 구동 배선(TL1)과 제2 구동 배선(TL2), 및 감지 전극(RE)에 연결되는 감지 배선(RL) 각각은 구동 전극(TE) 및 감지 전극(RE)과 동일층에 배치될 수 있다.



- [0262] 구동 전극(TE)은 센서 절연층(152)을 관통하는 센서 연결 콘택홀(TCNT1)을 통해 브릿지 전극(BE)과 전기적으로 연결될 수 있다.
- [0263] 구동 전극(TE), 감지 전극(RE), 터미 전극(DE), 제1 구동 배선(TL1)과 제2 구동 배선(TL2), 및 감지 배선(RL)은 저반사층을 포함하는 구조로 이루어질 수 있다. 이와 같이 하면, 외부로부터 입사된 광이 표시 패널(100) 내에서 반사되어 방출되는 양(즉, 외부 광 반사)이 저감될 수 있다.
- [0264] 편광층(160)은 터치 센서층(150)의 오버코트층(153) 상에 배치될 수 있다.
- [0265] 또는, 일 실시예에 따른 표시 장치(10)의 표시 패널(100)은 편광층(160)과 오버코트층(153) 사이에 배치되는 제 4 버퍼층(미도시)을 더 포함할 수도 있다.
- [0266] 도 10은 제1 실시예에 따른 도 4의 C 부분을 보여주는 레이아웃 도이다. 도 11은 제1 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.
- [0267] 도 10을 참조하면, 제1 실시예에 따른 표시 장치(10)의 표시 패널(100)의 회로층(120)은 화소 구동부(PXD)들에 데이터 신호(Vdata)를 전달하는 데이터 배선(DL)들, 및 비표시 영역(NDA)에 배치되고 데이터 배선(DL)들과 각각 전기적으로 연결되며 제1 서브 영역(SB1)으로 연장되는 데이터 연결 배선(DCNL)들을 포함할 수 있다.
- [0268] 데이터 연결 배선(DCNL)들은 댐 영역(DMA) 및 접합 영역(JNA)으로 연장되므로, 층간 절연층(125) 아래에 배치된 제1 도전층 또는 제2 도전층에 포함될 수 있다.
- [0269] 제1 실시예에 따르면, 회로층(120)은 벤딩 영역(BA)에 배치되고 데이터 연결 배선(DCNL)들과 각각 전기적으로 연결되며 제2 서브 영역(SB2)으로 연장되는 데이터 벤딩 배선(DBDL)들을 더 포함할 수 있다.
- [0270] 그리고, 회로층(120)은 제2 서브 영역(SB2)에 배치되고 데이터 벤딩 배선(DBDL)들과 각각 전기적으로 연결되는 데이터 패드 배선(DPDL)들을 더 포함할 수 있다. 데이터 패드 배선(DPDL)들은 표시 구동 회로(200)의 출력단들(미도시)과 각각 전기적으로 연결될 수 있다.
- [0271] 이로써, 데이터 배선(DL)들은 데이터 패드 배선(DPDL)들, 데이터 벤딩 배선(DBDL)들, 및 데이터 연결 배선(DCNL)들을 통해 표시 구동 회로(200)의 출력단들과 각각 전기적으로 연결될 수 있다.
- [0272] 회로층(120)은 비표시 영역(NDA)에 배치되고 제1 전원(ELVDD)과 제2 전원(ELVSS)를 각각 전달하는 제1 전원 공급 배선(VDSPL)과 제2 전원 공급 배선(VSSPL)을 더 포함할 수 있다.
- [0273] 비표시 영역(NDA)은 표시 영역(DA)과 댐 영역(DMA) 사이에 배치되고 서브 영역(SBA)과 인접한 댐 분리 영역(DISA)을 더 포함할 수 있다. 제1 전원 공급 배선(VDSPL)과 제2 전원 공급 배선(VSSPL)은 댐 분리 영역(DISA)에 배치될 수 있다. 그리고, 제1 전원 공급 배선(VDSPL)과 제2 전원 공급 배선(VSSPL) 중 적어도 제2 전원 공급 배선(VSSPL)은 표시 영역(DA)의 주변을 둘러싸는 형태로 배치될 수 있다.
- [0274] 제1 전원 공급 배선(VDSPL)은 제4 도전층의 일부로 이루어진 제1 전원 메인 배선(VDSPL1)과, 제3 도전층의 일부로 이루어진 제1 전원 서브 배선(VDSPL2)을 포함할 수 있다.
- [0275] 마찬가지로, 제2 전원 공급 배선(VSSPL)은 제4 도전층의 일부로 이루어진 제2 전원 메인 배선(VSSPL1)과, 제3 도전층의 일부로 이루어진 제2 전원 서브 배선(VSSPL2)을 포함할 수 있다.
- [0276] 제2 전원 메인 배선(VSSPL1)은 댐 영역(DMA)으로 연장될 수 있다.
- [0277] 회로층(120)은 댐 영역(DMA) 및 접합 영역(JNA)에 배치되고 제1 전원 공급 배선(VDSPL)과 전기적으로 연결되며 제1 서브 영역(SB1)으로 연장되는 제1 전원 연결 배선(VDCNL), 벤딩 영역(BA)에 배치되고 제1 전원 연결 배선(VDCNL)과 전기적으로 연결되는 제1 전원 벤딩 배선(VDBDL), 및 제2 서브 영역(SB2)에 배치되고 제1 전원 벤딩 배선(VDBDL)과 전기적으로 연결되며 신호 패드(SPD)들 중 하나로 연장되는 제1 전원 패드 배선(VDPDL)을 더 포함할 수 있다. 이로써, 제1 전원 공급 배선(VDSPL)은 제1 전원 연결 배선(VDCNL), 제1 전원 벤딩 배선(VDBDL), 제1 전원 패드 배선(VDPDL) 및 신호 패드(SPD)들 중 하나를 통해, 회로 보드(300)와 전기적으로 연결될 수 있다.
- [0278] 또한, 회로층(120)은 댐 영역(DMA) 및 접합 영역(JNA)에 배치되고 제2 전원 공급 배선(VSSPL)과 전기적으로 연결되며 제1 서브 영역(SB1)으로 연장되는 제2 전원 연결 배선(VSCNL), 벤딩 영역(BA)에 배치되고 제2 전원 연결 배선(VSCNL)과 전기적으로 연결되는 제2 전원 벤딩 배선(VSBDL), 및 제2 서브 영역(SB2)에 배치되고 제2 전원 벤딩 배선(VSBDL)과 전기적으로 연결되며 신호 패드(SPD)들 중 다른 하나로 연장되는 제2 전원 패드 배선

(VSPDL)을 더 포함할 수 있다. 이로써, 제2 전원 공급 배선(VSSPL)은 제2 전원 연결 배선(VSCNL), 제2 전원 베딩 배선(VSBDL), 제2 전원 패드 배선(VSPDL) 및 신호 패드(SPD)들 중 다른 하나를 통해, 회로 보드(300)와 전기적으로 연결될 수 있다.

- [0279] 제1 실시예에 따른 회로층(120)은 접합 영역(JNA) 중 서브 영역(SBA)과 인접한 일부 영역에 배치되는 완충부(도 4의 ABS)를 포함한다. 완충부(ABS)는 층간 절연층(125) 상에 배치되는 보상 패턴층(COMP)을 포함할 수 있다.
- [0280] 보상 패턴층(COMP)을 포함한 완충부(ABS)는 댐 영역(DMA) 및 서브 영역(SBA) 각각으로부터 이격된다.
- [0281] 도 11을 참조하면, 제1 실시예에 따른 접합 영역(JNA)의 완충부(ABS)는 층간 절연층(125) 상에 배치되는 보상 패턴층(COMP), 및 보상 패턴층(COMP)을 덮는 적어도 하나의 보상 절연층(COIN1, COIN2)을 포함할 수 있다.
- [0282] 즉, 보상 패턴층(COMP)은 제1 전원 서브 배선(VDSPL2) 및 제2 전원 서브 배선(VSSPL2)과 마찬가지로, 제3 도전층에 포함될 수 있다.
- [0283] 보상 패턴층(COMP)은 댐 영역(DMA) 및 서브 영역(SBA) 각각으로부터 이격될 수 있다.
- [0284] 이에 따라, 보상 패턴층(COMP)은 댐 영역(DMA)에 배치된 적어도 하나의 댐부(DAM), 및 서브 영역(SBA)에 배치된 बैं크(BNK) 각각으로부터 이격될 수 있다.
- [0285] 또한, 비표시 영역(NDA)의 댐 분리 영역(DISA) 및 댐 영역(DMA)에 배치된 제1 전원 공급 배선(VDSPL) 및 제2 전원 공급 배선(VSSPL)은 완충부(ABS)의 보상 패턴층(COMP)으로부터 이격될 수 있다.
- [0286] 적어도 하나의 보상 절연층(COIN1, COIN2)은 제1 평탄화층(126)과 동일층이고 보상 패턴층(COMP)을 덮는 제1 보상 절연층(COIN1), 및 제2 평탄화층(127)과 동일층이고 제1 보상 절연층(COIN1) 상에 배치되는 제2 보상 절연층(COIN2)을 포함할 수 있다.
- [0287] 편광층(160)은 표시 영역(DA)의 발광 소자층(130)과 중첩되고, 비표시 영역(NDA)으로 연장되어 완충부(ABS)와 중첩될 수 있다.
- [0288] 이와 같이, 제1 실시예에 따르면, 보상 패턴층(COMP) 및 적어도 하나의 보상 절연층(COIN1, COIN2)을 포함한 완충부(ABS)가 접합 영역(JNA)에 배치될 수 있다.
- [0289] 이에 따라, 접합 영역(JNA) 중 서브 영역(SBA)과 댐 영역(DMA) 사이의 일부에서, 층간 절연층(125)이 완충부(ABS)에 의해 부분적으로 커버됨으로써, 제4 도전층의 배치 공정에 의해 전체적으로 손상되는 것이 방지될 수 있다.
- [0290] 또한, 서브 영역(SBA)의 बैं크(BNK)와 댐 영역(DMA)의 적어도 하나의 댐부(DAM) 사이에 발생하는 벨리의 너비가 완충부(ABS)에 의해 감소될 수 있다. 즉, 완충부(ABS)에 의해, 접합 영역(JNA) 중 서브 영역(SBA)과 댐 영역(DMA) 사이의 일부 영역에서 전체적으로 벨리가 발생되지 않고, 서브 영역(SBA)의 बैं크(BNK)와 완충부(ABS) 사이, 및 댐 영역(DMA)의 적어도 하나의 댐부(DAM)와 완충부(ABS) 사이에서 부분적으로 벨리가 발생할 수 있다. 이와 같이, 접합 영역(JNA) 중 서브 영역(SBA)과 댐 영역(DMA) 사이의 일부 영역에서 발생한 벨리들은 상대적으로 작은 너비이므로, 터치 센서층(150)의 오버코트층(도 9의 153)에 의해 비교적 평평하게 메워질 수 있다.
- [0291] 그러므로, 접합 영역(JNA) 중 서브 영역(SBA)과 댐 영역(DMA) 사이의 일부 영역에서, 편광층(160)이 비교적 평평한 면에 배치될 수 있으므로, 편광층(160)의 배치를 위한 라미네이팅 공정 시, 롤러의 압력이 상대적으로 크게 작용하는 부분이 제거될 수 있다. 따라서, 라미네이팅 공정으로 인한 회로층(120)의 손상이 저감될 수 있으므로, 표시 장치(10)의 품질 신뢰도 및 수명이 개선될 수 있다.
- [0292] 도 11의 도시와 같이, 회로층(120) 중 제1 게이트 절연층(123) 상의 제1 도전층은 비표시 영역(NDA)의 데이터 연결 배선(DCNL)들 중 일부를 더 포함할 수 있다.
- [0293] 제2 게이트 절연층(124) 상의 제2 도전층은 비표시 영역(NDA)의 데이터 연결 배선(DCNL)들 중 다른 나머지 일부를 더 포함할 수 있다.
- [0294] 제1 게이트 절연층(123) 상의 제1 도전층 또는 제2 게이트 절연층(124) 상의 제2 도전층은 제2 서브 영역(SB2)의 데이터 패드 배선(DPDL)을 더 포함할 수 있다.
- [0295] 층간 절연층(125) 상의 제3 도전층은 댐 분리 영역(DISA)의 제1 전원 서브 배선(VDSPL2) 및 제2 전원 서브 배선(VSSPL2)과, 접합 영역(JNA)의 보상 패턴층(COMP)을 포함할 수 있다.

- [0296] 제1 평탄화층(126) 상의 제4 도전층은 표시 영역(DA)의 데이터 배선(DL), 비표시 영역(NDA)의 제1 전원 메인 배선(VDSPL1)과 제2 전원 메인 배선(VSSPL1), 및 밴딩 영역(BA)의 데이터 밴딩 배선(DBDL)을 포함할 수 있다.
- [0297] 제2 전원 메인 배선(VSSPL1)은 댐 영역(DMA)으로 연장되어, 적어도 하나의 댐부(DAM)와 중첩될 수 있다.
- [0298] 댐 영역(DMA)에는 적어도 하나의 댐부(DAM)가 배열되고, 적어도 하나의 댐부(DAM) 각각은 둘 이상의 댐층들이 적층된 구조를 포함할 수 있다.
- [0299] 둘 이상의 댐층들 각각은 유기막으로 이루어질 수 있다. 즉, 둘 이상의 댐층들 각각은 제1 평탄화층(126), 제2 평탄화층(127), 화소 정의층(132) 및 스페이서층(132') 중 하나와 동일층일 수 있다.
- [0300] 일 예로, 댐 영역(DMA)에는 제1 댐부(DAM1), 및 제1 댐부(DAM1)와 표시 영역(DA) 사이에 배치되는 제2 댐부(DAM2)를 포함할 수 있다.
- [0301] 제1 댐부(DAM1)는 세 개의 댐층(DML11, DML12, DML13)들이 적층된 구조를 포함할 수 있다. 제1 댐부(DAM1) 중 제1 댐층(DML11)은 제2 평탄화층(127)의 일부이고, 제2 댐층(DML12)은 화소 정의층(132)과 동일층이며, 제3 댐층(DML13)은 스페이서층(132')과 동일층일 수 있다.
- [0302] 제2 댐부(DAM2)는 두 개의 댐층(DML21, DML22)들이 적층된 구조를 포함할 수 있다. 제2 댐부(DAM2) 중 제1 댐층(DML21)은 화소 정의층(132)과 동일층이며, 제2 댐층(DML22)은 스페이서층(132')과 동일층일 수 있다.
- [0303] 여기서, 화소 정의층(132)과 스페이서층(132')은 하프톤 마스크를 이용한 마스크 공정으로 함께 마련될 수 있다.
- [0304] 댐 영역(DMA)에 배치된 적어도 하나의 댐부(DAM)는 표시 영역(DA)으로부터 이격되므로, 댐 영역(DMA)과 표시 영역(DA) 사이 및 적어도 하나의 댐부(DAM) 사이에는 유기막들(126, 127, 132)이 제거되어 밸리가 발생될 수 있다. 이에 따라, 댐 영역(DMA) 중 적어도 하나의 댐부(DAM) 사이에서, 밀봉층(140)의 제1 밀봉층(141)은 회로층(120)의 층간 절연층(125) 상에 접합될 수 있다.
- [0305] 또한, 댐 영역(DMA)의 주변에 배치되는 접합 영역(JNA) 중 완충부(ABS)를 제외한 나머지 일부 영역에서도, 유기막들(126, 127, 132)이 제거되어 층간 절연층(125)이 노출될 수 있다. 이에 따라, 접합 영역(JNA) 중 완충부(ABS)를 제외한 나머지 일부 영역에서도, 밀봉층(140)의 제1 밀봉층(141)은 회로층(120)의 층간 절연층(125) 상에 접합될 수 있다.
- [0306] 그리고, 밀봉층(140)의 제2 밀봉층(142)은 댐 영역(DMA)의 댐부(DAM)로 둘러싸인 영역 이내에 배치되므로, 접합 영역(JNA)에서, 밀봉층(140)의 제3 밀봉층(143)은 제1 밀봉층(141) 상에 접합될 수 있다.
- [0307] 이로써, 댐 영역(DMA) 및 접합 영역(JNA)에서, 무기 재료들의 접합을 포함한 밀봉 구조가 마련될 수 있다.
- [0308] 한편, 밴딩 영역(BA)이 밴딩 형태로 변형되면, 밴딩 스트레스에 비교적 취약한 무기막들에 크랙이 발생될 수 있다.
- [0309] 이를 방지하기 위해, 제1 실시예에 따른 표시 장치(10)의 표시 패널(100)은 밴딩 영역(BA)에 배치되고 제1 게이트 절연층(123), 제2 게이트 절연층(124) 및 층간 절연층(125)을 관통하는 밴딩홀(BDH)과, 밴딩홀(BDH)을 덮는 बैं크(BNK)를 더 포함할 수 있다.
- [0310] 밴딩홀(BDH)은 밴딩 영역(BA)의 기판(110) 상에 배치된 무기막들을 모두 관통할 수 있다. 즉, 밴딩홀(BDH)은 제1 버퍼층(121)과 제2 버퍼층(122)을 더 관통할 수 있다.
- [0311] बैं크(BNK)는 밴딩홀(BDH)을 덮고 밴딩 영역(BA)의 데이터 밴딩 배선(DBDL)들을 보호하기 위한 것이다.
- [0312] बैं크(BNK)는 유기막들로 이루어진 बैं크층들(BNL1, BNL2, BNL3, BNL4)이 적층된 구조를 포함할 수 있다.
- [0313] 즉, बैं크(BNK)는 제1 평탄화층(126)의 일부이고 밴딩홀(BDH)을 덮는 제1 बैं크층(BNL1), 제2 평탄화층(127)의 일부이고 제1 बैं크층(BNL1)을 덮는 제2 बैं크층(BNL2), 화소 정의층(132)과 동일층이고 제2 बैं크층(BNL2) 상에 배치되는 제3 बैं크층(BNL3), 및 스페이서층(132')과 동일층이고 제3 बैं크층(BNL3) 상에 배치되는 제4 बैं크층(BNL4)을 포함할 수 있다.
- [0314] 밴딩 영역(BA)의 데이터 밴딩 배선(DBDL)들은 제4 도전층에 포함되므로, 제2 평탄화층(127)의 일부인 제2 बैं크층(BNL2)으로 덮일 수 있다.
- [0315] 제1 실시예에 따르면, 밴딩 영역(BA)의 배선들과 제1 서브 영역(SB1)의 배선들 간의 전기적 연결을 위한 콘택홀

들, 및 밴딩 영역(BA)의 배선들과 제2 서브 영역(SB2)의 배선들 간의 전기적 연결을 위한 콘택홀들을 배치하기 위해, बैं크(BNK)는 제1 서브 영역(SB1) 및 제2 서브 영역(SB2) 각각으로 연장될 수 있다.

- [0316] 또한, 제1 실시예에 따르면, 접합 영역(JNA)과 제1 서브 영역(SB1) 사이의 경계에서, बैं크(BNK)의 단차를 낮추기 위해, बैं크(BNK) 중 제1 बैं크층(BNL1) 및 제2 बैं크층(BNL2) 각각의 일부는 비표시 영역(NDA)의 접합 영역(JNA)으로 연장됨으로써, 편광층(160)과 중첩될 수 있다.
- [0317] 제1 실시예와 달리, बैं크(BNK)는 서브 영역(SBA)에만 배치될 수 있다.
- [0318] 도 12는 제2 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.
- [0319] 도 12를 참조하면, 제2 실시예에 따른 표시 장치(10)는 서브 영역(SBA)의 बैं크(BNK)가 제1 서브 영역(SB1)으로 연장되되 비표시 영역(NDA)의 접합 영역(JNA)으로부터 이격되는 점을 제외하면, 도 10 및 도 11의 제1 실시예와 사실상 동일하므로, 이하에서 중복되는 설명을 생략한다.
- [0320] 제2 실시예에 따르면, बैं크(BNK)가 서브 영역(SBA) 이내로 한정되고, 비표시 영역(NDA)의 접합 영역(JNA)으로 연장되지 않는다. 이로써, 접합 영역(JNA) 중 완충부(ABS)의 너비가 제1 실시예에 비해 커질 수 있다. 그로 인해, 편광층(160)의 배치를 위한 라미네이팅 공정의 롤러가 완충부(ABS)에 의해 더 견고하게 지지될 수 있으므로, 접합 영역(JNA)의 무기 절연 재료 및 도전층이 더욱 견고하게 보호될 수 있다.
- [0321] 제2 실시예에 따르면, 편광층(160)은 서브 영역(SBA)의 बैं크(BNK)로부터 이격될 수 있다.
- [0322] 또는, 도 12의 도시와 같이, 편광층(160)은 제1 서브 영역(SB1)과 비표시 영역(NDA) 간의 경계에서, बैं크(BNK)의 가장자리 일부와 중첩될 수도 있다. 이와 같이 하면, 편광층(160)이 더욱 견고하게 부착될 수 있다. 더불어, 완충부(ABS)에 의해 단차가 낮아짐에 따라, 접합 영역(JNA)에서 롤러의 압력이 상대적으로 커지는 것이 방지될 수 있으므로, 접합 영역(JNA)에 배치된 배선들 및 절연층들의 손상이 방지될 수 있다.
- [0323] 다음의 제3 실시예와 같이, 완충부(ABS)의 보상 패턴층(COMP)은 홈(도 16의 GRV)들이 배열된 메쉬 형태를 가질 수 있다.
- [0324] 도 13, 도 14 및 도 15는 제3 실시예에 따른 완충부의 보상 패턴층을 보여주는 평면도이다. 도 16은 제3 실시예에 따른 도 10의 F-F'를 보여주는 단면도이다.
- [0325] 도 13, 도 14, 도 15 및 도 16을 참조하면, 제3 실시예에 따른 표시 장치(10)는 완충부(ABS)의 보상 패턴층(COMP)이 원형 및 다각형 중 하나의 형태로 이루어진 홈(GRV)들을 포함한 메쉬 형태인 점을 제외하면, 도 10, 도 11 및 도 12에 도시된 제1 및 제2 실시예와 사실상 동일하므로, 이하에서 중복되는 설명을 생략한다.
- [0326] 도 13, 도 14 및 도 15의 도시와 같이, 제3 실시예에 따르면, 보상 패턴층(COMP)은 상호 나란하게 배열된 홈(GRV)들을 포함한 메쉬 형태일 수 있다.
- [0327] 홈(GRV)들은 제1 방향(DR1) 또는 제2 방향(DR2)에서 적어도 하나씩 교번하여 나란하게 배열될 수 있다. 일 예로, 홈(GRV)들은 제2 방향으로 나란하게 배열되되, 홀수 번째 열의 홈(GRV)들 별로 제1 방향(DR1)에서 나란하게 배열되고, 짝수 번째 열의 홈(GRV)들 별로 제1 방향(DR1)에서 나란하게 배열될 수 있다.
- [0328] 도 13의 도시와 같이, 홈(GRV1)들 각각은 사각형의 평면 형태를 가질 수 있다.
- [0329] 또는, 도 14의 도시와 같이, 홈(GRV2)들 각각은 육각형의 평면 형태를 가질 수 있다.
- [0330] 또는, 도 15의 도시와 같이, 홈(GRV3)들 각각은 원형의 평면 형태를 가질 수 있다.
- [0331] 한편, 도 13, 도 14 및 도 15의 도시는 단지 예시일 뿐이며, 홈(GRV)들 각각의 평면 형태 및 크기와, 홈(GRV)들 배열 형태는 도 13, 도 14 및 도 15의 도시로 한정되지 않고, 얼마든지 변경될 수 있다. 또한, 홈(GRV)들은 영역 별로 상이한 평면 형태 및 크기를 가질 수도 있다. 뿐만 아니라, 홈(GRV)들은 영역 별로 상이한 형태로 배열될 수도 있다.
- [0332] 도 16의 도시와 같이, 홈(GRV)들은 제3 도전층을 관통하므로, 보상 패턴층(COMP)을 덮는 제1 보상 절연층(COIN1)은 홈(GRV)들 각각을 통해 층간 절연층(125)과 접할 수 있다.
- [0333] 이상과 같이, 제3 실시예에 따르면, 완충부(ABS)의 보상 패턴층(COMP)이 메쉬 형태로 이루어짐에 따라, 보상 패턴층(COMP)과 중첩되는 일부 배선들의 신호가 보상 패턴층(COMP)에 의해 왜곡되는 것이 경감될 수 있다.
- [0334] 도 17은 제4 실시예에 따른 완충부의 보상 패턴층을 보여주는 평면도이다. 도 18은 제4 실시예에 따른 도 10의

F-F"를 보여주는 단면도이다.

- [0335] 도 17 및 도 18을 참조하면, 제4 실시예에 따른 표시 장치(10)는 완충부(ABS)의 보상 패턴층(COMP)의 비교적 큰 너비를 가지는 점을 제외하면, 도 13, 도 14, 도 15 및 도 16에 도시된 제3 실시예와 사실상 동일하므로, 이하에서 중복되는 설명을 생략한다.
- [0336] 제4 실시예에 따르면, 보상 패턴층(COMP)의 홈(GRV')들 각각의 너비는 보상 패턴층(COMP)의 측면을 덮는 적어도 하나의 보상 절연층(COIN1, COIN2)의 두께의 두 배 이상일 수 있다.
- [0337] 이에 따라, 홈(GRV')들이 적어도 하나의 보상 절연층(COIN1, COIN2)에 의해 전체적으로 메워지지 않을 수 있다. 이로써, 접합 영역(JNA)에서 완충부(ABS) 상의 제1 밀봉층(141)이 보상 패턴층(COMP)의 홈(GRV')들 중 적어도 일부를 통해 층간 절연층(125)과 접할 수 있다.
- [0338] 이와 같이 하면, 라미네이팅 공정의 롤러의 고압으로 인한 접합 영역(JNA)의 도전층 또는 무기 절연 재료의 손상이 완충부(ABS)에 의해 방지될 수 있으면서도, 비교적 큰 너비의 홈(GRV')들에 의해 접합 영역(JNA)에서 무기 재료들의 접합 영역이 증가되어 밀봉층(140)에 의한 밀봉이 더욱 견고해질 수 있다.
- [0339] 완충부(ABS)의 보상 패턴층(COMP)은 플로팅 상태의 섬 형태로 배치될 수 있다.
- [0340] 이와 달리, 완충부(ABS)의 보상 패턴층(COMP)은 전기적 안정을 위해 소정의 DC 전압 레벨로 유지될 수도 있다.
- [0341] 도 19 및 도 20은 제5 실시예에 따른 도 4의 C 부분을 보여주는 레이아웃 도이다. 도 21은 도 20의 G-G'를 보여주는 단면도이다.
- [0342] 도 19, 도 20 및 도 21을 참조하면, 제5 실시예에 따른 표시 장치(10)는 완충부(ABS)의 보상 패턴층(COMP)이 제1 전원 공급 배선(VDSPL) 및 제2 전원 공급 배선(VDSPL) 중 하나와 전기적으로 연결되는 점을 제외하면, 도 10 내지 도 18에 도시된 제1 내지 제4 실시예와 사실상 동일하므로, 이하에서 중복되는 설명을 생략한다.
- [0343] 도 19의 도시와 같이, 완충부(ABS)의 보상 패턴층(COMP)은 제1 전원 공급 배선(VDSPL)과 전기적으로 연결될 수 있다.
- [0344] 일 예로, 제1 전원 공급 배선(VDSPL)과 전기적으로 연결된 제1 전원 연결 배선(VDCNL)이 제1 서브 영역(SB1)에서 접합 영역(JNA) 및 댐 영역(DMA)을 통해 댐 분리 영역(DISA)으로 연장되므로, 보상 패턴층(COMP)의 일부는 제1 전원 연결 배선(VDCNL)과 중첩될 수 있다. 이에 따라, 보상 패턴층(COMP)은 제1 보상 연결홀(COMCH1)을 통해 제1 전원 연결 배선(VDCNL)과 전기적으로 연결됨으로써, 제1 전원 공급 배선(VDSPL)과 전기적으로 연결될 수 있다.
- [0345] 또는, 도 20 및 도 21의 도시와 같이, 완충부(ABS)의 보상 패턴층(COMP)은 제2 전원 공급 배선(VSSPL)과 전기적으로 연결될 수 있다.
- [0346] 일 예로, 제2 전원 공급 배선(VSSPL)과 전기적으로 연결된 제2 전원 연결 배선(VSCNL)이 제1 서브 영역(SB1)에서 접합 영역(JNA) 및 댐 영역(DMA)을 통해 댐 분리 영역(DISA)으로 연장되므로, 보상 패턴층(COMP)의 일부는 제2 전원 연결 배선(VSCNL)과 중첩될 수 있다. 이에 따라, 보상 패턴층(COMP)은 제2 보상 연결홀(COMCH2)을 통해 제2 전원 연결 배선(VSCNL)과 전기적으로 연결됨으로써, 제2 전원 공급 배선(VSSPL)과 전기적으로 연결될 수 있다.
- [0347] 도 21의 도시와 같이, 제2 전원 연결 배선(VSCNL)이 제1 게이트 절연층(123) 상의 제1 도전층에 포함된 경우, 제2 보상 연결홀(COMCH2)은 층간 절연층(125) 및 제2 게이트 절연층(124)을 관통할 수 있다.
- [0348] 또는, 제2 전원 연결 배선(VSCNL)이 제2 게이트 절연층(124) 상의 제2 도전층에 포함된 경우, 제2 보상 연결홀(COMCH2)은 층간 절연층(125)을 관통할 수 있다.
- [0349] 도 19의 제1 보상 연결홀(COMCH1)은 제2 전원 연결 배선(VSCNL)이 아닌 제1 전원 연결 배선(VDCNL)과 중첩되는 점을 제외하면, 제2 보상 연결홀(COMCH2)과 사실상 동일하므로, 중복 설명을 생략한다.
- [0350] 이와 같이, 제5 실시예에 따르면, 완충부(ABS)의 보상 패턴층(COMP)의 전위가 제1 전원(ELVDD) 및 제2 전원(ELVSS) 중 하나로 유지됨으로써, 보상 패턴층(COMP)에 의한 배선들의 신호 왜곡이 더욱 경감될 수 있다.
- [0351] 또한, 제1 전원 공급 배선(VDSPL) 및 제2 전원 공급 배선(VDSPL) 중 보상 패턴층(COMP)과 전기적으로 연결된 하나의 배선 저항이 감소될 수 있다.

- [0352] 도 22는 제6 실시예에 따른 도 4의 C 부분을 보여주는 레이아웃 도이다.
- [0353] 도 22를 참조하면, 제6 실시예에 따른 표시 장치(10)는 완충부(ABS)의 보상 패턴층(COMP)이 제1 방향(DR1)에서 나란하게 배열되는 브랜치(BRN)들로 분할되는 점을 제외하면, 도 10 내지 도 21에 도시된 제1 내지 제5 실시예와 사실상 동일하므로, 이하에서 중복되는 설명을 생략한다.
- [0354] 제6 실시예에 따르면, 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 각각은 층간 절연층(125) 상의 제3 도전층 또는 제1 평탄화층(126) 상의 제4 도전층과 동일층일 수 있다.
- [0355] 달리 설명하면, 제1 전원 연결 배선(VDCNL')은 제1 전원 메인 배선(VDSPL1) 및 제1 전원 서브 배선(VDSPL2) 중 적어도 하나로부터 돌출되어 서브 영역(SBA) 측으로 연장된 형태로 배치될 수 있다.
- [0356] 그리고, 제2 전원 연결 배선(VSCNL')은 제2 전원 메인 배선(VSSPL1) 및 제2 전원 서브 배선(VSSPL2) 중 적어도 하나로부터 돌출되어 서브 영역(SBA) 측으로 연장된 형태로 배치될 수 있다.
- [0357] 보상 패턴층(COMP)은 층간 절연층(125) 상의 제3 도전층에 포함된다.
- [0358] 그런데, 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 각각은 층간 절연층(125) 상의 제3 도전층 또는 제1 평탄화층(126) 상의 제4 도전층과 동일층인 경우, 댐 영역(DMA) 및 접합 영역(JNA) 각각의 일부 영역에서 제1 평탄화층(126) 및 제2 평탄화층(127)과 같은 유기 절연 재료가 제거되므로, 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 각각과 보상 패턴층(COMP)이 중첩되면, 쇼트 불량에 발생된다.
- [0359] 이를 방지하기 위해, 제6 실시예에 따르면, 보상 패턴층(COMP)은 제1 방향(DR1)으로 나란하게 배열된 브랜치(BRN)들로 분할되고, 브랜치(BRN)들은 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 각각으로부터 이격될 수 있다.
- [0360] 또는, 보상 패턴층(COMP)의 전기적 안정을 위해, 브랜치(BRN)들 각각은 제1 전원 연결 배선(VDCNL') 또는 제2 전원 연결 배선(VSCNL')과 연결될 수 있다.
- [0361] 즉, 브랜치(BRN)들은 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 중 하나와 연결될 수 있다.
- [0362] 또는, 브랜치(BRN)들 중 일부의 브랜치(BRN)들은 제1 전원 연결 배선(VDCNL')과 연결되고, 다른 나머지 일부의 브랜치(BRN)들은 제2 전원 연결 배선(VSCNL')과 연결될 수 있다.
- [0363] 이상과 같이, 제6 실시예에 따르면, 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 각각은 층간 절연층(125) 상의 제3 도전층 또는 제1 평탄화층(126) 상의 제4 도전층과 동일층인 경우에도, 제1 전원 연결 배선(VDCNL') 및 제2 전원 연결 배선(VSCNL') 사이에 배치된 브랜치(BRN)들로 분할된 형태로 보상 패턴층(COMP)이 마련될 수 있다.
- [0364] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

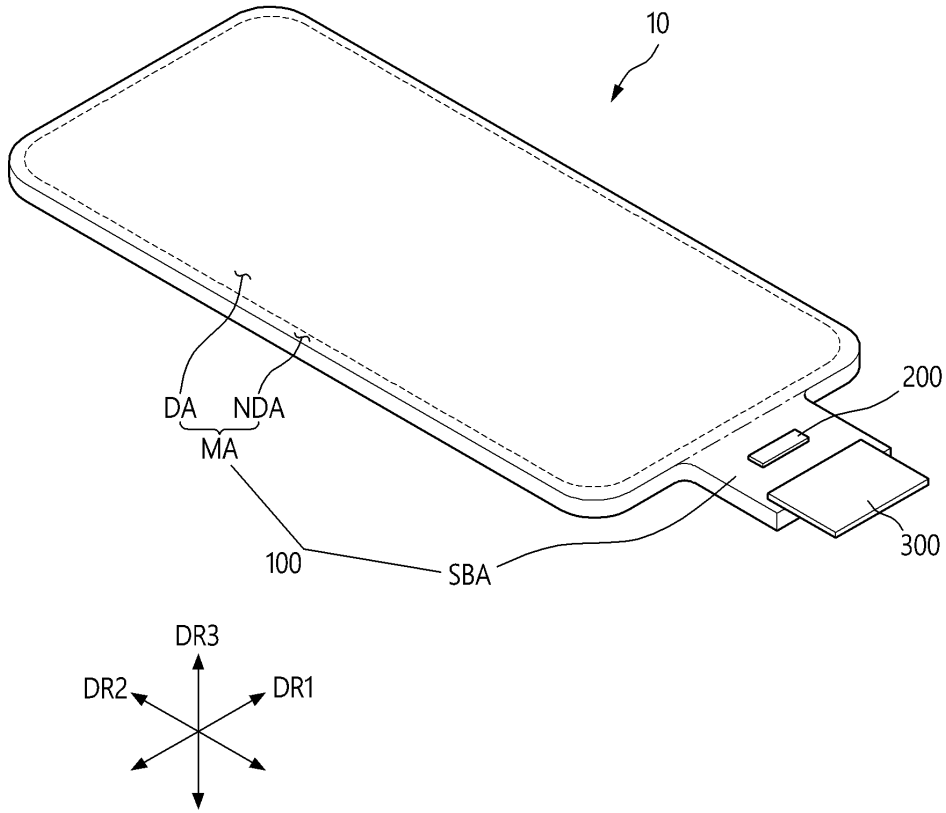
**부호의 설명**

- [0365] 10: 표시 장치    100: 표시 패널
- MA: 메인 영역    SBA: 서브 영역
- DA: 표시 영역    NDA: 비표시 영역
- DMA: 댐 영역    JNA: 접합 영역
- ABS: 완충부    EA: 발광 영역
- 110: 기관    120: 회로층
- 130: 발광 소자층    140: 밀봉층
- 150: 터치 센서층    160: 편광층
- 제1, 제2, 층간 절연층: 123, 124, 125

제4, 제2 평탄화층: 126, 127  
BA: 벤딩 영역 SB1, SB2: 제1, 제2 서브 영역  
LE: 발광 소자 PXD: 화소 구동부  
DL: 데이터 배선 DCNL: 데이터 연결 배선  
ACT: 액티브층 G: 게이트 전극  
CAE: 제1 커패시터 전극 S: 소스 전극  
D: 드레인 전극 ANDE: 애노드 연결 전극  
141, 142, 143: 제1, 제2, 제3 밀봉층  
131: 애노드 전극 132: 화소정의층  
133: 제1 공통층 134: 발광층  
135: 제2 공통층 136: 캐소드 전극  
VDSPL: 제1 전원 공급 배선 VSSPL: 제2 전원 공급 배선  
VDCNL: 제1 전원 연결 배선 VSCNL: 제2 전원 연결 배선  
COMP: 보상 패턴층 COIN1, COIN2: 보상 절연층  
DBDL: 데이터 벤딩 배선 BDH: 벤딩홀  
BNK: बैं크  
BNL1, BNL2, BNL3, BNL4: 제1, 제2, 제3, 제4 बैं크층  
GRV, GRV': 홈  
COMCH1, COMCH2: 제1, 제2 보상 연결홀  
BRN: 브랜치

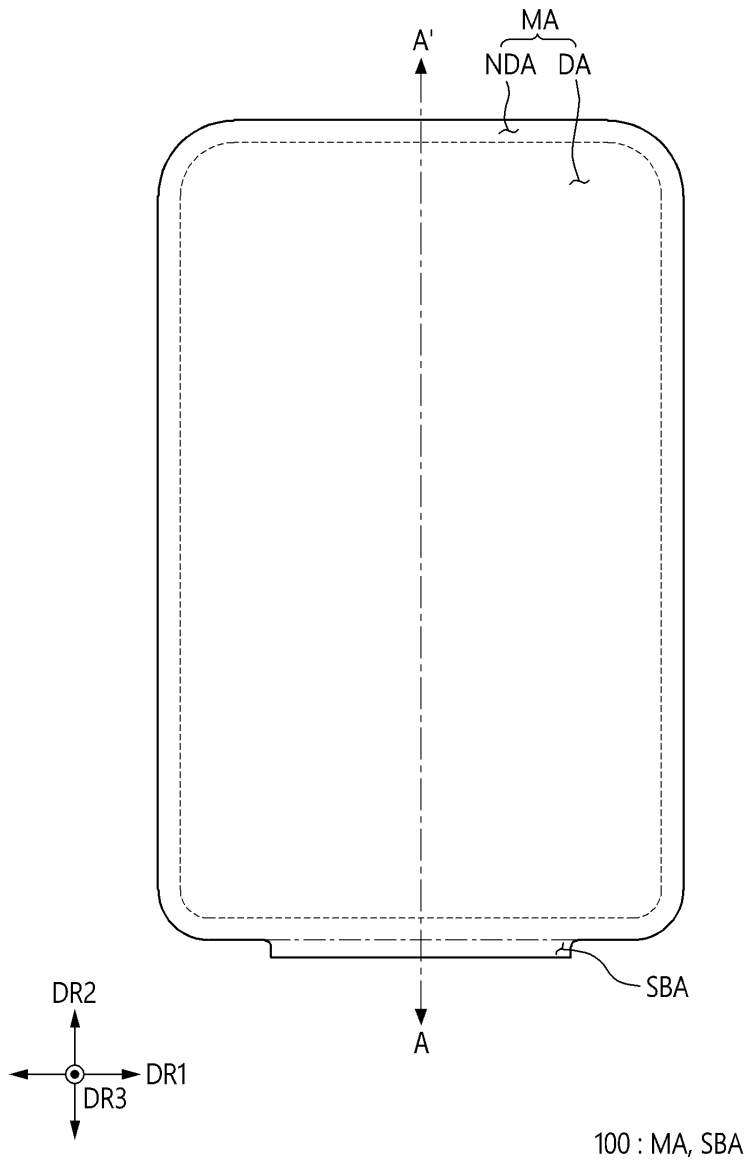
도면

도면1

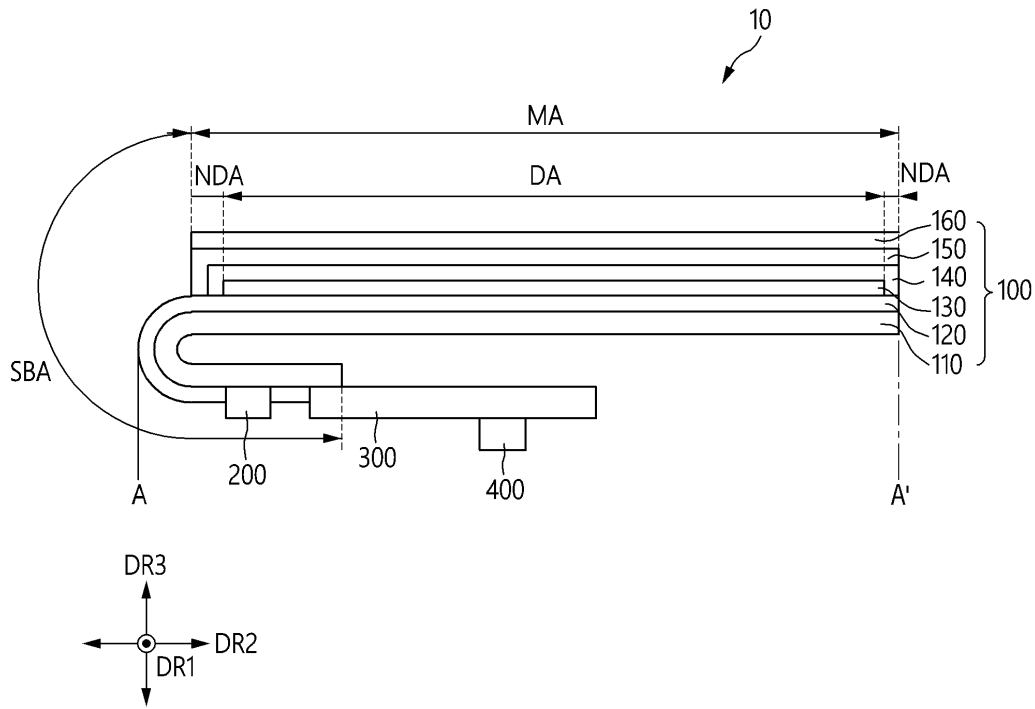




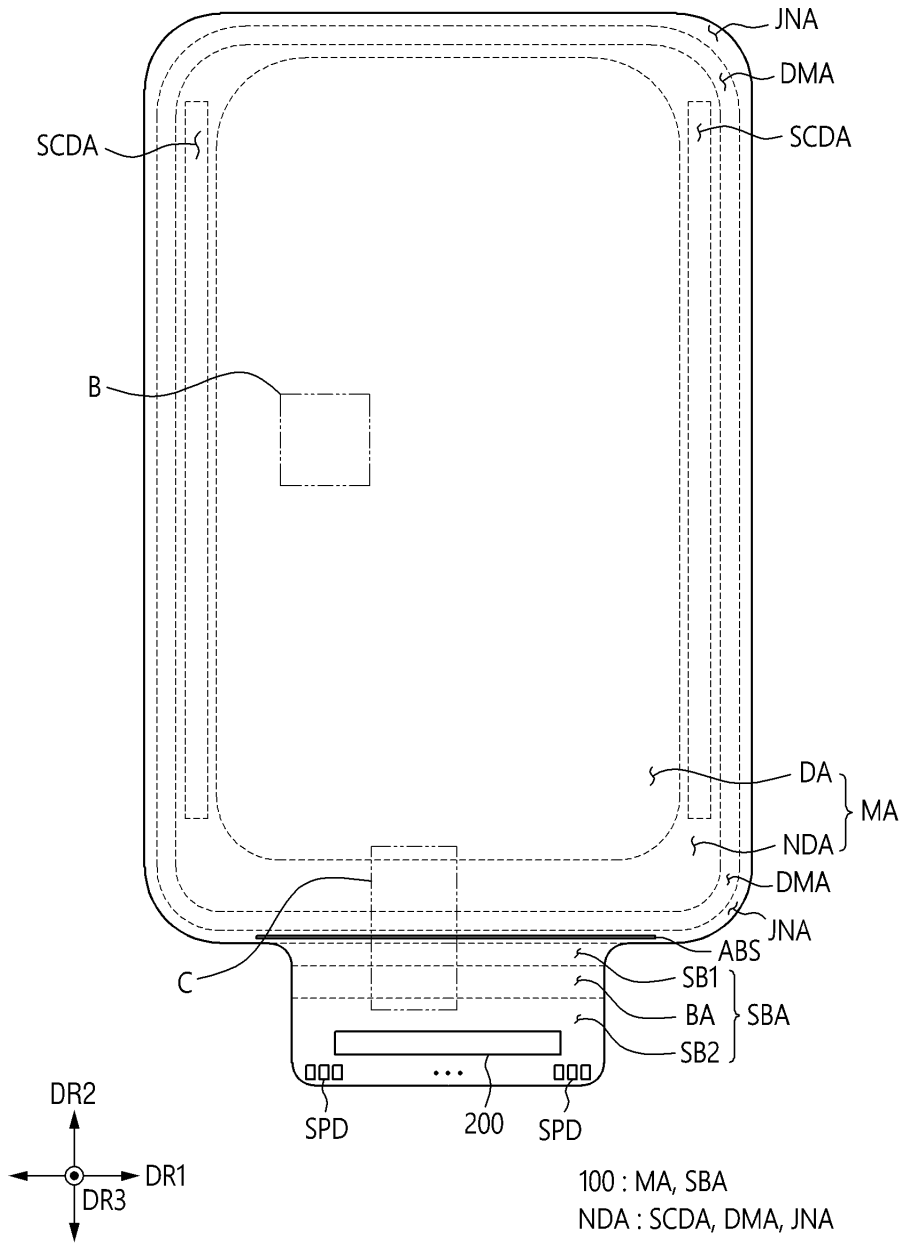
도면2



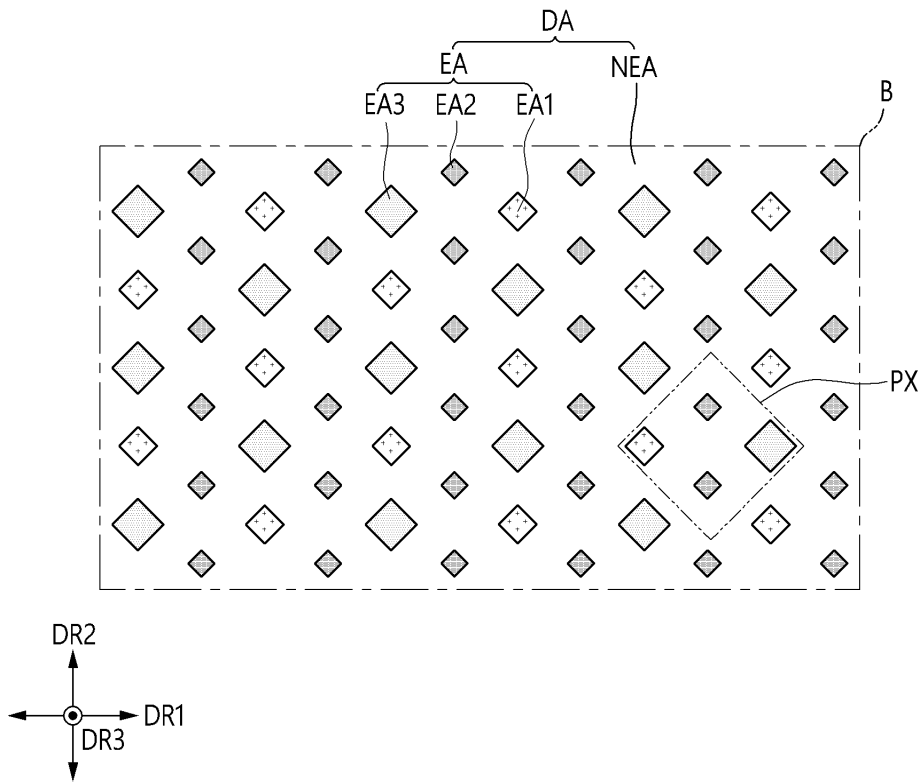
도면3



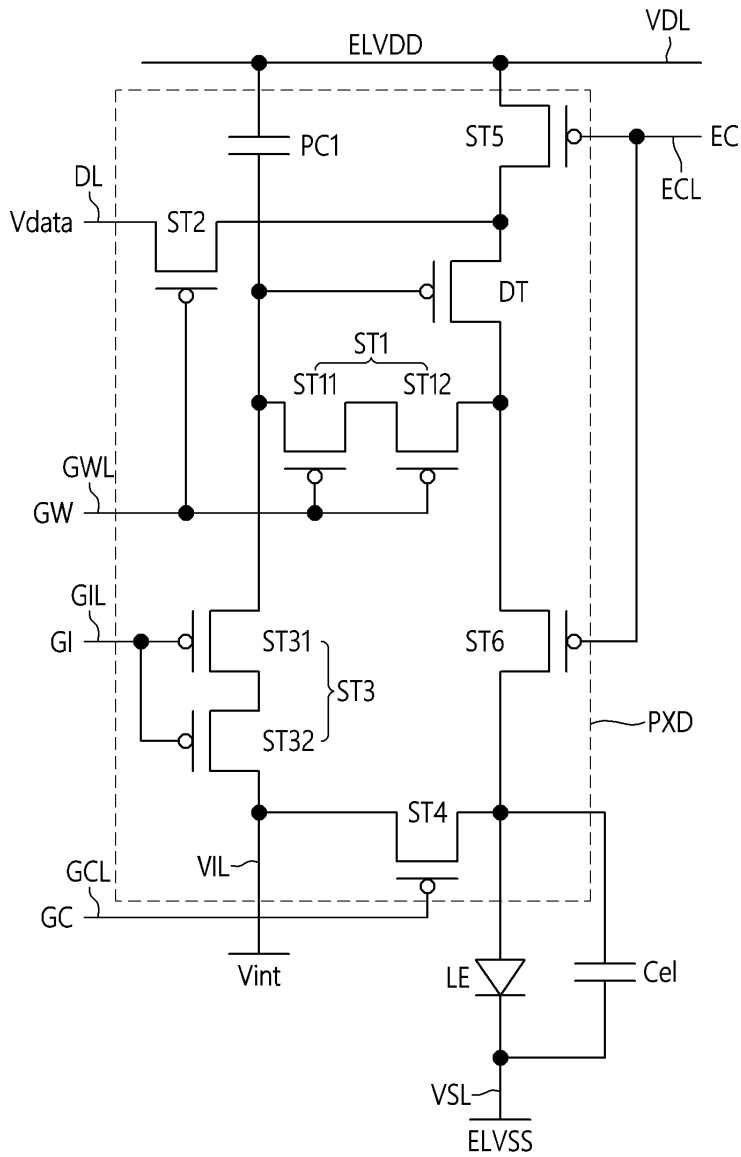
도면4



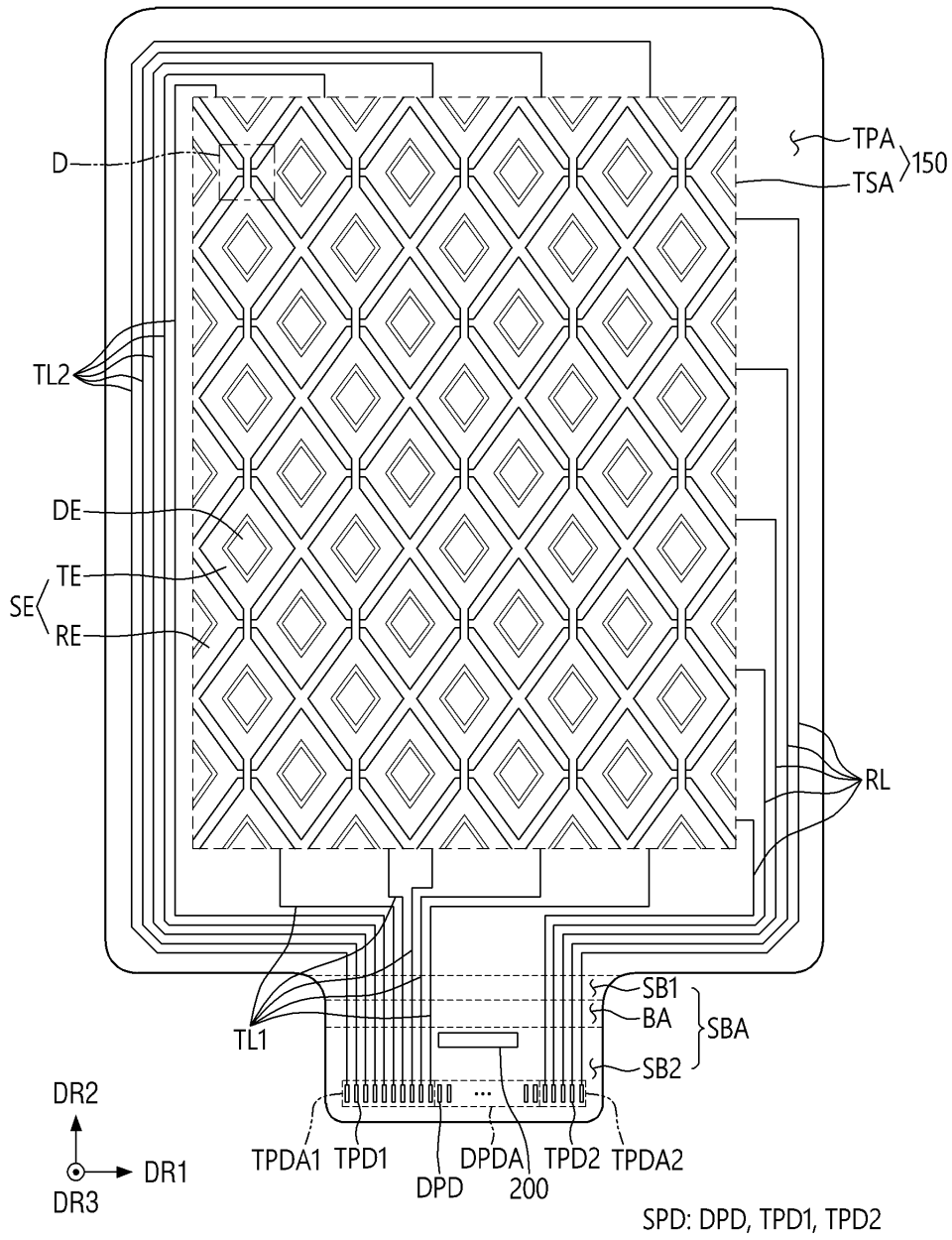
도면5



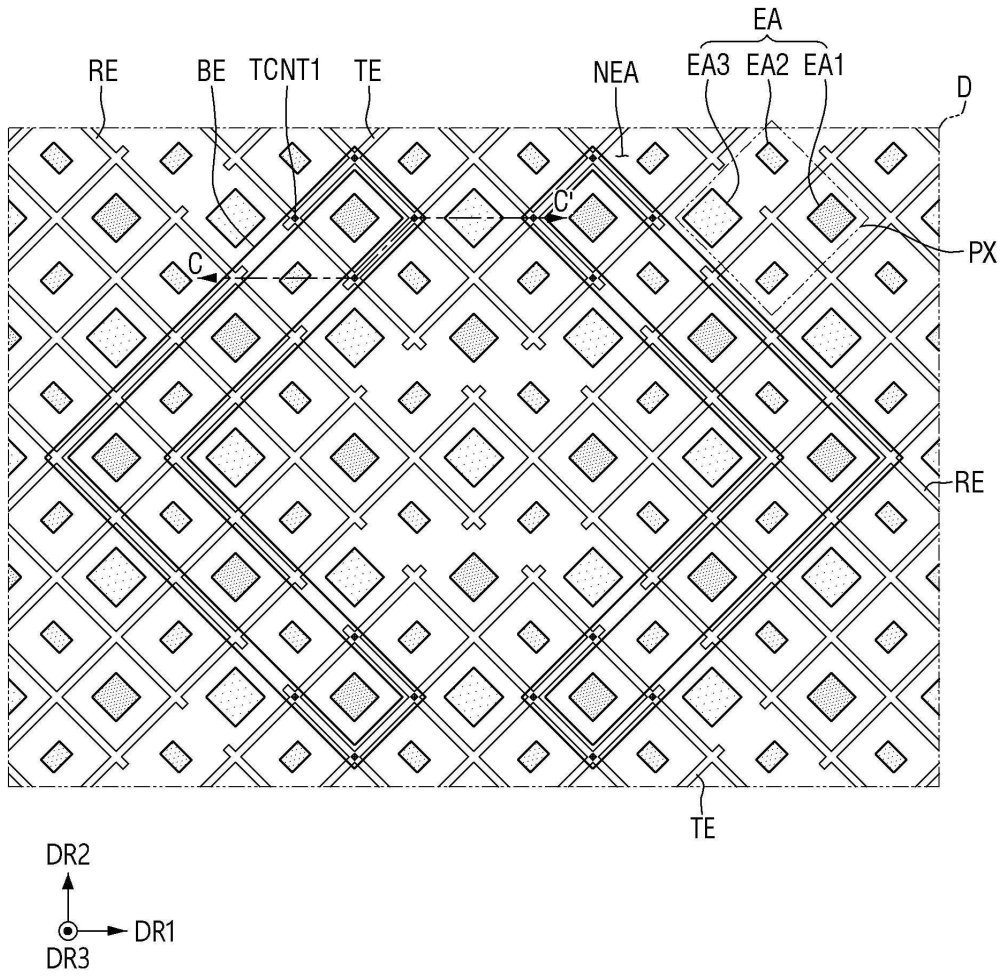
도면6



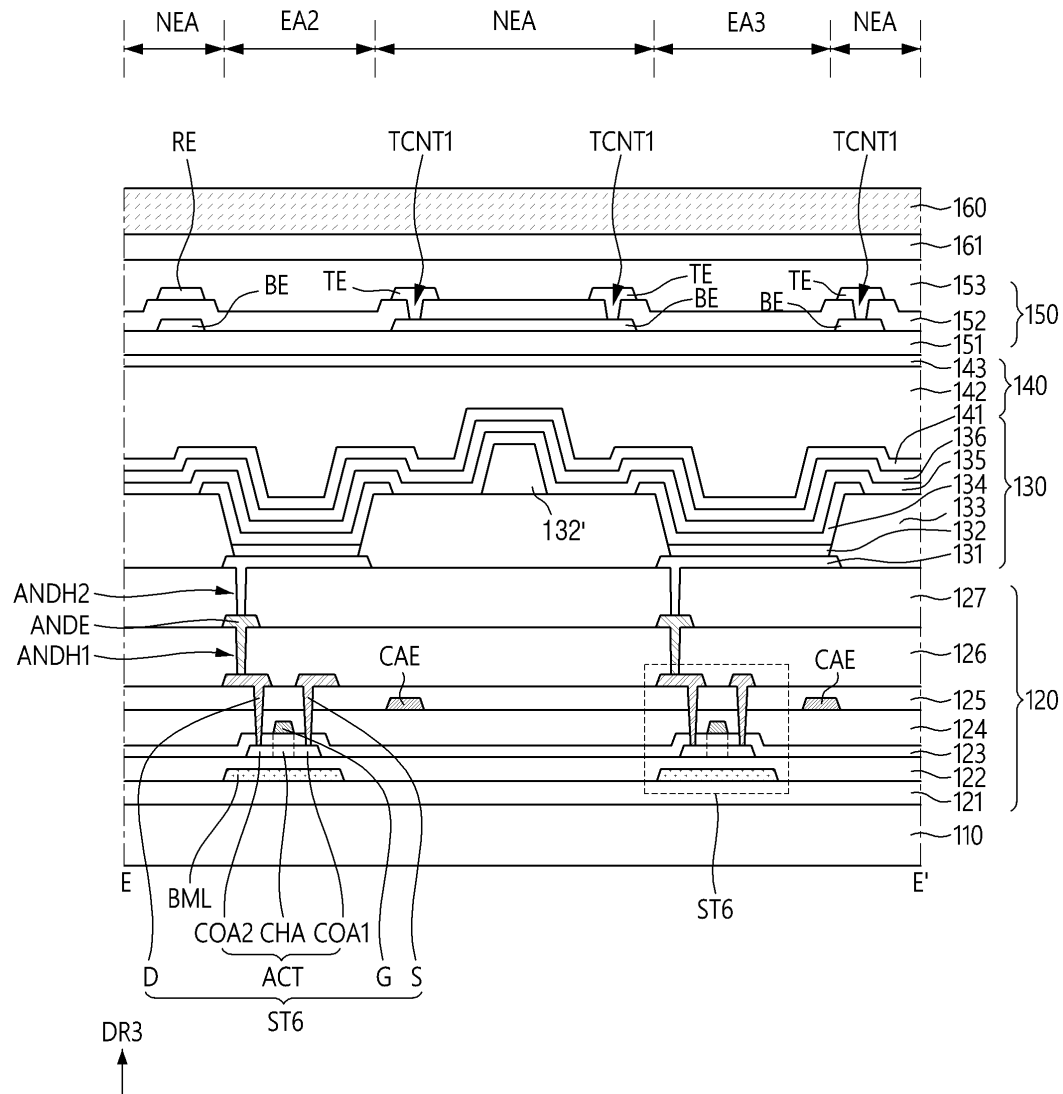
도면7



도면8

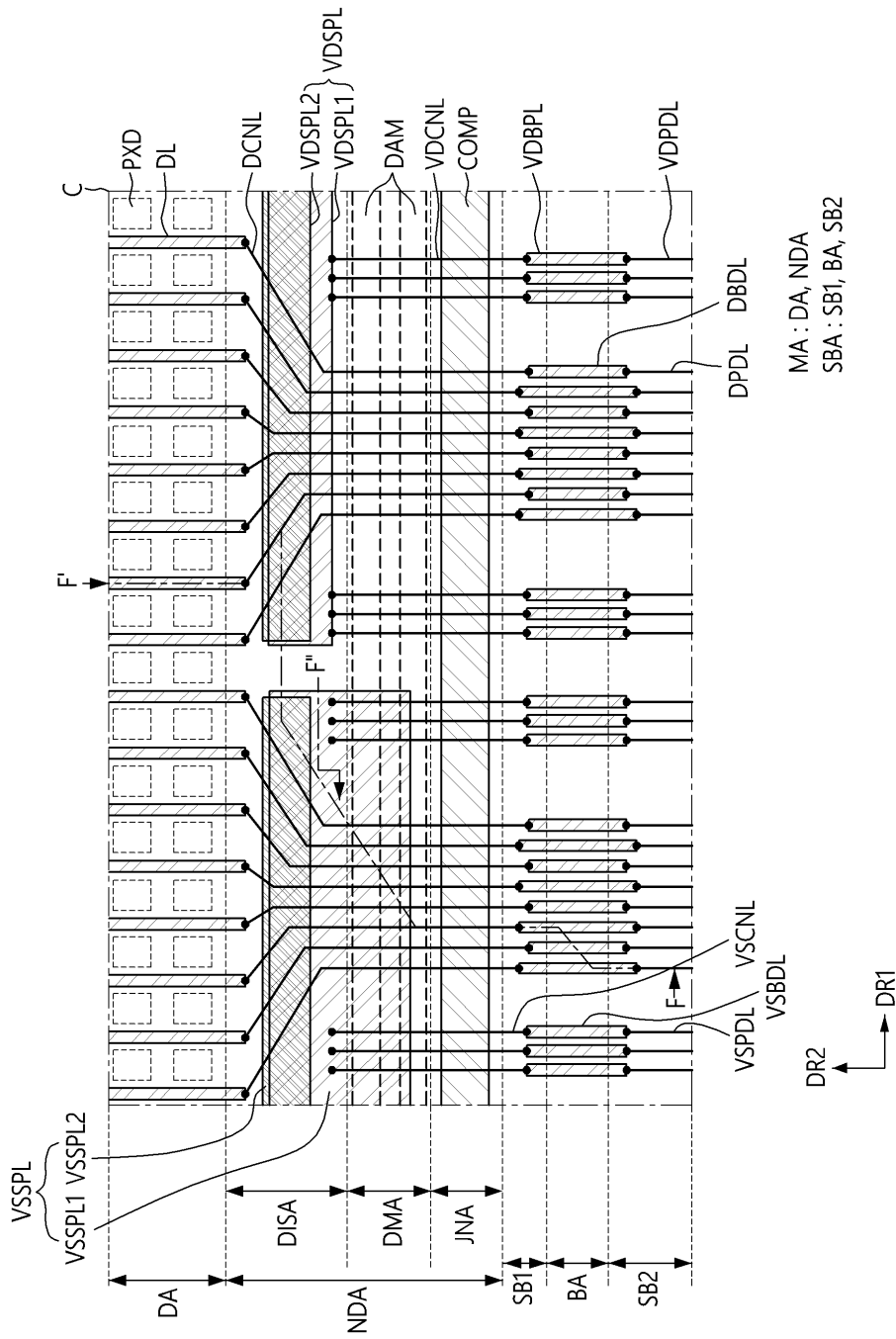


도면9

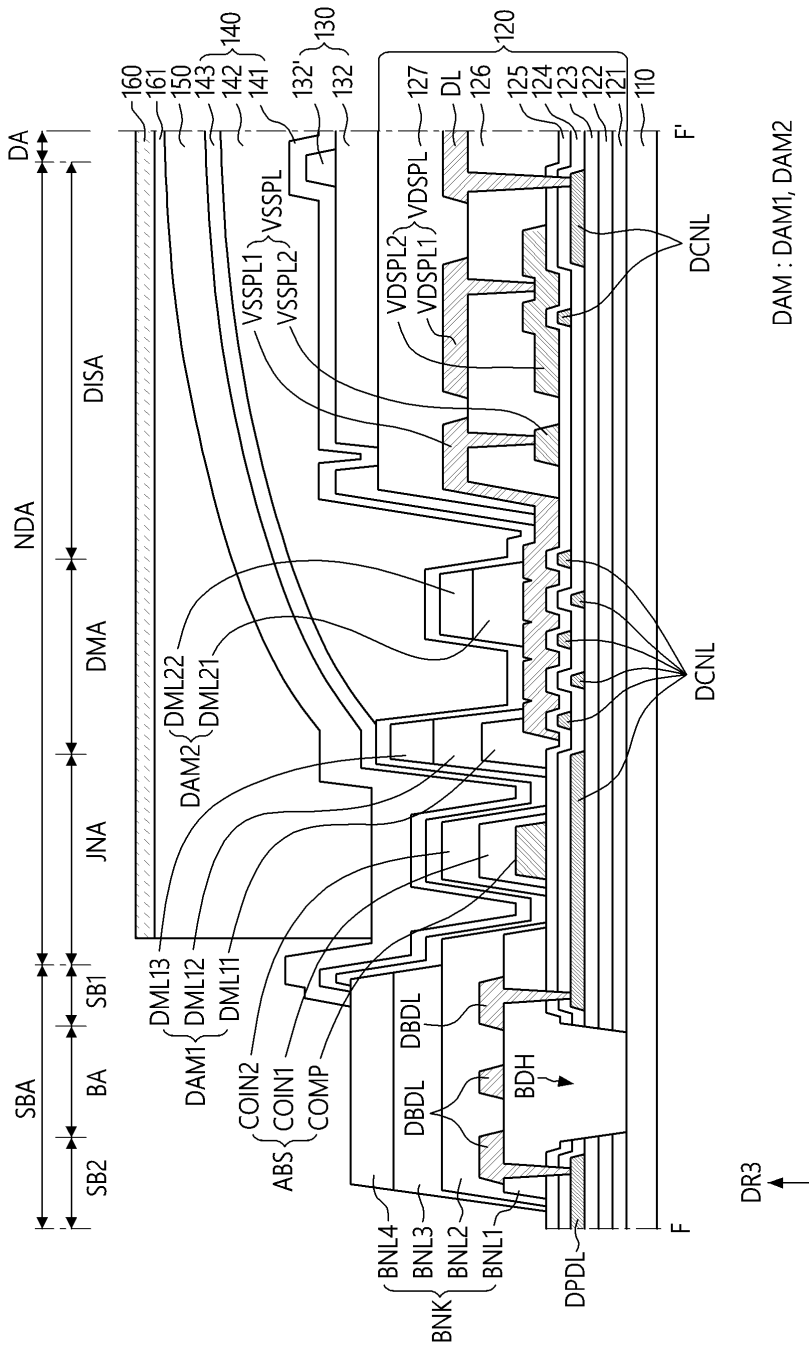




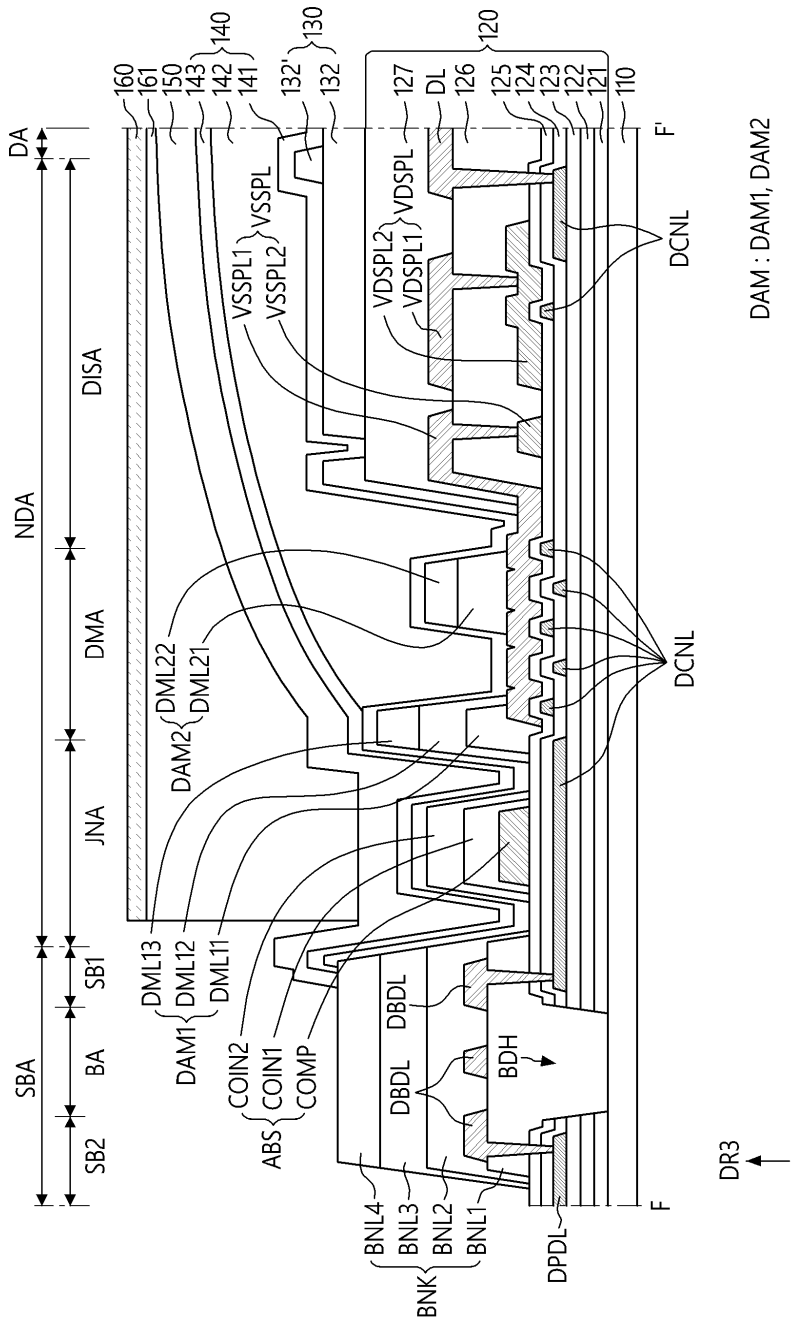
도면10



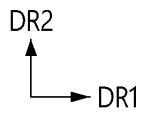
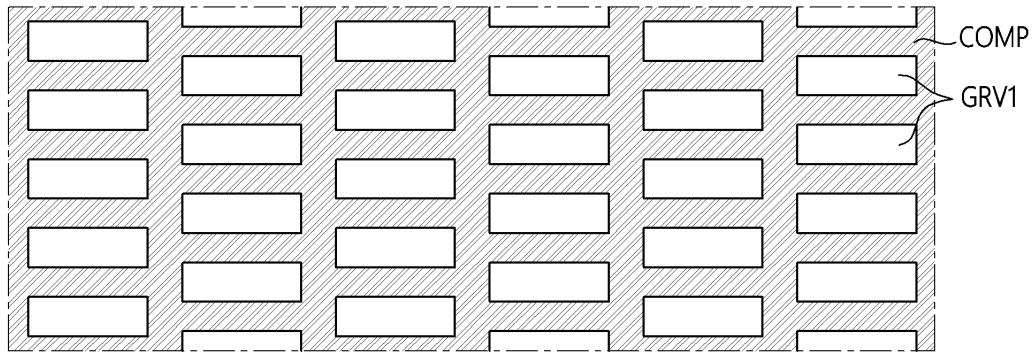
도면11



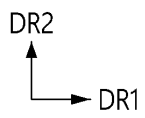
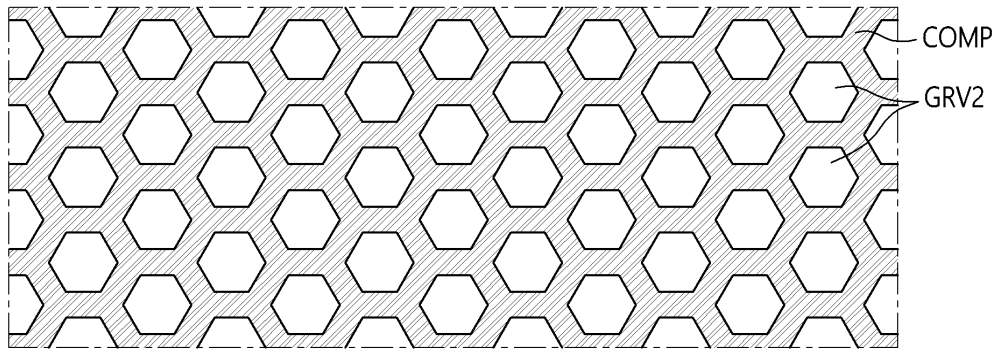
도면12



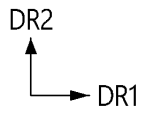
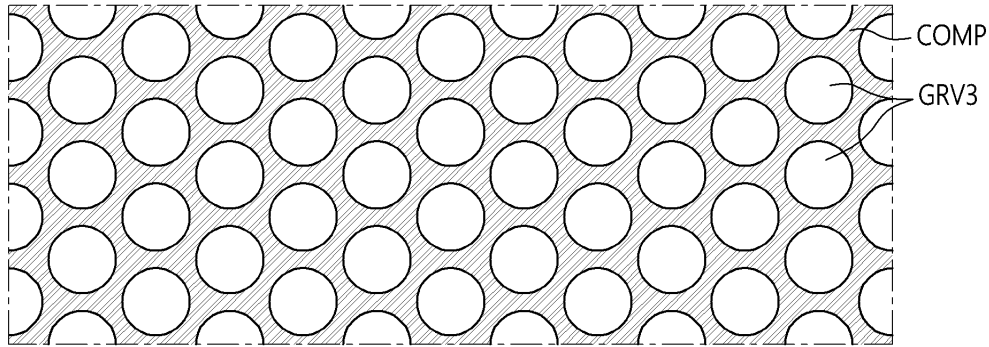
도면13



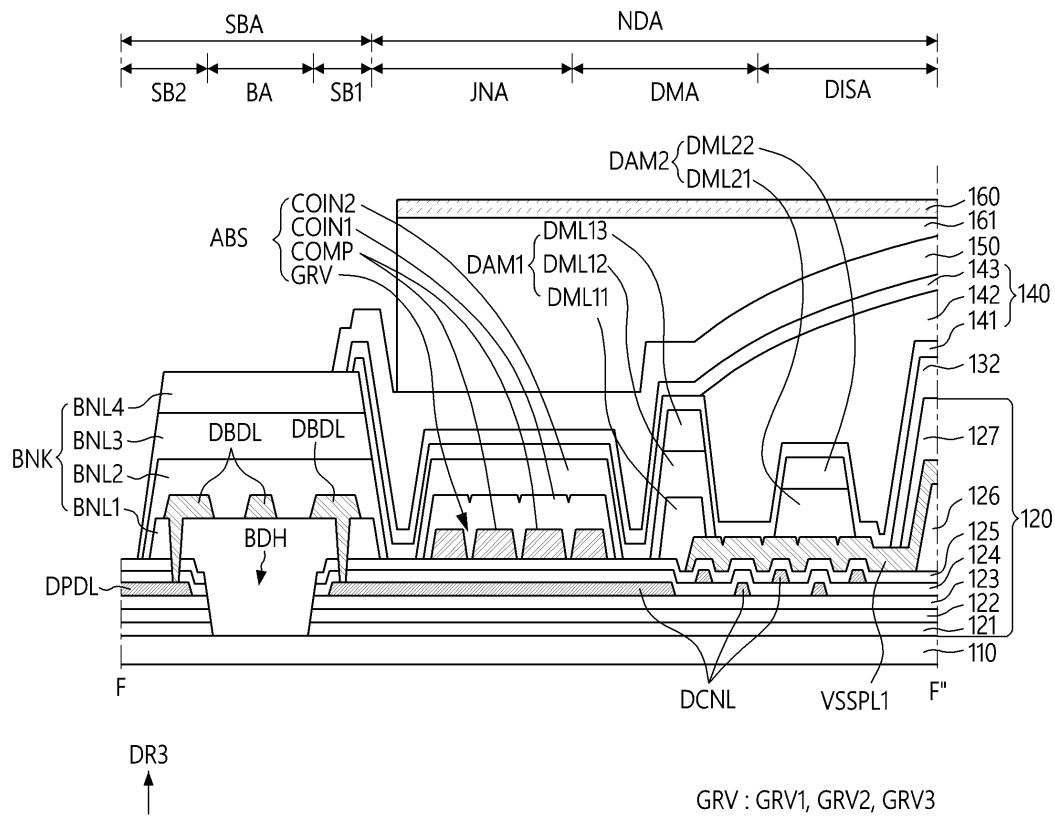
도면14



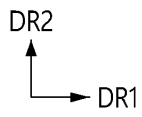
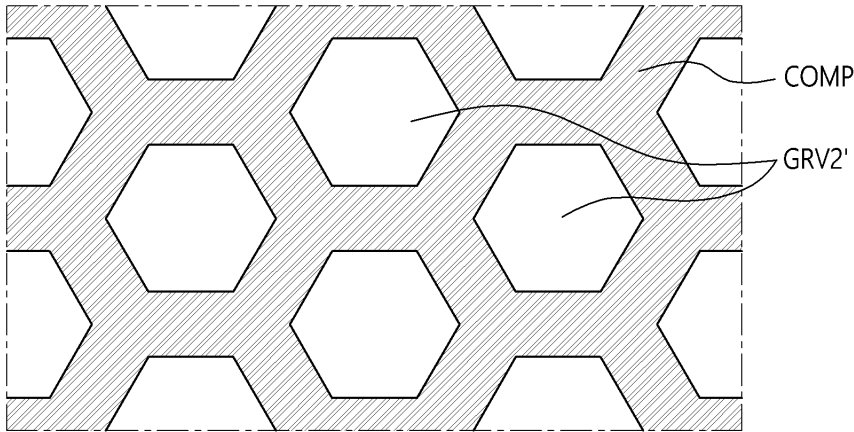
도면15



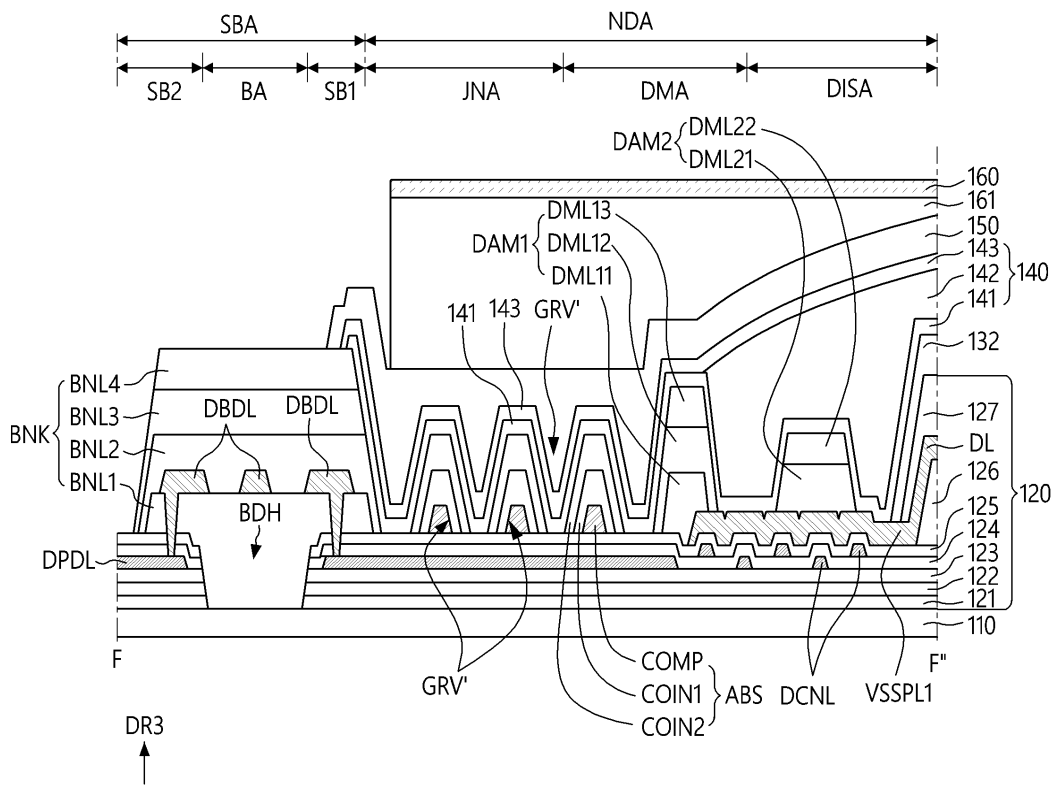
도면16



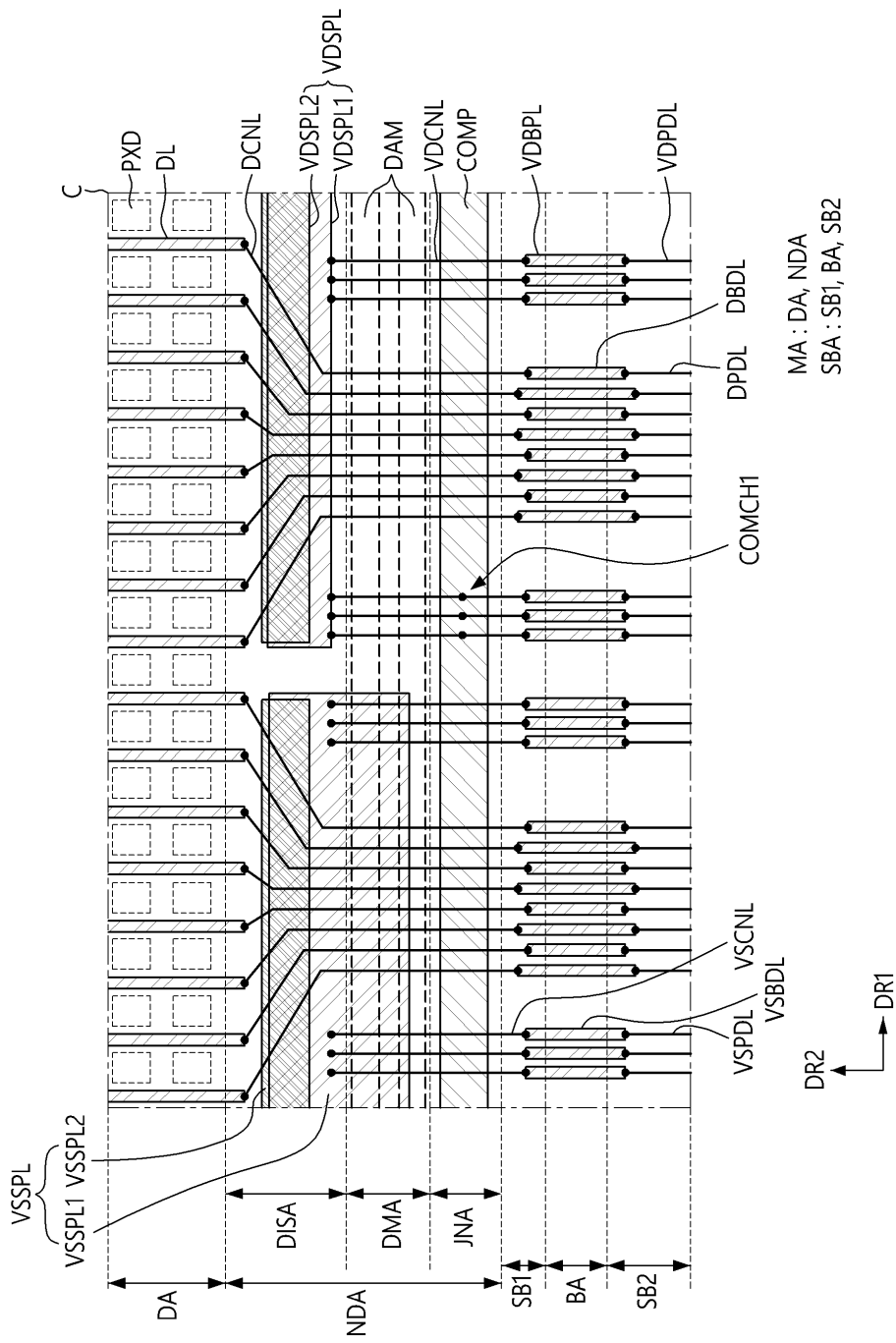
도면17



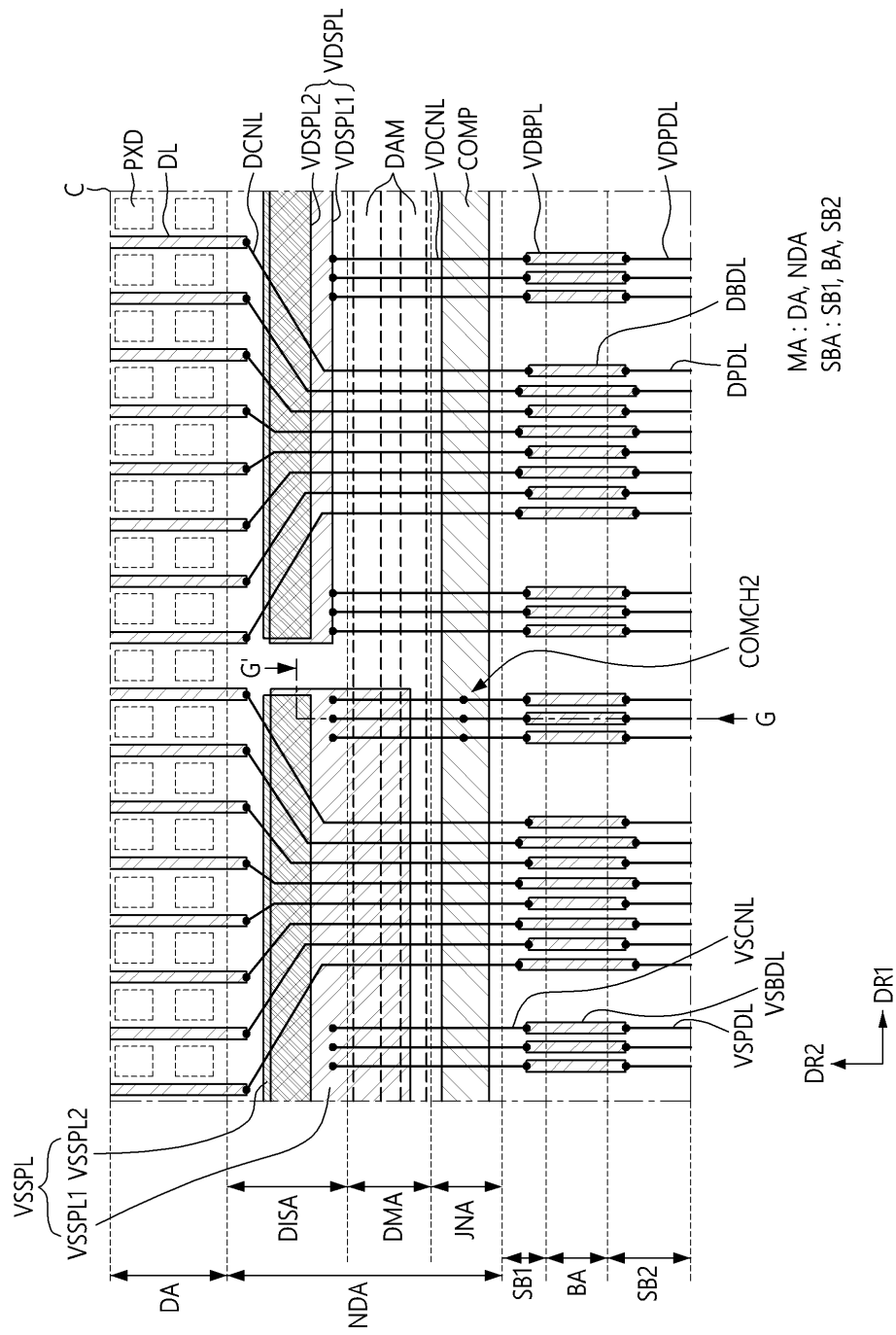
도면18



도면19

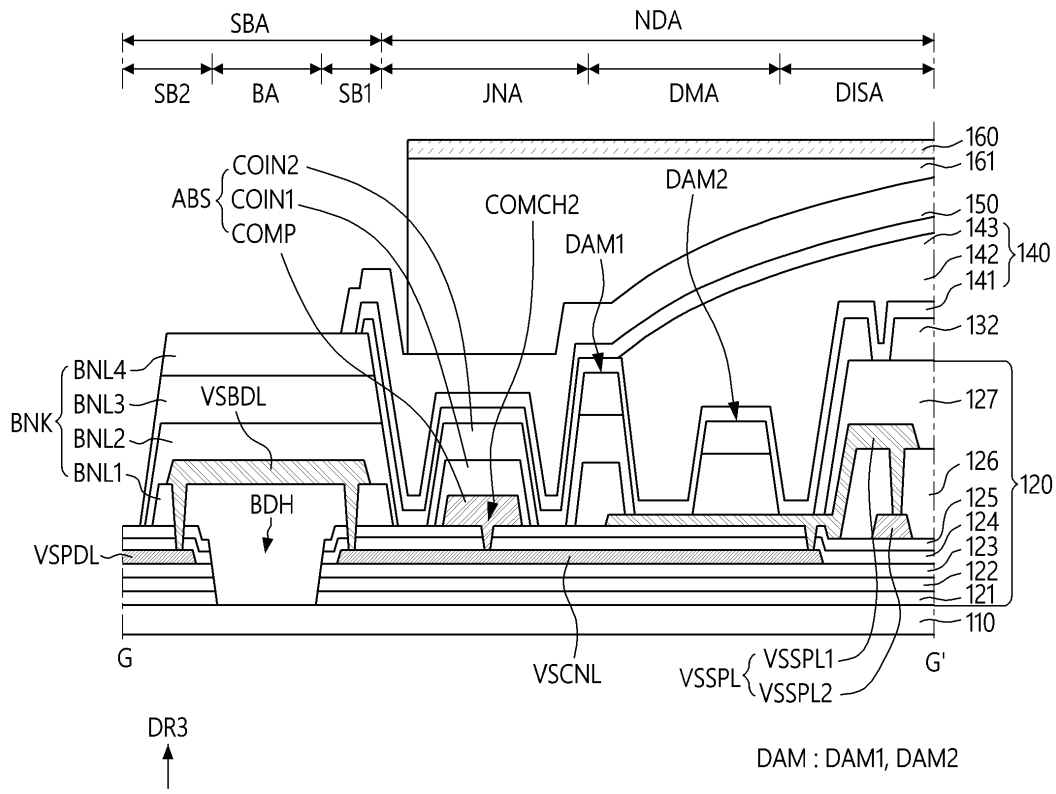


도면20





도면21



도면22

