

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/088 (2006.01)

H01L 21/8234 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810092211.7

[43] 公开日 2008年10月22日

[11] 公开号 CN 101290936A

[22] 申请日 2008.4.17

[21] 申请号 200810092211.7

[30] 优先权

[32] 2007.4.17 [33] KR [31] 10-2007-0037355

[71] 申请人 东部高科股份有限公司

地址 韩国首尔

[72] 发明人 张炳璋

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 郑小军

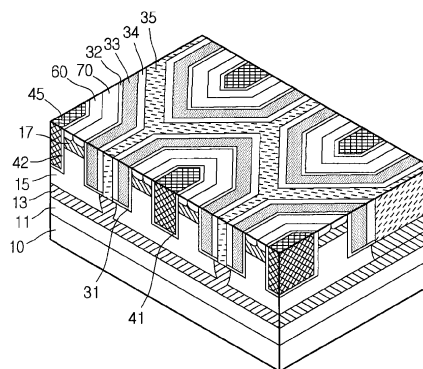
权利要求书 4 页 说明书 8 页 附图 5 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

提供了一种半导体器件及其制造方法。该半导体器件可提供具有向上漏极的沟槽 MOS 晶体管。该半导体器件可包括：半导体衬底上的第一导电型阱、第一导电型阱上的第二导电型阱、通过除去部分的第二导电型阱上的第一导电型阱而形成的沟槽；设置于沟槽内的栅极，其中栅极介电质位于每个栅极与沟槽壁之间；位于第二导电型阱上的第一导电型源极区和第二导电型体区，第一导电型源极区围绕栅极的横向表面；以及位于栅极之间的共同漏极，共同漏极连接到第一导电型阱。本发明能够以低成本形成包括具有低输出阻抗和高频特性的沟槽 MOS 晶体管，采用小面积来获得低输出阻抗，并可高度集成半导体器件。



- 1、一种半导体器件，包括：
 - 第一导电型阱，位于半导体衬底内；
 - 第二导电型阱，位于所述第一导电型阱上；
 - 第一沟槽，穿过所述第二导电型阱和一部分的所述第一导电型阱；
 - 栅极，位于所述第一沟槽内，其中栅极电介质位于所述第一沟槽的壁与
所述栅极之间；
 - 第一导电型源极区，位于所述第二导电型阱上并围绕所述栅极的横向表
面；
 - 第二导电型体区，位于所述第二导电型阱上并围绕所述第一导电型源极
区的横向表面；以及
 - 共同漏极，设置于所述栅极与至少一个相邻栅极之间，其中所述共同漏
极连接到所述第一导电型阱。
- 2、根据权利要求1所述的半导体器件，其中所述共同漏极设置于第二沟
槽内，其中所述第二沟槽穿过所述第二导电型阱和一部分的第一导电型阱。
- 3、根据权利要求2所述的半导体器件，其中所述第二沟槽的宽度范围为
所述第一沟槽的宽度的大约1.5到大约3倍。
- 4、根据权利要求2所述的半导体器件，进一步包括：在所述第二沟槽内
的第一电介质，位于所述第二沟槽的侧壁与所述共同漏极之间。
- 5、根据权利要求2所述的半导体器件，进一步包括：顺序设置于所述第
二沟槽内的第一电介质、漏极多晶硅和第二电介质，位于所述第二沟槽的侧
壁与所述共同漏极之间。
- 6、根据权利要求5所述的半导体器件，其中所述栅极电介质和所述第一
电介质中的每一个包括热氧化层。
- 7、根据权利要求6所述的半导体器件，其中所述第二电介质包括氧化层。
- 8、根据权利要求1所述的半导体器件，其中所述共同漏极包括高浓度第
一导电型材料。
- 9、根据权利要求1所述的半导体器件，其中所述共同漏极与所述第一导
电型阱接触。

10、根据权利要求 1 所述的半导体器件，进一步包括：
高浓度第一导电型埋层，位于所述第一导电型阱之下；以及
高浓度第一导电型插塞，位于所述共同漏极与所述第一导电型埋层之间。

11、一种半导体器件的制造方法，包括以下步骤：

在半导体衬底内顺序形成第一导电型阱和第二导电型阱；

通过除去第一部分的所述第二导电型阱和第一导电型阱而形成多个第一沟槽；

通过除去第二部分的所述第二导电型阱和所述第一导电型阱，在所述第一沟槽之间形成第二沟槽；

在每一个所述第一沟槽内形成栅极；

在所述第二沟槽内形成共同漏极；以及

在所述栅极与所述共同漏极之间的所述第二导电型阱上，形成第一导电型源极区和第二导电型体区。

12、根据权利要求 11 所述的方法，其中所述第二沟槽的宽度大于每个所述第一沟槽的宽度。

13、根据权利要求 11 所述的方法，其中形成所述栅极的步骤包括以下步骤：

在所述第一沟槽内形成栅极电介质；

在所述栅极电介质上形成多晶硅层；以及

将第一导电型杂质离子注入所述多晶硅层以形成栅极电极。

14、根据权利要求 11 所述的方法，其中形成所述共同漏极的步骤包括以下步骤：

在所述第二沟槽内形成第一电介质；

除去部分的第一电介质以暴露所述第二沟槽的底表面；

将第一导电型杂质离子注入所述第二沟槽的被暴露的底表面；以及

在所述第二沟槽内沉积第一导电型多晶硅层。

15、根据权利要求 11 所述的方法，其中形成所述共同漏极的步骤包括以下步骤：

在所述第二沟槽内形成第一电介质；

在所述第一电介质上沉积漏极多晶硅层；

选择性蚀刻所述漏极多晶硅层以暴露所述第二沟槽的底表面上的所述第一电介质；

在所述漏极多晶硅层上形成第二电介质；

选择性除去部分的所述第二电介质和第一电介质以暴露所述第二沟槽的底表面；

将第一导电型杂质离子注入所述第二沟槽的被暴露的底表面；以及
在所述第二沟槽内沉积第一导电型多晶硅层。

16、根据权利要求 11 所述的方法，其中在每一个所述第一沟槽内形成所述栅极和在所述第二沟槽内形成所述共同漏极的步骤包括以下步骤：

在每一个所述第一沟槽和第二沟槽内形成第一绝缘层；以及

在所述第一绝缘层上沉积多晶硅层，直至以所述多晶硅层完全填充每一个所述第一沟槽为止。

17、根据权利要求 16 所述的方法，其中在所述第二沟槽内形成所述共同漏极的步骤进一步包括以下步骤：

除去位于所述第二沟槽的底部上的部分多晶硅层；

在从所述第二沟槽的底部除去所述多晶硅层后，在所述第二沟槽内留下的所述多晶硅层的暴露的侧壁上形成第二绝缘层；以及

在所述第二沟槽内沉积第二多晶硅层。

18、根据权利要求 16 所述的方法，其中在每一个所述第一沟槽内形成所述栅极的步骤进一步包括以下步骤：将第一导电型杂质离子注入完全填充每个所述第一沟槽的所述多晶硅层；并且

其中在所述第二沟槽内形成所述共同漏极的步骤进一步包括以下步骤：除去位于所述第二沟槽的底部上的部分多晶硅层，以暴露位于所述第二沟槽的底部上的部分第一绝缘层，其中在将所述第一导电型杂质原子注入所述多晶硅层的过程中，所述第一导电型杂质离子也穿过位于所述第二沟槽的底部上的所述部分第一绝缘层而被注入位于所述第二沟槽之下的所述衬底，因此形成第一导电型插塞。

19、根据权利要求 11 所述的方法，进一步包括以下步骤：在位于所述第一导电型阱之下的所述半导体衬底内形成高浓度第一导电型埋层。

20、根据权利要求 11 所述的方法，进一步包括以下步骤：在所述第二沟

槽之下形成第一导电型插塞，其中所述第一导电型插塞连接到所述高浓度第一导电型埋层。

半导体器件及其制造方法

技术领域

本发明涉及半导体器件，特别涉及一种半导体器件及其制造方法。

背景技术

一种沟槽型金属氧化物半导体（沟槽 MOS）晶体管可用作功率晶体管。

功率沟槽 MOS 晶体管明显不同于典型的 MOS 晶体管之处在于，功率沟槽 MOS 晶体管的沟道是在垂直方向而非水平方向形成的。

功率沟槽 MOS 晶体管包括作为输出区域形成于晶圆的背面的垂直沟道和漏极。

功率沟槽 MOS 晶体管适合使用小面积进行高电流和高电压操作。为了将高电压施加于功率沟槽 MOS 晶体管，轻掺杂漏极区（漂移区）被形成至足够大的长度。

因为电子在功率沟槽 MOS 晶体管中垂直移动，可垂直形成轻掺杂漏极区（漂移区）以增加耐压，而不必通过调整垂直掺杂分布（doping profile）来增加芯片的面积。所以，采用小面积即可进行高耐压和高电流操作。

因为功率沟槽 MOS 晶体管一般采用单层硅衬底制作，功率沟槽 MOS 晶体管适合于单个产品。但是，上述功率沟槽 MOS 晶体管的结构不易在与 MOS 晶体管相同的芯片上提供功率沟槽 MOS 晶体管。

发明内容

本发明实施例提供了一种包括可高度集成的沟槽 MOS 晶体管的半导体器件及该半导体器件的制造方法。

在一个实施例中，该半导体器件包括：第一导电型阱，位于半导体衬底内；第二导电型阱，位于第一导电型阱上；第一沟槽，通过除去部分的第二导电型阱和第一导电型阱形成；栅极，设置于第一沟槽内，其中栅极电介质位于栅极电极与第一沟槽壁之间；第一导电型源极区和第二导电型体区，位

于第二导电型阱上，第一导电型源极区围绕栅极的横向表面；以及共同漏极，位于栅极之间，共同漏极连接到第一导电型阱。

在另一个实施例中，半导体器件的制造方法包括以下步骤：在半导体衬底内顺序形成第一导电型阱和第二导电型阱；除去部分的第二导电型阱和第一导电型阱以形成多个第一沟槽；在第一沟槽之间形成第二沟槽；在每一个第一沟槽内形成栅极；在第二沟槽内形成共同漏极；以及在栅极与共同漏极之间的第二导电型阱上，形成第一导电型源极区和第二导电型体区。

一个或更多实施例的细节在下面的附图和说明中给出。其他特征将由说明和附图及权利要求而变得明显。

附图说明

图 1 是根据一个实施例的半导体器件的视图；

图 2 至图 9 是根据一个实施例的半导体器件的制造过程的示意图。

具体实施方式

现在根据实施例，参考附图描述一种半导体器件及该半导体器件的制造方法。

图 1 是根据一个实施例的半导体器件的视图。

参考图 1，根据一个实施例的半导体器件包括：第一导电型深阱 15，第二导电型浅阱 17，多个栅极电极 45，源极区 60，第二导电型体区 (body region) 70，和共同漏极 35。第一导电型深阱 15 设于半导体衬底 10 上。第二导电型浅阱 17 设于第一导电型深阱 15 上。多个栅极电极 45 可形成于通过选择性除去部分的第二导电型浅阱 17 和第一导电型深阱 15 而设置的沟槽 41 中。栅极电介质 42 设于栅极电极 45 与沟槽 41 的壁之间。源极区 60 和第二导电型体区 70 设于第二导电型浅阱 17 上。源极区 60 可围绕栅极电极 45 的横向表面。共同漏极 35 设于栅极电极 45 之间。共同漏极 35 可与第一导电型深阱 15 相连接。在一个实施例中，共同漏极 35 可与第一导电型深阱 15 接触。

根据第一导电型为 N 型而第二导电型为 P 型的实施例，半导体衬底 10 可包括 P 型衬底、和设于半导体衬底 10 上的 p 外延层 11。

另外，可以高浓度注入 N 型杂质离子以形成第一导电型深阱 15，而且可

以高浓度注入 P 型杂质离子以形成第二导电型浅阱 17。

共同漏极 35 可形成于通过选择性除去部分的第二导电型浅阱 17 和第一导电深阱 15 而设置的第二沟槽 31 内。在第二沟槽 31 中第一电介质 32 可围绕共同漏极 35。共同漏极 35 的部分的较低区域可与第一导电型深阱 15 接触。

在进一步的实施例中，如图 1 所示，也可在第二沟槽 31 中设置漏极多晶硅层 33、和第二电介质 34 以围绕共同漏极 35。

在一个实施例中，可沉积高浓度第一导电型材料以形成共同漏极 35。例如，可采用化学气相沉积（CVD）工艺来沉积包括高浓度 N 型杂质离子的材料，以形成共同漏极 35。

栅极电极 45 的栅极电介质 42 可用与共同漏极 35 的第一电介质 32 和第二电介质 34 相同的材料制成。例如，栅极电介质 42、第一电介质 32、和第二电介质 34 可包括热氧化层。第二电介质 34 可包括氧化层。

根据特定实施例，栅极电极 45 可具有六边形形状，而共同漏极 35 可设于栅极电极 45 之间。

高浓度第一导电型埋层 13 可设置于半导体衬底 10 与第一导电型深阱 15 之间。

在一个实施例中，高浓度第一导电型插塞 20 可设于共同漏极 35 与第一导电型埋层（buried layer）13 之间。

根据一个实施例的半导体器件包括具有向上-漏极（up-drain）结构的共同漏极，以提供低输出阻抗和高频特性。向上-漏极结构是一种漏极与其他元件处于相同平面中的结构。

因为共同漏极 35 设于栅极电极 45 之间，电流路径很短，所以采用小面积就获得了低输出阻抗。

根据包括具有六边形形状的栅极单元和设于栅极电极 45 之间的共同漏极 35 的许多实施例，该半导体器件可被高度集成。

图 2 至 8 是根据一个实施例的半导体器件的制造过程的示意图。

参考图 2，可将第一导电型杂质离子以高浓度注入半导体衬底 10 以形成第一导电型埋层 13。在许多实施例中，半导体衬底 10 可包括外延层 11。

在一个实施例中，半导体衬底 10 可包括 P 型衬底，而外延层 11 可以是 P 外延层。以下，外延层 11 将被称为 P 外延层。

第一导电型埋层 13 可以是 N 型埋层。根据一个实施例, 可将 N 型杂质离子以高浓度注入包括 P 外延层 11 的半导体衬底 10, 以形成第一导电型埋层 13。根据另一个实施例, 在生长 P 外延层 11 以形成第一导电型埋层 13 之前, 可将 N 型杂质离子以高浓度注入半导体衬底 10。在这样一个实施例中, 当生长其中注入有高浓度 N 型杂质离子的半导体衬底 10 以形成外延层时, 将第一导电型埋层 13 设于半导体衬底 10 与 P 外延层 11 之间。

第一导电型埋层 13 可有效降低要在后续工艺中形成的漏极的阻抗。在特定实施例中, 可省略第一导电型埋层 13, 以简化根据一个实施例的半导体器件制造工艺。

再参考图 2, 可在第一导电型埋层 13 上形成第一导电型深阱 15。第一导电型深阱 15 可通过将第一导电型杂质离子注入包括第一导电型埋层 13 的 P 外延层 11 而形成。在一个实施例中, 第一导电型杂质离子可包括 N 型杂质离子。可以高能量注入 N 型杂质离子以形成第一导电型深阱 15。

可在第一导电型深阱 15 上形成第二导电型浅阱 17。第二导电型浅阱 17 可通过将第二导电型杂质离子注入第一导电型深阱 15 而形成。在一个实施例中, 第二导电型杂质离子可包括 P 型杂质离子。P 型杂质离子可以与 N 型杂质离子注入相比相对低的能量注入。

如图 2 所示, 第一导电型深阱 15 和第二导电型浅阱 17 是顺序堆叠于半导体衬底 10 上的。

参考图 3, 可选择性除去部分的半导体衬底 10, 以形成第一沟槽 41 和第二沟槽 31。被除去的部分的半导体衬底 10 可以是第二导电型浅阱 17 的区域和一部分的设于第二导电型浅阱 17 之下的第一导电型深阱 15。第一沟槽 41 被设置用于形成栅极, 而第二沟槽 31 被设置用于形成漏极。

根据一个实施例, 可形成多个第一沟槽 41, 然后可将第二沟槽 31 设于第一沟槽 41 之间。在一个实施例中, 第一和第二沟槽可同时形成。

如图 1 所示, 第一沟槽 41 可具有六边形形状 (在平面视图中)。在另一个实施例中, 第一沟槽 41 可具有四边形形状。根据特定实施例, 第二沟槽 31 可具有的宽度的范围为第一沟槽 41 的宽度的大约 1.5 到 3 倍。

第二沟槽 31 的侧表面可与第一沟槽 41 的侧表面相对应, 例如如图 1 所示。所以, 栅极之间的共同漏极 35 可被共同使用。因此, 可高度集成半导体

器件，而源极与共同漏极 35 之间的电流路径可很短，因而降低输出阻抗。

参考图 4，可在第一沟槽 41 和第二沟槽 31 中沉积电介质，以分别形成栅极电介质 42 和第一电介质 32。栅极电介质 42 和第一电介质 32 可包括热氧化层。栅极电介质 42 和第一电介质 32 可同时形成。

参考图 5，可在具有栅极电介质 42 的第一沟槽 41 内形成多晶硅层 43。多晶硅层 43 可包括非掺杂多晶硅。在一个实施例中，第一沟槽 41 可采用化学气相沉积（CVD）法以多晶硅层 43 填充。

在沟槽 41 内形成多晶硅层 43 的过程中，多晶硅也可沉积在第二沟槽 31 内。即，漏极多晶硅层 33 可形成于具有第一电介质 32 的第二沟槽 31 内。

因为第二沟槽 31 具有的宽度大于第一沟槽 41 的宽度，即使以漏极多晶硅层 43 完全填充了第一沟槽 41，也只有第二沟槽 31 的侧壁和底表面设置有漏极多晶硅层 43。这里，当以多晶硅完全填充第一沟槽 41 时，在第二沟槽 31 中具有足够宽度的空间仍然保持开放。

可通过离子蚀刻法除去留在第二沟槽 31 的底表面上的漏极多晶硅层 33，以暴露位于第二沟槽 31 的底表面处的第一电介质 32。

参考图 6，为了形成栅极，可将第一导电型杂质离子注入填充于第一沟槽 41 中的多晶硅层 43，然后对经过离子注入的多晶硅层进行热处理以形成栅极电极 45。例如，第一导电型杂质离子可包括 N 型杂质离子。即，可采用离子注入方法将 N 型杂质离子注入多晶硅层 43，然后对经过离子注入的多晶硅层进行热处理以形成栅极电极 45。

当形成栅极电极时，可同时在第二沟槽 31 内执行第一导电型杂质离子注入工艺和热处理工艺。在这一点，因为第二沟槽 31 底表面的第一电介质 32 是暴露的，所以可将第一导电型杂质离子注入第一导电型深阱 15。

因此，第一导电型插塞 20 形成于位于第二沟槽 31 之下的第一导电型深阱 15 中。第一导电型插塞 20 可连接到第一导电型埋层 13。

因为第一导电型插塞 20 连接到第一导电型埋层 13，所以可降低在后续工艺形成于第一导电型插塞 20 上的共同漏极 35 的输出阻抗。

参考图 7，可在第二沟槽 31 内形成第二电介质 34。例如，可采用 CVD 法在半导体衬底 10 上沉积氧化硅，以形成第二电介质 34。然后，通过离子蚀刻法除去部分的第二电介质 34，这样使得第一导电型插塞 20 暴露而第二

电介质 34 保留在漏极多晶硅层 43 的侧壁上。

第二电介质 34 可用于降低体区 70 与形成于第二沟槽 31 中的共同漏极 35 之间的寄生电容（参考图 9）。此外，第二电介质 34 可增加绝缘电压。

在用于除去第二电介质 34 的离子蚀刻工艺中，除去了一部分的第一电介质 32，从而暴露出第二沟槽 31 的底表面。

参考图 8，可在第二沟槽 31 内形成共同漏极 35。在一个实施例中，共同漏极 35 是通过在第二沟槽 31 内沉积高掺杂第一导电型多晶硅而形成的。第一导电型多晶硅可包括高掺杂 N 型多晶硅。

在一个实施例中，可采用 CVD 法在第二沟槽 31 内沉积 N 型多晶硅，这样以 N 型多晶硅填充第二沟槽 31，从而形成共同漏极 35。留在共同漏极 35 以外的区域中的 N 型多晶硅可采用离子蚀刻法或化学机械抛光（CMP）法除去。

以第一导电型多晶硅填充第二沟槽 31，以形成栅极电极 45 之间的共同漏极 35。因此，共同漏极 35 可具有向上-漏极结构。

因为共同漏极 35 具有向上-漏极结构，所以形成有共同漏极 35 的晶体管可具有低输出阻抗和高频特性。

参考图 9，可将第一导电型杂质离子注入设置在半导体衬底 10 的上部的第二导电型浅阱 17 中，以限定源极区 60。可将第二导电型杂质离子注入第二导电型浅阱 17 中的源极区的侧面以限定体区 70。

在一个实施例中，源极区 60 的第一导电型杂质离子可包括 N 型杂质离子。可将 N 型杂质离子注入第二导电型浅阱 17，这样使得 N 型杂质离子围绕栅极电极 45 以限定源极区 60。

体区 70 的第二导电型杂质离子可包括 P 型杂质离子。可将 P 型杂质离子注入第二导电型浅阱 17，以限定位于源极区 60 与共同漏极 35 的第一电介质 32 之间的体区 70。

如上所述，当用于形成栅极的第一沟槽 41 具有六边形形状时，栅极电极 45 具有六边形形状。还有，包括源极区 60 的栅极单元、体区 70、第一电介质 32、漏极多晶硅层 33、和围绕栅极电极 45 的第二电介质 34 具有六边形形状。

所以，可以这样的方式设置具有六边形形状的多个栅极单元，即围绕着

给定的栅极单元来设置相邻的栅极单元，而将具有向上-漏极结构的共同漏极 35 设于栅极单元之间，由此实现半导体器件的集成。

在本实施例中，形成第一导电型埋层 13 的工艺和形成第一导电型插塞 20 及第二导电型浅阱 17 的工艺可与形成 CMOS 晶体管的工艺一起执行。

另外，在用于形成栅极和共同漏极 35 的沟槽 41 和 31 形成之后，半导体器件的其余工艺也可与形成 CMOS 晶体管的工艺一起执行。

因此，可通过附加一个简单的工艺来形成包括具有向上-漏极结构的共同漏极的沟槽 MOS 晶体管。

因为栅极单元是彼此相邻地设置的，该半导体器件适合用于具有大电流驱动能力的晶体管。

虽然以上将栅极单元描述为包括在具有六边形形状的沟槽单元中的一个栅极电极，本发明的实施例不限于此。例如，栅极单元可包括在沟槽单元中的多个沟槽栅极，因此增加了其尺寸。

因为除了 CMOS 晶体管工艺之外，沟槽 MOS 晶体管可包括双极晶体管、扩展（Extended）MOSFET、和横向 DMOS 中的至少一个，所以沟槽 MOS 晶体管可形成于相同的芯片中。

根据该半导体器件和该半导体器件的制造方法的一个实施例，沟槽 MOS 晶体管可与 CMOS 晶体管形成于相同的芯片上。

因为形成了具有向上-漏极结构的共同漏极，所以沟槽 MOS 晶体管可具有低输出阻抗和高频特性。

还有，沟槽 MOS 晶体管可以低成本与 CMOS 晶体管形成于相同的衬底上。

因为共同漏极形成于栅极电极之间，所以电流路径可很短，因此采用小面积而获得了低输出阻抗。

栅极单元可具有六边形形状，其中共同漏极形成于栅极电极之间，这样就能够高度集成半导体器件。

在本说明书中对于“一个实施例”、“一个实施例”、“示例性的实施例”等的任何引用，意思都是联系该实施例所描述的特定的特征、结构、或特性包括在所公开的至少一个实施例中。在本说明书中各处出现的这种措词不必都指相同的实施例。进一步地，当联系任何一个实施例来描述一个特定

的特征、结构、或特性时，应理解为联系其他实施例来实现这样的特征、结构、或特性处于本领域技术人员的范围内。

虽然以上参考一些示例性的实施例描述了本发明，但应该理解本领域技术人员可构想出将落入本发明的原理的精神和范围内的许多其他的改进和实施例。更具体地，在本说明书、附图和所附权利要求范围内，在组成部分和/或主要方案的设置上可以有各种变形和改进。除了在组成部分和/或主要方案的设置上的变形和改进之外，替代性的应用对于本领域技术人员来说也是明显的。

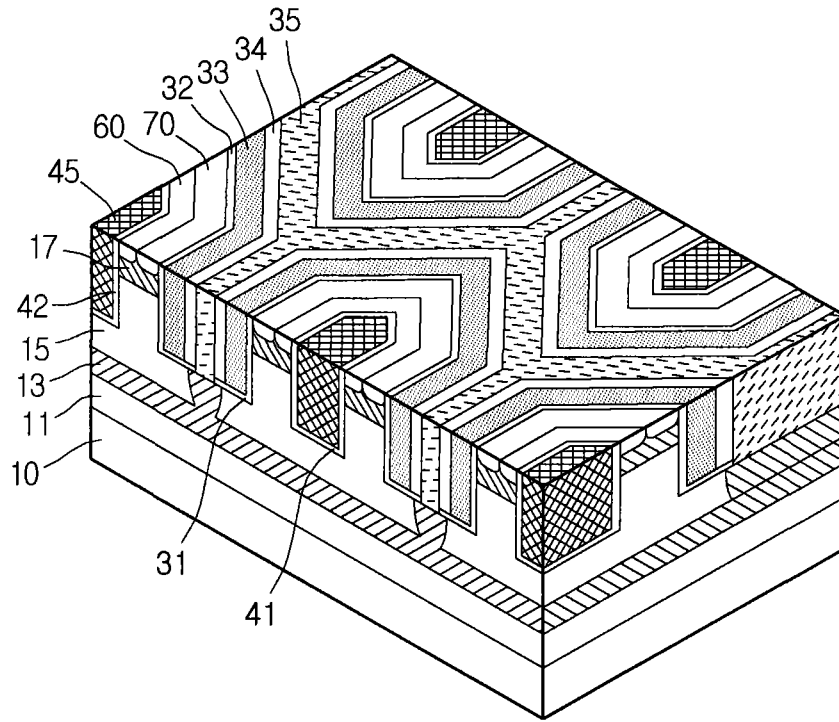


图1

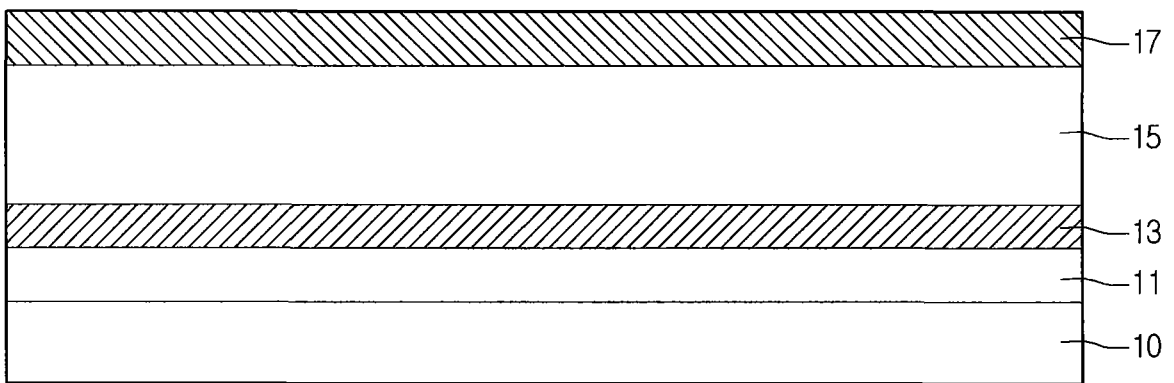


图2

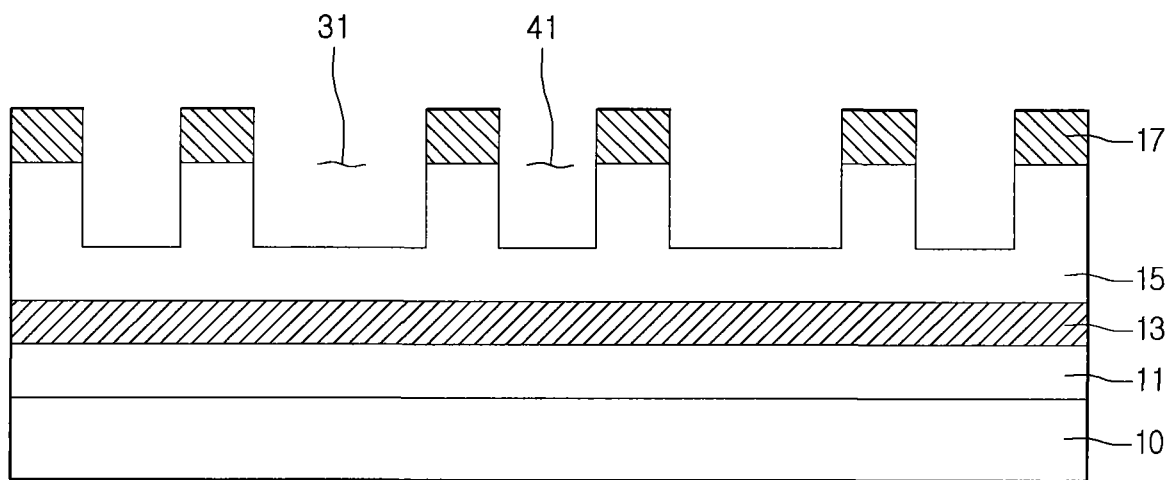


图3

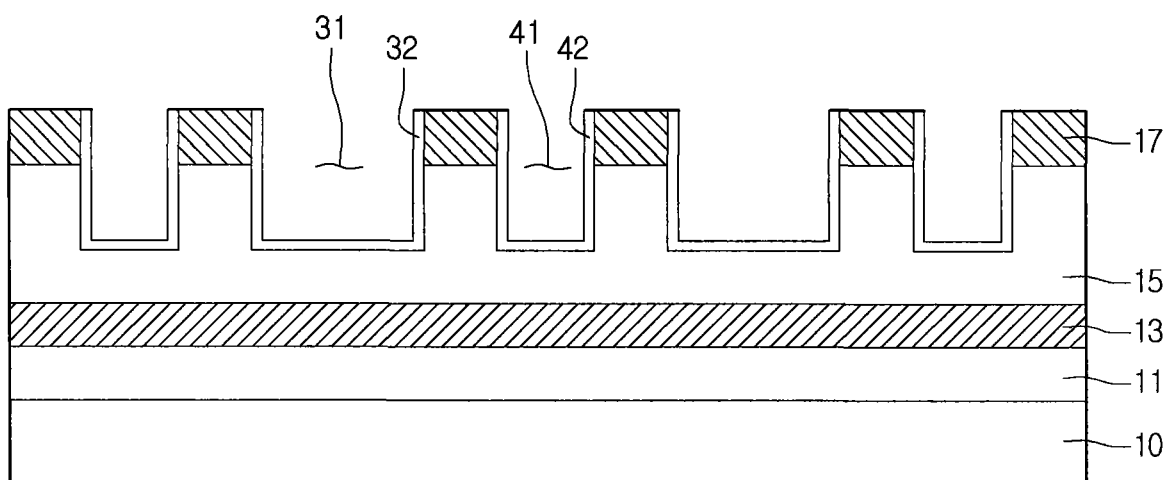


图4

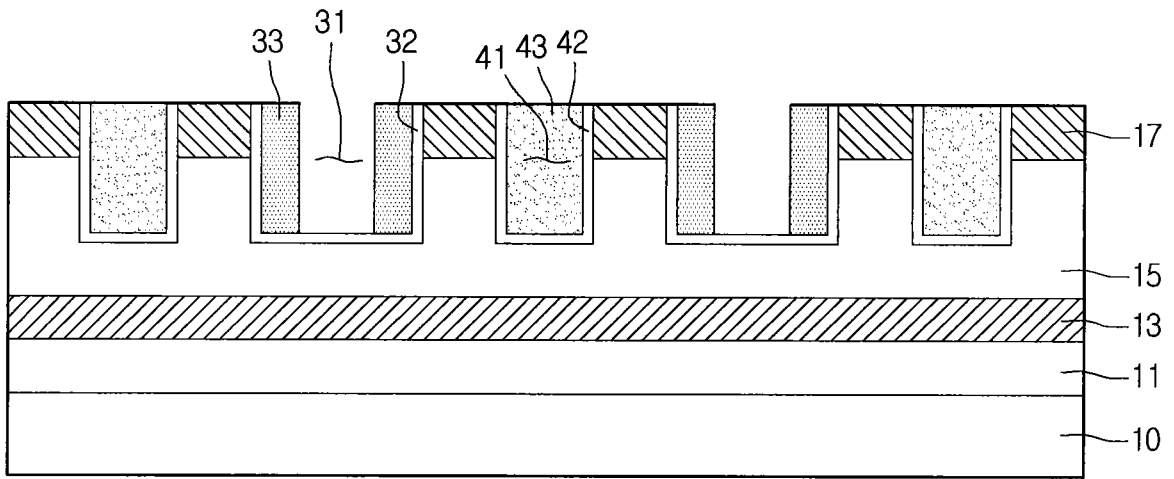


图5

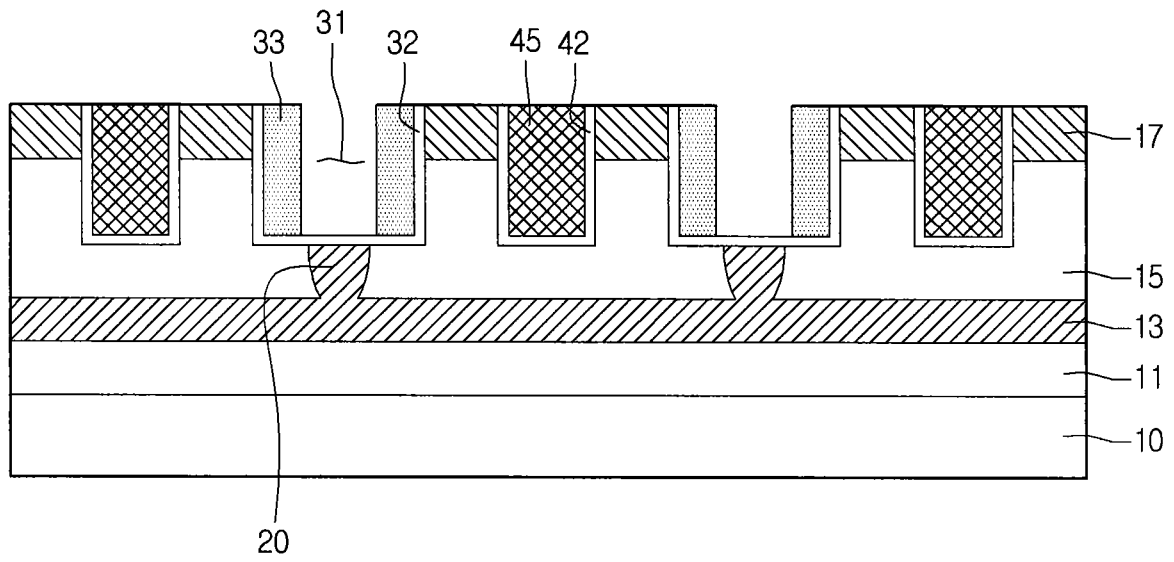


图6

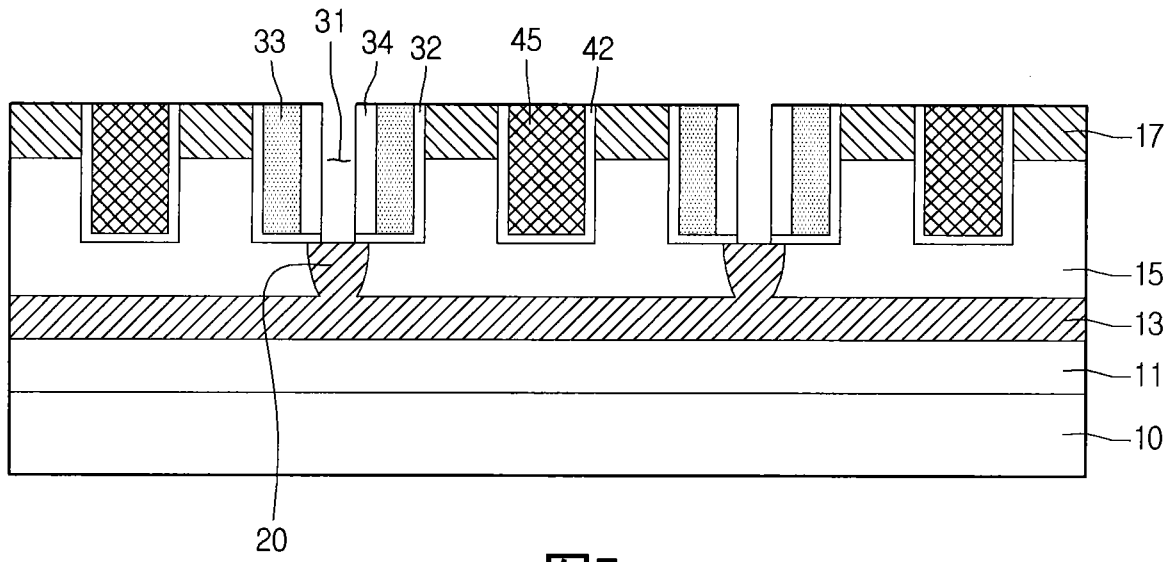


图7

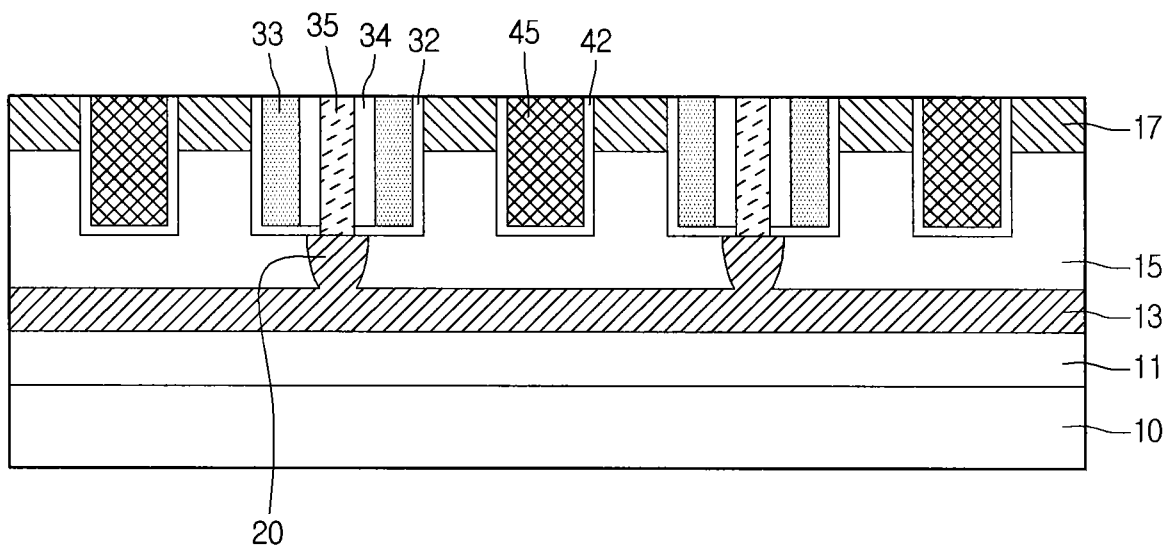


图8

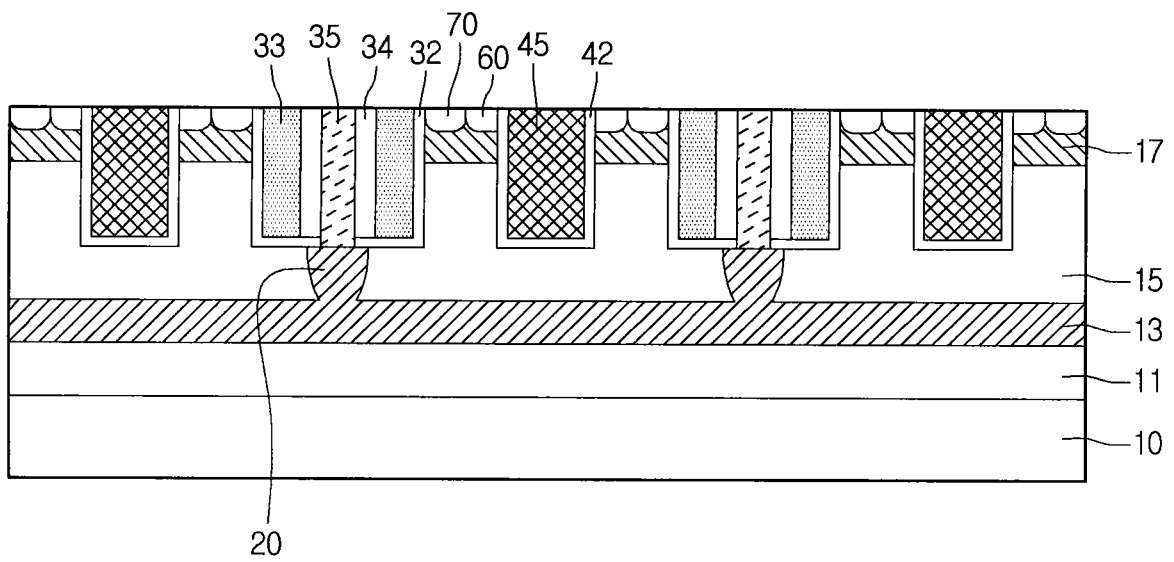


图9