

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4897133号
(P4897133)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int. Cl. F I
 HO 1 S 5/022 (2006.01) HO 1 S 5/022
 HO 1 L 33/32 (2010.01) HO 1 L 33/00 1 8 6
 HO 1 L 33/36 (2010.01) HO 1 L 33/00 2 0 0
 HO 1 L 33/48 (2010.01) HO 1 L 33/00 4 0 0
 HO 1 S 5/323 (2006.01) HO 1 S 5/323

請求項の数 6 (全 14 頁)

(21) 出願番号 特願平11-349757
 (22) 出願日 平成11年12月9日(1999.12.9)
 (65) 公開番号 特開2001-168444(P2001-168444A)
 (43) 公開日 平成13年6月22日(2001.6.22)
 審査請求日 平成18年2月8日(2006.2.8)
 審判番号 不服2010-27196(P2010-27196/J1)
 審判請求日 平成22年12月2日(2010.12.2)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (72) 発明者 小沢 正文
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

合議体
 審判長 吉野 公夫
 審判官 松川 直樹
 審判官 北川 創

最終頁に続く

(54) 【発明の名称】 半導体発光素子、その製造方法および配設基板

(57) 【特許請求の範囲】

【請求項1】

基体の同一面側に第1の電極膜および第2の電極膜を形成してなる半導体チップと、支持体の同一面側に第1の半田膜および第2の半田膜を形成してなる配設基板とを含む半導体発光素子を製造する方法であって、

前記半導体チップの前記第1の電極膜および前記第2の電極膜を、前記配設基板の前記第1の半田膜および第2の半田膜にそれぞれ貼り合わせる工程を含むと共に、

前記半導体チップにおいて、前記第1の電極膜の表面と前記第2の電極膜の表面との間に、前記第1の電極膜の表面が前記第2の電極膜の表面よりも突出するような段差を設けるようにし、

前記配設基板において、前記第1の半田膜の表面と前記第2の半田膜の表面との間に、前記第2の半田膜の表面が前記第1の半田膜の表面よりも突出するような段差を設けるようにし、

前記配設基板における前記段差が前記半導体チップにおける前記段差よりも大きくなるようにし、

前記支持体において、前記第1の半田膜の前記第2の半田膜と反対の側に、前記第1の電極膜の延出方向に沿った方向に延在する一溝部を形成し、

前記第1の半田膜および第2の半田膜のそれぞれと前記支持体との間に、第1のリード電極層および第2のリード電極層をそれぞれ形成し、

前記第1のリード電極層を、前記溝部の内部まで略一定の厚さで連続して形成し、かつ

前記第 1 のリード電極層により覆われた溝部の側壁間に前記半導体チップの側端面が位置するようにした

半導体発光素子の製造方法。

【請求項 2】

前記半導体チップにおける前記段差を A とし、前記配設基板における前記段差を B とすると、

$$1.2 \quad B / A \quad 3$$

の関係が成立するようにした

請求項 1 記載の半導体発光素子の製造方法。

【請求項 3】

前記半導体チップにおける前記段差を A とし、前記配設基板における前記段差を B とすると、

$$1.3 \quad B / A \quad 2.5$$

の関係が成立するようにした

請求項 1 記載の半導体発光素子の製造方法。

【請求項 4】

前記支持体は平坦面を有しており、前記第 1 の半田膜および第 2 の半田膜はその平坦面上に形成されており、

前記第 1 の半田膜および第 2 の半田膜の厚さが互いに異なるようにした

請求項 1 記載の半導体発光素子の製造方法。

【請求項 5】

前記半導体チップを、光共振器を有するレーザチップとして構成し、

前記第 1 の電極膜と前記第 1 の半田膜との接触面における前記第 1 の半田膜の輪郭線が、少なくとも、前記光共振器における共振方向と垂直な方向において、前記第 1 の電極膜の輪郭線よりも内側に位置するようにした

請求項 1 記載の半導体発光素子の製造方法。

【請求項 6】

基体の同一面側に第 1 の電極膜および第 2 の電極膜を形成してなる半導体チップと、支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなる配設基板とを含む半導体発光素子であって、

前記半導体チップは、前記第 1 の電極膜の表面と前記第 2 の電極膜の表面との間に、前記第 1 の電極膜の表面が前記第 2 の電極膜の表面よりも突出するような段差を有しており、

前記配設基板は、前記第 1 の半田膜の表面と前記第 2 の半田膜の表面との間に、前記第 2 の半田膜の表面が前記第 1 の半田膜の表面よりも突出するような段差を有しており、

前記支持体において、前記第 1 の半田膜の前記第 2 の半田膜と反対の側に、前記第 1 の電極膜の延出方向に沿った方向に延在する一溝部が設けられ、

前記第 1 の半田膜および第 2 の半田膜のそれぞれと前記支持体との間に第 1 のリード電極層および第 2 のリード電極層がそれぞれ設けられ、

前記第 1 のリード電極層は、前記溝部の内部まで略一定の厚さで連続して設けられ、

前記第 1 のリード電極層により覆われた溝部の側壁間に前記半導体チップの側端面が位置している

半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基体の同一面側に一対の電極膜を備えて構成された半導体チップを含む半導体発光素子、その半導体発光素子の製造方法、およびその製造方法で用いられる配設基板に関するものである。

【0002】

10

20

30

40

50

【従来の技術】

近年、短波長光の光源として、例えばGaNなどの窒化物半導体を用いた半導体レーザー素子などを有する半導体発光装置が開発されている。一般に、窒化物半導体を用いた半導体発光素子では、サファイア(Al_2O_3)などの絶縁基板上に、窒化物半導体からなるn型層、活性層およびp型層が順に積層形成されている。半導体発光素子の一对の電極膜のうち、p側電極は半導体層の最上層であるp型層上に形成され、n側電極はp型層と活性層のエッチングにより露出したn型層上に形成される。ここでは、絶縁基板、半導体層、p側電極およびn側電極を合わせて半導体チップと呼ぶ。

【0003】

半導体発光装置では、半導体チップは、サブマウントと呼ばれる配設基板に載置されている。半導体層で発生した熱を効率的に放散できるよう、半導体チップは、その半導体層側を配設基板に対向させた状態で、配設基板に載置されている。この配設基板において、半導体チップが載置される面には一对のリード電極層が形成されており、そのリード電極層の上には半田膜が形成されている。半導体チップを配設基板上に載置すると、半導体チップのp側電極とn側電極がそれぞれ半田膜を介して一对のリード電極層にそれぞれ接するようになっている。

10

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体発光素子では、半導体チップを配設基板に装着するとき、半導体チップのp側電極およびn側電極により押圧された半田膜が半導体層の側面に押し出され、半導体チップのpn接合部に付着する可能性があり、ショートの原因となるという問題がある。

20

【0005】

また、押し出された半田は、半導体チップのレーザー光の射出部分の近傍に付着することもある。このような場合には、レーザー光の形状が変化してしまう上、光出力が低下する。このようにレーザー光の形状が変化すると、特に、この半導体発光装置が光ディスク装置などに適用された場合には、トラッキング精度の低下につながるという問題がある。また、レーザー光の光出力が低下すると、定格出力を得るために多量の電流を半導体チップに流さなければならないことから、発熱量の増大を招くという問題がある。

【0006】

本発明は、かかる問題点に鑑みてなされたもので、その目的は、半田の付着に起因するpn接合部のショート、光形状の変化、および光出力の低下を防止することができる半導体発光素子、その製造方法および配設基板を提供することにある。

30

【0008】

【課題を解決するための手段】

本発明による半導体発光素子の製造方法は、半導体チップの第1の電極膜および第2の電極膜を、配設基板の第1の半田膜および第2の半田膜にそれぞれ貼り合わせる工程を含むと共に、半導体チップにおいて、第1の電極膜の表面と第2の電極膜の表面との間に、第1の電極膜の表面が第2の電極膜の表面よりも突出するような段差を設けるようにし、配設基板において、第1の半田膜の表面と第2の半田膜の表面との間に、第2の半田膜の表面が第1の半田膜の表面よりも突出するような段差を設けるようにし、配設基板における段差が半導体チップにおける段差よりも大きくなるようにし、支持体において、第1の半田膜の第2の半田膜と反対の側に、第1の電極膜の延出方向に沿った方向に延在する一の溝部を形成し、第1の半田膜および第2の半田膜のそれぞれと支持体との間に、第1のリード電極層および第2のリード電極層をそれぞれ形成し、第1のリード電極層を、溝部の内部まで略一定の厚さで連続して形成し、かつ第1のリード電極層により覆われた溝部の側壁間に半導体チップの側端面が位置するようにしたものである。

40

【0010】

また、本発明による半導体発光素子は、基体の同一面側に第1の電極膜および第2の電極膜を形成してなる半導体チップと、支持体の同一面側に第1の半田膜および第2の半田

50

膜を形成してなる配設基板とを含むものであって、半導体チップは、第1の電極膜の表面と第2の電極膜の表面との間に、第1の電極膜の表面が第2の電極膜の表面よりも突出するような段差を有しており、配設基板は、第1の半田膜の表面と第2の半田膜の表面との間に、第2の半田膜の表面が第1の半田膜の表面よりも突出するような段差を有しており、支持体において、第1の半田膜の第2の半田膜と反対の側に、第1の電極膜の延出方向に沿った方向に延在する一溝部が設けられ、第1の半田膜および第2の半田膜のそれぞれと支持体との間に第1のリード電極層および第2のリード電極層がそれぞれ設けられ、第1のリード電極層が溝部の内部まで略一定の厚さで連続して設けられ、第1のリード電極層により覆われた溝部の側壁間に半導体チップの側端面が位置しているものである。

【0013】

本発明による半導体発光素子の製造方法または配設基板では、半導体チップと配設基板とを貼り合わせると、第2の電極膜と第2の半田膜とが接触したのち、第1の電極膜と第1の半田膜とが接触する。従って、第2の半田膜の半田のはみ出しは生じても、第1の半田膜の半田のはみ出しは抑制される。半導体チップのpn接合部は、突出量の大きい第1の電極側に設けられるのが一般的であるため、pn接合部への半田の付着は防止される。

【0014】

また、支持体において、第1の半田膜を挟んで第2の半田膜と反対の側に溝部が形成されているため、第1の半田膜の半田がはみ出した場合でも、その半田が溝部に流れ込むため、（一般に、第1の電極膜近傍に設けられる）pn接合部への半田の付着が抑制される。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0017】

[第1の実施の形態]

図1は、第1の実施の形態に係る半導体レーザ素子1が用いられた半導体発光装置100の一例を表す図である。半導体発光装置100は、所定形状のパッケージ10の内部に半導体レーザ素子1を備えて構成されている。パッケージ10は、円板形状の支持ディスク11と、この支持ディスク11に取り付けられる円筒形状の蓋体12とを有している。蓋体12の長手方向一端面は閉塞されているが、その一端面には半導体レーザ素子1から射出されたレーザビームをパッケージ10外に取り出すための窓12aが形成されている。蓋体12は、例えば銅(Cu)または鉄(Fe)などの金属により構成されており、窓12aは透明なガラスあるいは樹脂により構成されている。ここで、半導体レーザ素子1は、本発明における「半導体発光素子」に対応する。

【0018】

支持ディスク11は、銅または鉄などの金属により構成されており、その表面(図1における前面)には、例えば直方体形状の載置板15が一体に形成されている。半導体レーザ素子1は、載置板15上に固定された板状部材である配設基板30と、その上に設けられたレーザチップ20とを備えて構成されている。載置板15および配設基板30は、レーザチップ20を支持するとともに、レーザチップ20の熱を放散する役割を有している。支持ディスク11には、支持ディスク11に対して絶縁性が保たれた一対のピン17, 18が設けられており、後述するリード電極層32, 33にそれぞれワイヤWを介して接続されている。なお、載置板15はヒートシンク、配設基板30はサブマウントとも呼ばれる。ここで、レーザチップ20は、本発明における「半導体チップ」の一具体例に対応する。また、配設基板30は本発明における「配設基板」の一具体例に対応する。

【0019】

図2は、本実施の形態に係る半導体レーザ素子のレーザチップ20の構造を表す断面図である。レーザチップ20は、サファイア(Al_2O_3)からなる結晶基板21を有している。なお、結晶基板21としては、サファイアその他、スピネル($MgAl_2O_4$)、窒化ガリウム(GaN)、ケイ素(Si)あるいは炭化ケイ素(SiC)を用いて形成しても

10

20

30

40

50

良い。結晶基板 2 1 の表面には、例えばケイ素などの n 型不純物をドーピングされた n 型 GaN からなる n 型コンタクト層 2 2 が形成されている。n 型コンタクト層 2 2 の厚さは、例えば、約 4 μm である。n 型コンタクト層 2 2 の表面には、ケイ素などの n 型不純物をドーピングされた n 型 AlGaIn からなる n 型クラッド層 2 3 が形成されている。n 型クラッド層 2 3 の厚さは、例えば、約 1.2 μm である。

【0020】

n 型クラッド層 2 3 の表面には、InGaIn により構成された活性層 2 4 が形成されている。活性層 2 4 は、例えば光閉じ込め層を有して構成されるもので、いわゆる発光層として機能するものである。活性層 2 4 の表面には、Mg などの p 型不純物をドーピングした p 型 AlGaIn からなる p 型クラッド層 2 5 が形成されている。p 型クラッド層 2 5 の厚さは、例えば約 0.8 μm である。p 型クラッド層 2 5 の表面には、例えば、Mg などの p 型不純物をドーピングした p 型 GaN からなる p 型コンタクト層 2 6 が形成されている。p 型コンタクト層 2 6 の厚さは、例えば約 0.3 μm である。p 型クラッド層 2 5 および p 型コンタクト層 2 6 の一部はエッチングにより除去されており、p 型クラッド層 2 5 およびコンタクト層 2 6 を挟み込むように、酸化ケイ素、アルミナなどの絶縁膜からなる狭窄層 2 7 が設けられている。

【0021】

p 型コンタクト層 2 6 の表面には、p 側電極 2 a が形成されている。p 側電極 2 a は、例えば、p 型コンタクト層 2 6 の側からニッケル (Ni) 層と金 (Au) 層とを順次積層して加熱処理により合金化したものである。n 型コンタクト層 2 2、n 型クラッド層 2 3、活性層 2 4、p 型クラッド層 2 5 および p 型コンタクト層 2 6 は、エッチングにより部分的に除去されており、n 型コンタクト層 2 2 の一部が露出している。この n 型コンタクト層 2 2 の露出表面に n 側電極 2 b が形成されている。n 側電極 2 b は、例えば、n 型コンタクト層 2 2 から順にチタン (Ti) 層、アルミニウム (Al) 層および金層を積層して加熱処理により合金化したものである。p 側電極 2 a および n 側電極 2 b は、いずれも、図 2 において紙面に垂直な方向に帯状に長く形成されている。

【0022】

p 側電極 2 a の表面および n 側電極 2 b の表面は、いずれも、結晶基板 2 1 の表面に対して平行であり、p 側電極 2 a が n 側電極 2 b よりも例えば 2.7 μm 突出している。すなわち、p 側電極 2 a の表面と側電極 2 b の表面 b との図中符号 A で示した段差は、例えば 2.7 μm となる。ここで、p 側電極 2 a は、本発明における「第 1 の電極膜」の一具体例に対応し、n 側電極 2 b は、本発明における「第 2 の電極膜」の一具体例に対応する。

【0023】

レーザチップ 2 0 は、図 2 において紙面に垂直な方向における両端部に、一对の図示しない反射鏡膜を有している。この反射鏡膜は、例えば二酸化ケイ素膜と酸化ジルコニウム (ZrO) 膜とを交互に積層した構造を有し、一方の反射鏡膜の反射率が他方の反射鏡の反射率よりも低くなるようになっている。活性層 2 4 において発生した光は、一对の反射鏡膜の間を往復して増幅されたのち、一方の反射鏡膜からレーザビームとして射出されるようになっている。

【0024】

図 3 は、配設基板 3 0 の構造を表す断面図である。配設基板 3 0 は、直方体形状を有する板状部材である支持体 3 1 上に、リード電極層 3 2、3 3 および半田膜 4 a、4 b を形成してなるものである。支持体 3 1 は、絶縁性があり、かつ、熱伝導率の高い材料が選択され、例えばダイヤモンド、酸化ベリリウム (BeO)、銅-タングステン合金 (CuW)、窒化アルミニウム (AlN)、六方晶窒化ホウ素 (cBN)、ケイ素 (Si) あるいは炭化ケイ素 (SiC) により構成されている。配設基板 3 0 の寸法は、例えば、厚さが 200 μm であり、幅 (図中左右方向の長さ) が 0.6 mm、奥行 (図中奥行方向の長さ) は 1 mm である。

【0025】

支持体 3 1 の上面は平滑面となっており、その平滑面上には、例えば厚さが 10 μm の一

10

20

30

40

50

対のリード電極層 3 2 , 3 3 が形成されている。リード電極層 3 2 , 3 3 は、金または金 - 錫合金などにより構成することができる。あるいは、リード電極層 3 2 , 3 3 は、配設基板 3 0 側から順にチタン層、白金層および金層を積層した構造としても良い。このリード電極層 3 2 , 3 3 は、図 1 に示したように、支持ディスク 1 1 (図 1) に設けられたピン 1 7 , 1 8 (図 1) とそれぞれワイヤ W により電氣的に接続されている。両リード電極層 3 2 , 3 3 の間には、約 5 0 μm の間隔が設けられている。ここで、リード電極層 3 2 , 3 3 は、本発明における「第 1 のリード電極層」および「第 2 のリード膜」の具体例にそれぞれ対応する。

【 0 0 2 6 】

配設基板 3 0 のリード電極層 3 2 , 3 3 の上には、第 1 半田膜 4 a および第 2 半田膜 4 b が形成されている。第 1 半田膜 4 a および第 2 半田膜 4 b は、いずれも、錫、金 - 錫合金、錫 - 白金合金 (S n P t) , インジウム - 錫合金 (I n S n) , インジウム (I n) などの低融点金属により形成されている。第 1 半田膜 4 a の厚さは 3 . 5 μm であり、第 2 半田膜 4 b の厚さは 7 μm である。すなわち、第 1 半田膜 4 a の表面と第 2 半田膜 4 b の表面との段差 B は 3 . 5 μm になる。ここで、第 1 半田膜 4 a および第 2 半田膜 4 b は、本発明における「第 1 の半田膜」および「第 2 の半田膜」の具体例にそれぞれ対応する。

10

【 0 0 2 7 】

[半 導 体 レーザ 素 子 の 製 造 方 法]

次に、本実施の形態に係る半導体レーザー素子の製造方法について説明する。

20

【 0 0 2 8 】

まず、図 2 に示したように、例えばサファイアよりなる結晶基板 2 1 の表面に、例えば M O C V D (Metal Organic Chemical Vapor Deposition) 法により、n 型 G a N よりなる n 側コンタクト層 2 2 、 n 型 A l G a N よりなる n 型クラッド層 2 3 、 G a I n N よりなる活性層 2 4 、 p 型 A l G a N よりなる p 型クラッド層 2 5 および p 型 G a N よりなる p 側コンタクト層 2 6 を順次成長させる。

【 0 0 2 9 】

n 側コンタクト層 2 2 から p 側コンタクト層 2 6 までの各層を成長させたのち、リソグラフィ法を用いて p 型コンタクト層 2 6 と p 型クラッド層 2 5 を一部エッチング除去し、そこに、例えば絶縁材料からなる狭窄層 2 7 を形成する。続いて、リソグラフィ法により、p 側コンタクト層 2 6 、 p 型クラッド層 2 5 、活性層 2 4 、および n 型クラッド層 2 3 を選択的に除去し、n 側コンタクト層 2 2 を露出させる。そののち、n 側コンタクト層 2 2 の露出部分上に n 側電極 2 b を選択的に形成する。n 側電極 2 b を形成したのち、p 側コンタクト層 2 6 の上に p 側電極 2 a を選択的に形成する。

30

【 0 0 3 0 】

p 側電極 2 a および n 側電極 2 b をそれぞれ形成したのち、結晶基板 2 1 を p 側電極 2 a の長さ方向 (図 2 における紙面に直交する方向) に対して垂直に所定の幅で分割する。そののち、分割した一対の側面に、一対の反射鏡膜をそれぞれ形成する。各反射鏡膜をそれぞれ形成したのち、結晶基板 2 1 を p 側電極 2 a の長さ方向と平行に所定の幅で分割する。これにより、レーザーチップが形成される。このレーザーチップの p 側電極 2 a の表面と n 側電極 2 b の表面との間には、図 2 に示したように、段差 A (2 . 7 μm) が形成されている。

40

【 0 0 3 1 】

次いで、支持体 3 1 の表面に、リード電極層 3 2 , 3 3 をメッキ、スパッタ法あるいは蒸着法により形成する。続いて、リード電極層 3 2 , 3 3 の表面に、第 1 半田膜 4 a および第 2 半田膜 4 b を蒸着法などにより形成する。これにより、配設基板 3 0 が形成される。この配設基板 3 0 の第 1 半田膜 4 a の表面と第 2 半田膜 4 b の表面との間には、段差 B (3 . 2 μm) が形成されている。

【 0 0 3 2 】

続いて、図 4 (A) に示したように、レーザーチップ 2 0 を上下反転させた状態で配設基板

50

30に重ね合わせ、p側電極2aおよびn側電極2bを第1半田膜4aおよび第2半田膜4bにそれぞれ接触させる。次に、図示しない加圧装置によって、レーザチップ20と配設基板30とを例えば5gの押圧力で加圧する。この加圧は、レーザチップ20の底面(図4では上面)と配設基板30の底面との平行状態を保ちつつ行う。さらに、図示しない加熱装置を用いて第1半田膜4aおよび第2半田膜4bを例えば約280に加熱し軟化させる。この加熱は、第1半田膜4aおよび第2半田膜4bの酸化を防止するために、窒素ガス(N₂)あるいは水素ガス(H₂)またはそれらの混合ガスの雰囲気中において行うことが好ましい。

【0033】

ここで、配設基板30における段差B(3.5μm)がレーザチップ20における段差A(2.7μm)よりも大きいため、レーザチップ20と配設基板30とを重ね合わせて加圧すると、最初にn側電極2bが第2半田膜4bに接し、そののちp側電極2aが第1半田膜4aに接する。すなわち、第1半田膜4aの(加圧方向における)変形量は、第2半田膜4bの変形量よりも小さい。そのため、図4(B)に示したように、n側電極2bの近傍における第2半田膜4bのはみ出しは生じても、p側電極2aの近傍における第1半田膜4aのはみ出しは抑えられる。このようにして、図4(B)に示したように、配設基板30とレーザチップ20とが貼り合わせられる。また、p側電極2aとリード電極層32が接続され、n側電極2bとリード電極層33が電氣的に接続される。

【0034】

配設基板30とレーザチップ20との貼り合わせが完了したのち、配設基板30の裏面(すなわち、レーザチップ20側の面と反対の面)を、支持ディスク11(図1)と一体に形成された載置板15に、例えば半田付けにより接着する。続いて、配設基板30のリード電極層32とピン17とをワイヤWで接続し、リード電極層33とピン18とをワイヤWで接続する。最後に、別途形成した蓋体12を支持ディスク11に配設する。これにより、図1に示した半導体発光装置100が形成される。

【0035】

[実施の形態の効果]

次に、本実施の形態の効果について説明する。図4(A)および(B)に示したように、配設基板30における段差B(3.5μm)がレーザチップ20における段差A(2.7μm)よりも大きいため、レーザチップ20と配設基板30とを平行に重ね合わせて加熱すると、最初にn側電極2bが第2半田膜4bに接し、そののち、p側電極2aが第1半田膜4aに接する。従って、n側電極2bに対向する第2半田膜4bが外部にはみ出すことはあっても、p側電極2aに対向する第1半田膜4aの外部へのはみ出しは抑えられる。pn接合部(すなわち、n型クラッド層23、活性層24およびp型クラッド層25の積層部分)はp側電極2aの近傍に設けられているため、p側電極2aの側における第1半田膜4aのはみ出しが生じなければ、pn接合部のショートが生じることは無い。

【0036】

図5は、レーザチップ20における段差Aと配設基板30における段差Bの比とショート不良との関係を表す特性図である。ここでは、レーザチップ20における段差Aと配設基板30における段差Bの比を変えて複数の半導体レーザ素子1を形成し、それぞれについてショート不良についての歩留まりを調べたものである。図5において、歩留まり100%とは、ショート不良が全く発生しなかったことを意味する。

【0037】

図5から、レーザチップ20の段差Aに対する配設基板30の段差Bの比、すなわちB/Aが1を越えると、歩留まりが大幅に向上している(すなわち、ショート不良の発生が大幅に減少している)ことが分かる。これは、B/Aが1より大きいときには、図4(B)に示したように、p側電極2a側の側における第1半田膜4aのはみ出しが生じにくいいためである。

【0038】

この技術分野においては、pn接合部のショートに起因する不良については、一般に80

10

20

30

40

50

%以上の歩留まりが必要とされる。そのため、図5から、

$$1.2 \quad B/A \quad 3$$

であることがより望ましい。なお、上限の3という値は、 B/A がこれ以上大きくなると、 n 側電極51の近傍に多量の半田が押し出され、好ましくないという理由で定めたものである。

【0039】

なお、ショート不良に関する歩留まりとして90%以上が要求される場合には、図5から、

$$1.3 \quad B/A \quad 2.5$$

であることが望ましい。

10

【0040】

以上説明したように、本実施の形態によれば、第1半田膜4aと第2半田膜4bとの段差を p 側電極2aと n 側電極2bとの段差よりも大きくしたので、第2半田膜4bがはみ出すことはあっても、第1半田膜4aのはみ出しは生じにくくなり、従って、半田のはみ出しに伴う pn 接合部のショートの発生を抑えることが可能になる。また、 p 側電極2aの近傍の半田のはみ出しが防止されることから、レーザ光の発光部への半田の付着に起因するビーム形状変化、ビーム強度の低下などの問題も無くなる。

【0041】

また、レーザチップ20の段差Aに対する配設基板30の段差Bの比(B/A)を1.2以上3以下とすれば、 pn 接合部のショート歩留まりを80%以上にすることができる。さらに、この比を1.3以上2.5以下とすれば、 pn 接合部のショート歩留まりを90%以上にすることができる。

20

【0042】

加えて、本実施の形態では、配設基板30の表面を平坦面とし、リード電極層32, 33を互いに同じ厚さにして、第1半田膜4aおよび第2半田膜4bの厚さのみで配設基板30における段差Bを決めるようにしたため、簡単な方法で、段差Bを決めることができる。なお、配設基板30の表面自体に段差部分を設けたり、リード電極32, 33の厚さを違えたりすることも可能である。また、半田膜を2層以上の積層膜とし、特定の一層の厚さを変えるようにしても良い。さらに、本実施の形態では、第1半田膜4aおよび第2半田膜4bを配設基板30に設けたが、レーザチップの p 側電極2aと n 側電極2bに設けるようにしても良い。

30

【0043】

[変形例]

図6は、第1の実施の形態におけるレーザチップの変形例を表す図である。図6に示したレーザチップ20Aは、 p 側電極および狭窄層の形状を除いて、第1の実施形態のレーザチップ20と同様に構成されている。以下、第1の実施の形態と同一の構成要素には同一の符号を付し、その詳細説明は省略する。変形例に係る狭窄層28は、 p 型コンタクト層26および p 型クラッド層25がエッチングにより除去された部分に形成されているが、この狭窄層28は、その上面が p 型コンタクト層26に達しないような厚さに形成されている。すなわち、 p 型コンタクト層26が狭窄層28よりも上方に突出した構造になる。また、この変形例における p 側電極29は、突出した p 型コンタクト層26およびその両側の狭窄層28の上面を覆うように形成される。

40

【0044】

レーザチップ20Aを、図4に示した配設基板30に貼り合わせることで、図1に示したような半導体レーザ素子を得ることができる。この変形例においても、レーザチップ20Aの段差(p 側電極29の最上面と n 側電極28の上面との段差)Aよりも配設基板30(図4)における第1半田膜4aと第2半田膜4bとの段差Bを大きくすれば、 pn 接合部におけるショートの発生を防止することが可能になる。

【0045】

[第2の実施の形態]

50

次に、本発明の第2の実施の形態について説明する。図7は、本実施の形態に係る半導体レーザ素子の要部を表す断面図である。本実施の形態では、配設基板30Aの構成が異なる以外は、第1の実施の形態と同様である。以下、第1の実施の形態と同一の構成要素には同一の符号を付し、その詳細説明は省略する。

【0046】

図7に示したように、配設基板30Aの表面において、p側電極2aと対向する第1半田膜4aの近傍には溝45が形成されている。溝45の形成位置は、両半田膜4a, 4bの間ではなく、第1半田膜4aを挟んで第2半田膜4bと反対の側に形成されている。溝45は、深さが50 μ m、幅が100 μ mであり、p側電極2aの延出方向(図中Y方向)と平行に、すなわち図7では紙面に垂直な方向に長く形成されている。溝45は、例えば

10

【0047】

支持体31の表面と平行で且つp側電極2aの延出方向(図中Y方向)に直交する方向をX方向と定義すると、X方向において、(リード電極層32により覆われた)溝45の2つの側壁dの間にレーザチップ20の側端面cが位置するようになっている。従って、仮にp側電極2aに対向する第1半田膜4aのはみ出しがあったとしても、はみ出した半田は、レーザチップ20のpn接合部に向かわずに、リード電極層32に沿って溝45の中に流れ込む。これにより、半田のレーザチップ20のpn接合部への付着がさらに抑制される。

20

【0048】

このように、本実施の形態では、配設基板30において、p側電極2aに対向する第1半田膜41の傍に溝45を形成したため、仮にp側電極2aの側から半田のはみ出しがあったとしても、はみ出した半田のpn接合部への付着がさらに確実に抑制される。従って、第1の実施の形態よりも、さらにショート不良の発生を抑制することが可能になる。加えて、第1半田膜4aの下側のリード電極層32を溝45内にまで連続して形成したため、はみ出した半田を溝45の内部に効率的に導くことができる。

【0049】

なお、本実施の形態は、配設基板30の第1半田膜4aと第2半田膜4bとの段差Bが、レーザチップ20のp側電極2aとn側電極2bとの段差Aより小さい場合、あるいは同じ場合にも適用することができる。すなわち、配設基板30の第1半田膜4aの傍に溝45を形成することにより、はみ出した半田を溝に流し込むことができ、従って、pn接合部のショートの発生を抑制することができる。

30

【0050】

[第3の実施の形態]

次に、本発明の第3の実施の形態について説明する。図8は、本実施の形態に係る半導体レーザ素子を示す断面図であり、図9は図8におけるIX-IX線矢視断面図である。本実施の形態では、第1半田膜4aの形状が異なる以外は、第1の実施の形態と同様である。以下、第1の実施の形態と同一の構成要素には同一の符号を付し、その詳細説明は省略

40

【0051】

本実施の形態では、図9に示したように、第1半田膜4aの接触面(図中上面)の輪郭線C1は、少なくともX方向において、p側電極2aの接触面(図中下面)の輪郭線C2よりも内側に位置している。また、より好ましくは、第1半田膜4aの接触面の面積が、p側電極2aの接触面の面積よりも小さくなるよう形成されている。このように構成されているため、レーザチップ20と配設基板30との貼り合わせの際に第1半田膜4aが外側に向けて変形しても、p側電極2aの側端面までは達しにくい。従って、pn接合部にお

50

ける半田の付着を抑制することができる。

【0052】

ここで、本実施の形態の効果の具体例について説明する。p側電極2aを図9に示したような長方形形状に形成すると共に、その長辺を700 μ mとし、短辺を250 μ mとした。一方、第1半田膜4aを図9に示したような長方形形状に形成すると共に、その長辺を680 μ mとし、短辺を200 μ mとした。また、第1半田膜4aの輪郭線C1は、X方向においてp側電極2aの輪郭線C2よりも内側に位置し、Y方向においてp側電極2aの輪郭線C2よりも外側に突出するようにした。レーザチップ20と配設基板30とを貼り合わせ、レーザチップ20のpn接合部分のショートの発生を検査したところ、ショート歩留まりは98%であった。一方、p側電極2aと第1半田膜4aの接触面形状が同じ（いずれも、一辺が700 μ mで他辺が250 μ mの長方形）であり、p側電極2aの輪郭線と第1半田膜4aの輪郭線とが重なり合っている場合には、ショート歩留まりは80%であった。すなわち、本実施の形態により、ショート歩留まりが約1.2倍に向上することが分かった。

10

【0053】

なお、本実施の形態では、第1半田膜4aの接触面の輪郭線C1が、X方向とY方向の両方において、p側電極2aの輪郭線C2よりも内側に位置するようにしても良い。

【0054】

なお、本実施の形態は、配設基板30の第1半田膜4aと第2半田膜4bとの段差Bが、レーザチップ20のp側電極2aとn側電極2bとの段差Aより小さい場合、あるいは同じ場合にも適用することができる。すなわち、半田膜4aの輪郭線をp側電極2aの輪郭線の内側に位置させることにより、半田のp側電極2aの外側へのはみ出しを抑制し、これによりpn接合部のショートの発生を防止することができる。また、本実施の形態では、第2の実施の形態の溝45を配設基板30に形成しても良い。

20

【0055】

以上、いくつかの実施の形態および変形例を挙げて本発明を説明したが、本発明は、これらの実施の形態および変形例に限定されるものではなく、種々の変形が可能である。例えば、本発明は、半導体レーザ素子に限定されるものではなく、発光ダイオード(LED)に適用しても良い。また、半導体発光素子100の構造としては、図1に示したものの他に、種々の構造が可能である。

30

【0056】

【発明の効果】

以上、説明したように、請求項1ないし請求項5に記載の半導体発光素子の製造方法、請求項6に記載の半導体発光素子、または請求項7に記載の配設基板によれば、半導体チップと支持基板とを第1の半田膜および第2の半田膜を介して重ね合わせる際に、第1の電極膜（突出量の多い方の電極膜）に接する第1の半田膜の変形量を、第2の電極膜に接する第2の半田膜の変形量よりも小さくするようにしたので、第1の電極膜側での半田のはみ出しが生じにくくなる。従って、（一般に、第1の電極膜の側に設けられる）pn接合部への半田の付着は生じにくくなり、pn接合部におけるショートを防止することができるという効果を奏する。さらに、pn接合部への半田の付着が生じにくいことから、ビーム形状の変化およびビーム出力の低下を防止することができるという効果を奏する。

40

【0057】

また、第1の電極膜と第2の電極膜との段差よりも、第1の半田膜と第2の半田膜との段差が大きくなるようにしたので、半導体チップと配設基板とを重ね合わせる際、まず第2半田膜に第2の電極膜が接し、そののち、第1の半田膜に第1の電極膜が接する。従って、半田のはみ出しは主に第2の電極膜の側で生じ、第1の電極膜の側では生じにくくなる。従って、一般に第1の電極膜側に設けられるpn接合部への半田の付着は生じにくくなり、pn接合部におけるショートを防止することができるという効果を奏する。さらに、pn接合部への半田の付着が生じにくいことから、ビーム形状の変化およびビーム出力の低下を防止することができる。

50

【 0 0 5 8 】

さらに、支持体において、第 1 の半田膜を挟んで第 2 の半田膜と反対の側に溝部を形成するようにしたので、仮に第 1 の半田膜がはみ出したとしても、溝部に流れ込むため、p n 接合部への半田の付着が生じにくくなる。従って、半田のはみ出しに伴う p n 接合部におけるショート、ビーム形状の変化およびビーム出力の低下を防止することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の半導体レーザ素子が適用される半導体発光装置の斜視図である。

【図 2】図 1 に示した半導体レーザ素子のレーザチップの構造を表す断面図である。

【図 3】図 1 に示した半導体レーザ素子の配設基板の構造を表す断面図である。

10

【図 4】図 1 に示した半導体レーザ素子の製造方法を説明するための工程毎の断面図である。

【図 5】第 1 の実施の形態の効果の説明するための特性図である。

【図 6】第 1 の実施の形態の変形例に係る半導体レーザ素子のレーザチップの構造を表す断面図である。

【図 7】本発明の第 2 の実施の形態に係る半導体レーザ素子の要部を説明するための断面図である。

【図 8】本発明の第 3 の実施の形態に係る半導体レーザ素子の要部を説明するための断面図である。

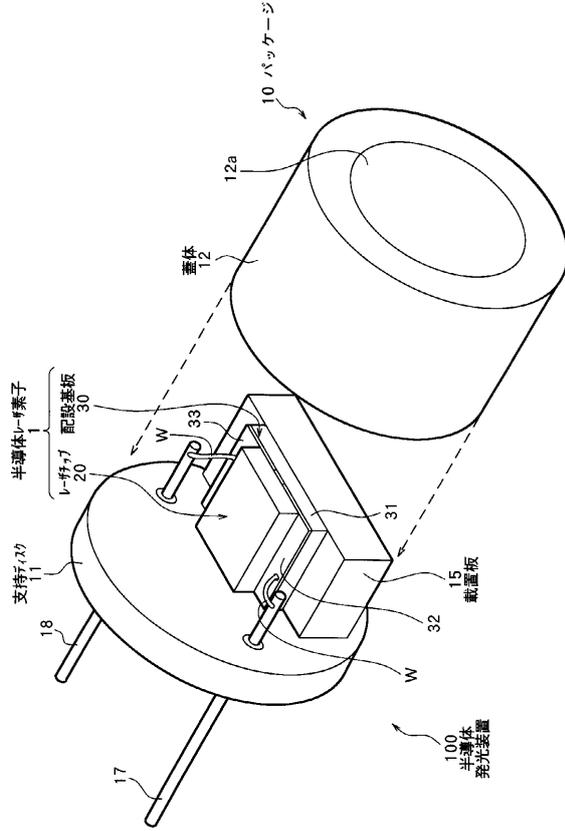
【図 9】図 8 における I X - I X 矢視断面図である。

20

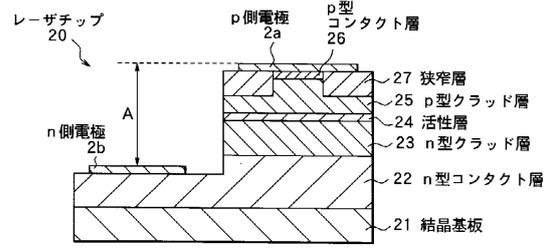
【符号の説明】

1 ... 半導体レーザ素子、2 a ... p 側電極、2 b ... n 側電極、4 a ... 第 1 の半田膜、4 b ... 第 2 の半田膜、1 0 ... パッケージ、1 1 ... 支持ディスク、1 2 ... 円筒部、2 0 , 2 0 A , 2 0 B , 2 0 C ... レーザチップ、2 1 ... 結晶基板、2 2 ... n 型コンタクト層、2 3 ... n 型クラッド層、2 4 ... 活性層、2 5 ... p 型クラッド層、2 6 ... p 型コンタクト層、3 0 ... 配設基板、3 1 , 3 2 ... リード電極層、4 5 ... 溝、1 0 0 ... 半導体発光装置。

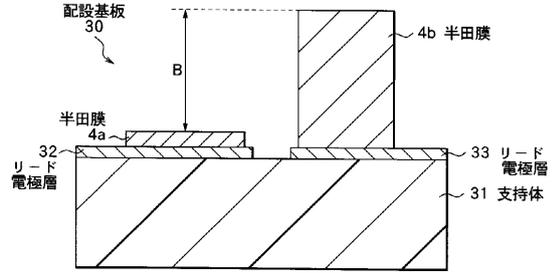
【図1】



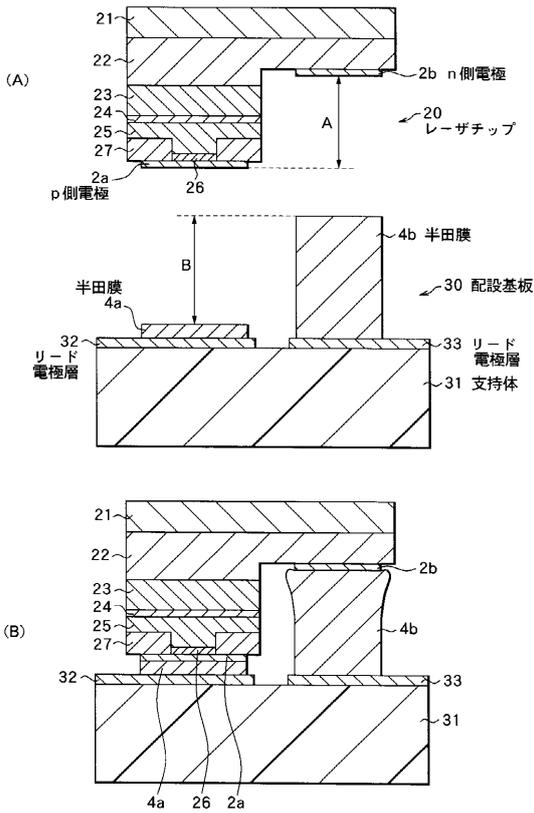
【図2】



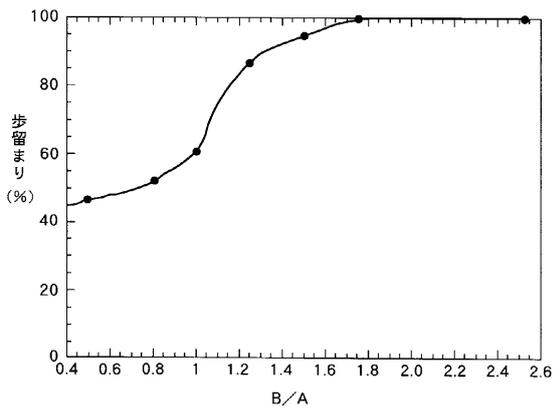
【図3】



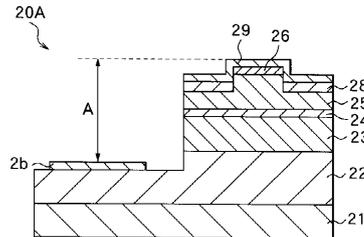
【図4】



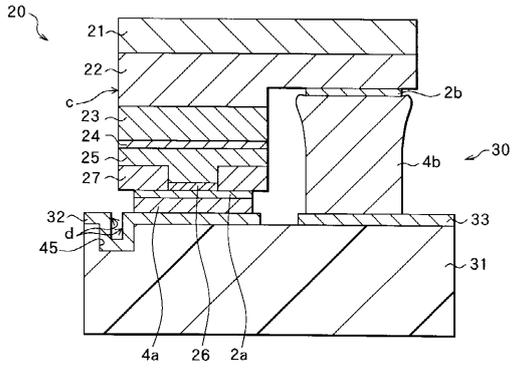
【図5】



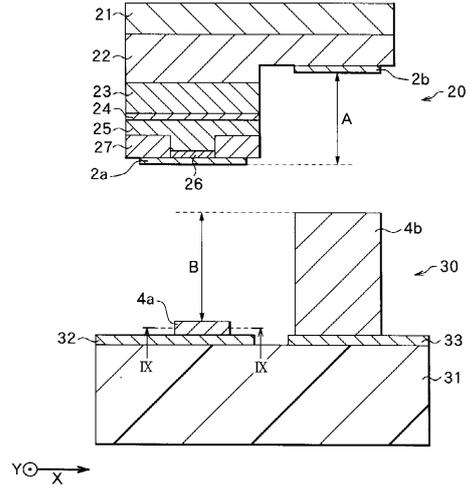
【図6】



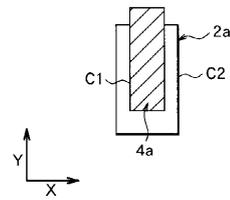
【図7】



【図8】



【図9】



フロントページの続き

- (56)参考文献 国際公開第96/03776号
特開平11-274634号公報
特開平11-284098号公報
特開平8-321655号公報
実願平3-58036号(実開平5-11470号)のCD-ROM
特開昭61-102787号公報
実願昭63-151093号(実開平2-72573号)のマイクロフィルム
実願昭63-156866号(実開平2-76864号)のマイクロフィルム

(58)調査した分野(Int.Cl., DB名)

H01L 33/00
H01S 5/00-5/50