

發明專利說明書 200406918

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92115690

※ 申請日期：92 6 10 ※IPC 分類：H01L 29/36

壹、發明名稱：(中文/英文)

形成半導體裝置之方法及其結構

METHOD OF FORMING A SEMICONDUCTOR DEVICE AND
STRUCTURE THEREFOR

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商半導體組件工業公司

SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C.

代表人：(中文/英文)

威廉 L. 喬治

WILLIAM L. GEORGE

住居所或營業所地址：(中文/英文)

美國亞歷桑納州鳳凰城市東麥克道威爾路 5005 號

5005 E. MCDOWELL ROAD PHOENIX, ARIZONA 85008 U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 4 人)

姓 名：(中文/英文)

1.拉傑斯 S. 奈爾

RAJESH S. NAIR

2.日亞 哈希

ZIA HOSSAIN

3.石黑 武

TAKESHI ISHIGURO

4.摩哈梅德 艾瑪

MOHAMED IMAM

住居所地址：(中文/英文)

1.美國亞歷桑納州錢德勒市北米遜公園大道 1111 號 2093 室

1111 N. MISSION PARK BLVD. #2093, CHANDLER, AZ 85224,
U.S.A.

2.美國亞歷桑納州田帕市南赫索頓路 7472 號

7472 S. HAZELTON LANE, TEMPE, AZ 85283, U.S.A.

3.日本福島縣會津若松市城北町 7-26

7-26, JOHOKU-MACHI, AIZUWAKAMATSU-SHI,
FUKUSHIMA-KEN, JAPAN 965-0043

4.美國亞歷桑納州田帕市西艾佛瑞達路 442 號

422 W. EL FREDA ROAD, TEMPE, AZ 85284, U.S.A.

國 籍：(中文/英文)

1.4.均美國 U.S.A.

2.孟加拉 BANGLADESH

3.日本 JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 美國 2002 年 07 月 16 日 10/195,166

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002 年 07 月 16 日 10/195,166

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本專利申請於2002年7月16日提出美國專利申請，專利申請案號為10/195166。

【先前技術】

本發明一般係關於電子裝置，更特定而言，係關於形成半導體裝置的方法及結構。

過去，半導體工業利用各種技術生產具有低導通電阻及高崩潰電壓的電晶體。一特定技術利用排列於P型半導體基板上的複數個P與N型帶。2000年8月1日頒發給Tatsuhiko Fujihira的美國專利案第6,097,063號標題為「具有複數個平行漂移區域之半導體裝置」說明了該結構之一範例。當該裝置當作一高側驅動器連接時，經常發生鎖定(latch-up)現象，並使電晶體遭到損壞或破壞。另一個問題是，在裝置製成後，導通電阻經常變化。進一步，為獲得可用的導通電阻，該等帶必須深且窄，導致生產成本升高。一般而言，深度大於兩微米，寬度大於一點五微米。該縱橫比使得該裝置難於製造。

因此，希望具有低導通電阻的電晶體，其能夠當作高側驅動器連接而又不鎖定或損壞電晶體，並減少生產成本，而且其導通電阻在製成後不漂移。

【發明內容】

本發明揭示一種形成半導體裝置(10、40、45、50)的方法，在一所形成的導電型式與一基板(11)相反的第一區域(12)內

形成複數個P與N帶(16、17)。該等複數個P與N帶協助提供低導通電阻(on-resistance)。該第一區域的一部分(15)位於P與N帶之下，保護該半導體裝置免受施加於其汲極的高電壓。一基層(41)與一覆蓋層(48)進一步減少該半導體裝置的導通電阻。

【實施方式】

本發明說明包括形成除其他特徵外還具有低導通電阻及高崩潰電壓的半導體裝置的方法。

圖1為說明生產階段早期之半導體裝置10之一項具體實施例的部分等視放大斷面示意圖。裝置10包括一提供有第一導電類型(最好為P型)的半導體基板11。具有與該第一導電類型相反之一第二導電類型之一第一區域12係形成於基板11之表面並延伸入基板11。圖中虛線所示一般說明第一區域12的兩交替邊界，可使用各種技術形成第一區域12，包括在基板11表面形成一層的技術，例如藉由在基板11的表面形成一磊晶層或形成一井或摻雜區域。在該較佳具體實施例中，第一區域12係藉由熟悉技術人士熟知的離子植入或擴散技術形成為一N型井。

圖2為在形成各種其他元件後，處於後續生產階段的半導體裝置10的進一步部分等視放大斷面示意圖。裝置10包括一汲極區域或汲極27、其一部分形成一通道區域26的一井13、於井13內形成之一源極區域或源極18以及協助使裝置10具有低導通電阻與高崩潰電壓的一組漂移帶14。

低導通電阻使裝置10具有大載流量，而高崩潰電壓允許

裝置10用於利用高電壓的應用領域。裝置10還具有低電阻率，從而可使裝置10的所需導通電阻或所需功率消耗位準較小。通常，生產既具有高崩潰電壓又具有低導通電阻或高載流量的半導體裝置是困難的或昂貴的。低導通電阻通常由低電阻電流路徑實現，而由於實現低電阻所需的高電荷濃度，低電阻區域一般只具有低崩潰電壓。但是，形成裝置10的方法即提供了高崩潰電壓又提供了低導通電阻。

汲極27係形成於第一區域12的表面並延伸入第一區域12。汲極27係藉由廣為人知的技術(如離子植入、擴散及其它類似技術)形成為具有該第二導電類型的區域。汲極27的摻雜濃度一般較高，以向汲極電極28提供低電阻連接。

漂移帶14係形成於第一區域12的一第一區段。漂移帶14係藉由形成複數個交替帶而生成，該等交替帶包括鄰接該第二導電類型之一第二帶17的該第一導電類型的一第一帶16。在該項較佳具體實施例中，各帶17之各側鄰接一鄰近帶16，因此，各帶17係位於兩個帶16之間。在其他具體實施例中，外側帶可為帶17或帶16。如箭頭所示，一般而言，所有形成之帶16與17皆從汲極27附近向井13與源極18橫向越過第一區域12延伸一第一距離或一橫向距離21。如下文將說明的，各帶16與17係形成為具有高度22及寬度23，其足以容納所需的電荷濃度及相關的摻雜濃度。一般而言，帶14的縱橫比不小於二比一(2:1)，最好大於三比一(3:1)。一般說來，對於特定生產過程而言，高度22應儘可能大，以提供最低電阻，而對於特定高度22，寬度23應儘可能小，

以便提供帶14的最大縮緊密度(packing density)。漂移帶14係形成於第一區域12內，使第一區域12的一部分15(一般由一箭頭表示)位於漂移帶14之下。

井13係形成於第一區域12之一第二區段，具有第一導電類型，一般係在形成漂移帶14之後形成。源極18係形成為井13內具有第二導電類型的區域。在第一區域12內形成井13及源極18有助於裝置10用於各種應用領域，包括通常稱為高側驅動器的應用。可於井13內鄰近源極18形成一可選源極增強19，以減少裝置10內的寄生影響。井13、源極18及可選增強19均係採用熟悉技術人士熟知的半導體處理技術形成。源極18位於距井13邊緣一第二距離的位置，以在井13內形成一通道區域26。源極18與井13之邊緣之間第二距離的長度形成通道區域26之通道長度。井13與漂移帶14的第一端20橫向間隔一第三距離30，使第一區域12的一第三區段24(一般由一箭頭表示)係置於井13與漂移帶14之端20之間。一閘極絕緣體25係形成為至少覆蓋通道區域26，且可在源極18的一部分上延伸。一絕緣層29係形成於裝置10的一部分之上，開口形成於其中，以利於形成接觸汲極27的汲極電極28及接觸源極18及可選增強19的源極電極33。一閘極34係形成為覆蓋絕緣體25及通道區域26，一閘極電極31係形成為與閘極34電接觸。汲極27與帶14間隔距離36(一般以箭頭表示)，以利於在汲極27與帶14之間形成第一區域12的一第四區段。

第三區段24可改善裝置10的崩潰電壓。若帶14鄰接井13，

則閘極絕緣體25下之區域內的峰值電場即高於井13與帶14分離時的電場。形成第三區段24即為提供該分離。而且，井13一般處於接地電位，而帶14區域處於較高電位，因此，若井13接觸帶17，則在相交處形成一空乏區域，該空乏區域可減少該電場在井13的區域上擴展。這通常稱為箍斷效應(pinch-off effect)。因此，區段24將井13與帶17分離，以使峰值電場最小，也使箍斷效應最小。可選擇分離量或距離30的值以使峰值表面電場最小。該峰值表面電場(及因此在崩潰開始前可施加的最大電壓)發生於閘極電極31之下的區域，特別是該閘極絕緣體25之下的區域。距離30至少應大於零，一般為一微米。

因為第一區域12與基板11係導電類型相反，因此，沿該兩區域的介面形成一P-N接面及一相關空乏區域。裝置10一般與若干其他半導體裝置(圖2未顯示)一起形成於基板11之上，因此基板11一般係連接至最低電壓，如接地，以確保其他半導體裝置的運作。由第一區域12與基板11形成的該空乏區域阻止電流自汲極27及漂移帶14流入基板11，藉此使裝置10與基板11及可於基板11上形成的其他裝置(圖中未顯示)絕緣，以防止損壞裝置10。當裝置10處於關閉狀態時，一高電壓係施加於汲極27與源極18之間。因為區域13係封閉於井12內，故裝置10即可用於如高側驅動器應用之類的應用。

因為帶16與17導電類型相反，故在二者之間的介面上係形成一P-N接面及一相關的空乏區域，並延伸入各帶16及

17。帶17與第一區域12具有相同導電類型，因此，當裝置10處於開啟狀態時，帶17及第一區域12皆支援電流流經裝置10。熟悉技術人士應認識到，在開啟狀態，從汲極27至源極18有一電壓降，導致沿汲極27附近之漂移帶14的某些輕度空乏。藉由提供一交替傳導路徑降低裝置10的導通電阻，第一區域12有助於使該輕度空乏最小化。當裝置10開啟時，電流自汲極27經過帶17及第一區域12的部分15，再經過第三區段24流至通道區域26，然後至源極18。第一區域12及帶17形成多個平行路徑，且功能類似於全部並聯連接在一起支援電流的電阻器。因為並聯電阻器形成一等效電阻器，其值低於該並聯路徑之最大電阻器，第一區域12形成之附加電阻器降低了裝置10的總導通電阻。當裝置10關閉時，帶16與17之間的空乏區域協助空乏帶16與17的移動電荷載子。而且，如上所述，與基板11的互動也消耗了區域12的移動電荷載子。空乏區域12及帶16與17的移動電荷載子減少了裝置10內的峰值電場，藉此提高了崩潰電壓並防止損壞裝置10。此外，空乏區域有利於摻雜區域12及帶16與17達到所需崩潰電壓要求的較高摻雜濃度，藉此降低帶17的電阻率及裝置10的導通電阻。若沒有空乏區域，為實現同樣的崩潰電壓，區域12及帶17將必須具有較低的摻雜濃度及相關的較高電阻率。

汲極27及帶14之間的區域12的第四區段協助為裝置10提供低導通電阻。據信，在源極至汲極之電壓大於三到五伏特(3至5伏特)時，汲極27附近可能產生箍斷效應，該箍斷效

應將降低載流量，藉此提高導通電阻。藉由使汲極27與帶14間隔距離36，該箍斷效應，及對應地該導通電阻均降低。選定距離36以根據開啟狀態時的電壓降提供理想的崩潰電壓且電阻率最小，藉此使裝置10緊湊小巧。距離36應至少大於零，一般應約為自汲極27至源極18的整個距離的百分之二十到四十(20至40%)，最好至少為該距離的四分之一到三分之一。

除距離21、距離30、距離36、高度22及寬度23外，還選擇帶16與17及第一區域12的電荷濃度及摻雜濃度，以提供在裝置10的關閉狀態空乏帶16與17，並在導通電阻與崩潰電壓之間折衷平衡。同樣地，選擇區域12的電荷濃度以便為基板11提供最大空乏區域，並仍可提供低導通電阻。基板11的摻雜濃度一般約為 $5E13$ 至 $5E15$ 原子/釐米³，最好約為 $1E14$ 至 $2E14$ 原子/釐米³。區域12沿其深度的電荷濃度約為 $1E12$ 至 $3E12$ 原子/釐米²，最好為 $1E12$ 原子/釐米²，以協助提供區域12及基板11所需的空乏。在一項具體實施例中，裝置10係以矽為其半導體材料而形成，據信，消耗一區域的最大電荷濃度係約為限制該區域之接面數的 $2E12$ 原子/釐米²倍的電荷。例如，各帶17在各帶16的各側具有一P-N接面，因此，各帶17具有兩個P-N接面。在此情況下，各帶17沿其寬度23的最大電荷濃度約為 $4E12$ 原子/釐米²。因此，帶17與內帶16可具有約為 $4E12$ 原子/釐米²的最大電荷濃度，一般而言，形成的電荷濃度約為 $2E12$ 原子/釐米²。漂移帶14外側的帶16具有的最大電荷濃度約為 $2E12$ 原子/釐米²，一般為

1E12原子/釐米²，因為它們僅由一個接面限制。熟悉技術人士將理解，形成規定電荷濃度係一理想目標，由於生產中的變化，實際電荷濃度也可能變化，但是，實際電荷濃度的變化不應超過規定電荷濃度的約百分之五(5%)。

在使用裝置10當作高側驅動器的一範例中，裝置10係具有一P型基板11及井13、一N型源極18及汲極27的N通道橫向電晶體。在該範例中，一高電壓，例如五百到七百伏特(500至700伏特)之間的電壓可施加於汲極27，一低電壓，例如零伏特可施加於源極18。在該項具體實施例中，裝置10係形成為具有五百到七百伏特(500至700伏特)之間的崩潰電壓。為支援該崩潰電壓，形成的寬度23為一到三微米之間(1至3微米)，高度22為三到十微米(3至10微米)，漂移帶14具有約十二(12)個帶17。還在該項具體實施例中，距離21為四十到六十微米(40至60微米)，以在較大距離擴散電壓，並協助在較小區域內提供高崩潰電壓。在該項具體實施例中，第一區域12係形成為具有約1E12原子/釐米²的電荷濃度，並因與基板11及帶16形成的接面而消耗電荷。

圖3為一半導體裝置40的部分等視放大斷面示意圖，該裝置係圖2說明之半導體裝置10的一項替代具體實施例。半導體裝置40包括在第一區域12內或在區域12之表面且在漂移帶14之下形成的具有第一導電類型的一附加基礎層41。形成基礎層41係為鄰接及形成除與漂移帶14外與第一區域12的實體及電接觸。基礎層41一般在形成第一區域12後形成，並係採用廣為人知的技術形成，如離子植入或摻雜擴散或

選擇性磊晶沈積之類。在一項具體實施例中，基礎層41係形成為第一區域12內的一井，隨後，帶17形成於該井的一部分中，留出井內的鄰近部分位置形成帶16。因基礎層41的導電與帶17相反，基礎層41即沿與各帶17之下的介面形成一附加P-N接面，並提供自該介面垂直延伸入帶17的一相關空乏區域。該附加P-N接面為帶17提供三個空乏區域，由帶16的各側形成一個，由層41的底部形成一個。該三個空乏區域可協助空乏帶14及部分15的移動電荷載子。現在，帶17具有了較高的電荷濃度及相關的摻雜濃度，藉此進一步降低各帶17的電阻率及裝置40的導通電阻。在該項具體實施例中，帶17係形成為具有約介於 $2E12$ 原子/釐米²與 $4E12$ 原子/釐米²之間的電荷濃度，最好約為 $3E12$ 原子/釐米²。現在，第一區域12具有兩個空乏區域，一個自與基板11的介面延伸，另一個自與基礎層41的介面延伸。因此，第一區域12的電荷濃度提高了，形成在約為 $1E12$ 原子/釐米²至 $3E12$ 原子/釐米²之間，最好為約 $2E12$ 原子/釐米²，藉此進一步降低第一區域12的電阻率並進一步降低裝置40的導通電阻。

圖4為一半導體裝置45的部分等視放大斷面示意圖，該裝置係圖2說明之半導體裝置10的一項替代具體實施例。半導體裝置45包括在漂移帶14表面形成之具有第一導電類型的一附加覆蓋層48。覆蓋層48一般在形成漂移帶14後形成，並係採用廣為人知的技術形成，如離子植入或磊晶沈積之類。隨後在覆蓋層48上形成一絕緣層29。覆蓋層48形成與漂移帶14的實體及電接觸。因覆蓋層48的導電與帶17相反，

覆蓋層 48 即沿與各帶 17 下方的介面形成一附加 P-N 接面，並提供自該介面垂直延伸入帶 17 的一相關空乏區域。該附加 P-N 接面協助空乏帶 14 的移動電荷載子。現在，帶 17 具有三個空乏區域，各側一個，覆蓋層 48 一個，藉此使帶 17 具有較高的電荷濃度及相關的摻雜濃度，藉此進一步降低各帶 17 的電阻率並降低裝置 45 的導通電阻。在該項具體實施例中，帶 17 係形成為具有約介於 $2E12$ 原子/釐米² 與 $4E12$ 原子/釐米² 之間的電荷濃度，最好約為 $3E12$ 原子/釐米²。覆蓋層 48 使漂移帶 14 與絕緣層 29 分離。在裝置製成後，絕緣層中捕獲的電荷可使裝置的導通電阻發生變化。覆蓋層 48 可保護裝置 45 免受層 29 中任何捕獲電荷的影響，且提供裝置 45 具有穩定的導通電阻。

圖 5 為一半導體裝置 50 的部分等視放大斷面示意圖，該裝置係圖 2 說明之半導體裝置 10 的一項替代具體實施例。半導體裝置 50 包括圖 3 說明的基礎層 41，以及圖 4 說明的覆蓋層 48。基礎層 41 位於漂移帶 14 之下，形成與漂移帶 14 及第一區域 12 之部分 15 的電接觸。覆蓋層 48 覆蓋在漂移帶 14 之上，並形成與漂移帶 14 的電接觸。基礎層 41 及覆蓋層 48 均沿與各帶 17 的介面形成 P-N 接面，並提供自該介面延伸入各帶 17 的相關空乏區域。該兩個附加 P-N 接面協助空乏帶 14 的移動電荷載子。現在，帶 17 具有四個空乏區域，各側一個，底部一個，頂部一個。該四個空乏區域有利於形成各帶 17，使之具有較高的電荷濃度及相關的摻雜濃度，藉此進一步降低各帶 17 的電阻率及裝置 50 的導通電阻。在該項具體實

施例中，帶17係形成為具有約介於 $3E12$ 原子/釐米²與 $5E12$ 原子/釐米²之間的電荷濃度，最好約為 $4E12$ 原子/釐米²。

圖6為另一半導體裝置100之一項具體實施例的部分等視放大斷面示意圖，該裝置具有低導通電阻及高崩潰電壓。半導體裝置100的形成及功能類似於圖4說明的裝置45，但是，形成之裝置100沒有圖1、2、3及4說明的區域12。裝置100包括圖2說明的包括帶16與17的漂移帶14。半導體裝置100還包括圖4說明的覆蓋層48。覆蓋層48覆蓋在漂移帶14之上，並形成與漂移帶14的電接觸。覆蓋層48一般在形成漂移帶14後形成，並係採用廣為人知的技術形成，如離子植入或磊晶沈積之類。隨後在覆蓋層48上形成一絕緣層29。覆蓋層48形成與漂移帶14的實體及電接觸。因覆蓋層48的導電類型與帶17相反，覆蓋層48即沿與各帶17下方的介面形成一附加P-N接面，並提供自該介面垂直延伸入帶17的一相關空乏區域。該附加P-N接面協助空乏帶14的移動電荷載子。帶17具有三個空乏區域，各側一個，覆蓋層48一個，藉此使帶17具有較高的電荷濃度及相關的摻雜濃度，藉此進一步降低各帶17的電阻率並降低裝置100的導通電阻。覆蓋層48可保護裝置100免受層29中任何捕獲電荷的影響，且提供裝置100具有穩定的導通電阻。

圖7為一半導體裝置55的部分等視放大斷面示意圖，該裝置係圖2說明之半導體裝置10的一項替代具體實施例。半導體裝置55的形成及功能類似於圖2說明的裝置10，但是，形成之裝置55具有縮短的第一區域12，使井13形成於鄰近區

域12的基板11的一部分內而不是在區域12內。裝置55可用於各種類型應用，包括高側驅動器應用以外的應用。

至此，明顯可見，已揭示一種新穎方法。在漂移區域與基板之間形成第一區域有利於在高側驅動器應用中使用該裝置。在漂移區域上形成一覆蓋層及在漂移區域下形成一基礎層可進一步降低導通電阻及提高崩潰電壓。在漂移帶與絕緣層之間形成一覆蓋層可減少裝置製成後導通電阻的漂移。

雖然本發明係以特定較佳具體實施例說明，但對熟悉半導體技術的人士而言，顯然可有許多替代及變化。例如，本文說明的是N通道MOS電晶體，但是，也可形成具有相反導電類型的類似結構之P通道MOS電晶體。此外，本發明說明了一特定電晶體結構，但是，該方法亦可直接應用於其他結構，包括垂直電晶體以及BiCMOS電晶體、金屬半導體FET(MESFETs)、HFET、IGBT及其它電晶體結構。

【圖式簡單說明】

圖1為根據本發明處於生產階段之半導體裝置的一項具體實施例的部分等視放大斷面示意圖；

圖2為根據本發明處於隨後生產階段之圖1半導體裝置的示意圖；

圖3為根據本發明之圖2半導體裝置之第二項具體實施例的部分等視放大斷面示意圖；

圖4為根據本發明之圖2半導體裝置之第三項具體實施例之部分等視放大斷面示意圖；

圖5為根據本發明之圖2半導體裝置之第四項具體實施例之部分等視放大斷面示意圖；

圖6為根據本發明之一半導體裝置之另一項具體實施例之部分等視放大斷面示意圖；以及

圖7為根據本發明之圖2半導體裝置之第五項具體實施例之部分等視放大斷面示意圖。

為使圖示說明簡單、明白，圖式中的元件不一定按比例繪製，且不同圖式中的相同參考數字代表相同元件。此外，為簡化說明，省略了廣為人知的步驟與元件的說明及詳情。

【圖式代表符號說明】

- 10 半導體裝置
- 11 基板
- 12 第一區域
- 13 井
- 14 漂移帶
- 15 部分
- 16 帶
- 17 帶
- 18 源極
- 19 可選源極增強
- 20 第一端
- 21 距離
- 22 高度
- 23 寬度

- 24 第三區段
- 25 閘極絕緣體
- 26 通道區域
- 27 汲極
- 28 汲極電極
- 29 絕緣層
- 30 距離
- 31 閘極電極
- 33 源極電極
- 34 閘極
- 36 距離
- 40 半導體裝置
- 41 基礎層
- 45 半導體裝置
- 48 覆蓋層
- 50 半導體裝置
- 55 半導體裝置
- 100 半導體裝置

伍、中文發明摘要：

本發明揭示一種形成半導體裝置(10、40、45、50)的方法，在一所形成的導電型式與一基板(11)相反的第一區域(12)內形成複數個P與N帶(16、17)。該等複數個P與N帶協助提供低導通電阻(on-resistance)。該第一區域的一部分(15)位於P與N帶之下，保護該半導體裝置免受施加於其汲極的高電壓。一基層(41)與一覆蓋層(48)進一步減少該半導體裝置的導通電阻。

陸、英文發明摘要：

A method of forming a semiconductor device (10, 40, 45, 50) forms a plurality of P and N stripes (16,17) within a first region (12) that is formed with an opposite conductivity to a substrate (11). The plurality of P and N stripes assist in providing a low on-resistance. A portion (15) of the first region underlies the P and N stripes and protects the semiconductor device from high voltages applied to the drain. A base layer (41) and a cap layer (48) further reduce the on-resistance of the semiconductor device.

拾、申請專利範圍：

1. 一種形成一半導體裝置之方法，包含：

提供一第一導電類型之一基板；

在至少該基板之一部分上形成一第二導電類型之一第一區域；

在該第一區域之一第一區段內形成該第一導電類型之一井；以及

形成該第一導電類型之一帶與該第二導電類型之一帶交替的複數個漂移帶包括：在該第一區域之一第二區段內形成該等複數個漂移帶，其中該第一區域的一部分位於該等複數個漂移帶的下方，還包括形成各漂移帶，以垂直延伸進入該第二區段並且越過該第二區段向該井橫向延伸一第一距離，其中該第一區域之一第三區段係形成於該井與該等複數個漂移帶之間，其中該第三區段係鄰接該等複數個漂移帶之各帶之一第一端。

2. 如申請專利範圍第1項之方法，其進一步包括在該井內形成一源極，其中該源極係與該井之一邊緣間隔一第二距離。

3. 如申請專利範圍第1項之方法，其進一步包括在該第一區域內形成該第二導電類型之一汲極，並遠離該第一端。

4. 如申請專利範圍第3項之方法，其中在該第一區域內形成該第二導電類型的該汲極包括形成與該等複數個漂移帶間隔一第二距離的該汲極，其中，該第一區域之一第四區段係位於該等複數個漂移帶與該汲極之間。

5. 如申請專利範圍第1項之方法，其進一步包括在該等複數個漂移帶之一頂部表面形成該第一導電類型的一覆蓋層。
6. 如申請專利範圍第5項之方法，其中形成該覆蓋層包括形成覆蓋該等複數個漂移帶的該頂部表面的該覆蓋層。
7. 如申請專利範圍第5項之方法，其進一步包括形成該等複數個漂移帶的內帶，以具有至少為 $3E12$ 原子/釐米²的電荷濃度。
8. 如申請專利範圍第1項之方法，其進一步包括在該第一區域內形成該第一導電類型的一基礎層，並具有與該等複數個漂移帶之一底部表面接觸的一第一表面。
9. 如申請專利範圍第8項之方法，其中形成該基礎層包括形成覆蓋該等複數個漂移帶的該底部表面之該基礎層。
10. 一種形成一電晶體之方法，其包括：
 - 提供一第一導電類型的一基板；
 - 在該基板一表面的一部分上形成一第二導電類型的一第一區域，以及
 - 在該第一區域內形成一漂移帶，該漂移帶包括該第二導電類型的複數個帶，其中每個該第二導電類型的帶至少兩邊鄰接具有該第一導電類型之一帶，該複數個第二導電類型的帶~~其~~垂直延伸進入該第一區域並經過該第一區域向該電晶體的一通道區域橫向延伸一第一距離。
11. 如申請專利範圍第10項之方法，其中在該第一區域內形成該漂移帶包括形成該第二導電類型的該等複數個帶當作該電晶體一漂移區域的一部分。

- 12.如申請專利範圍第10項之方法，其中在該第一區域內形成包括該第二導電類型的該等複數個帶的該漂移帶包括：形成該第二導電類型的該等複數個帶的各帶，以與該第一導電類型之一帶的各側及一頂部鄰接。
- 13.如申請專利範圍第10項之方法，其中在該第一區域內形成包括該第二導電類型的該等複數個帶的該漂移帶包括：形成該第二導電類型的該等複數個帶的各帶，以與該第一導電類型之一帶的各側及一底部鄰接。
- 14.如申請專利範圍第10項之方法，其中在該第一區域內形成包括該第二導電類型的該等複數個帶的該漂移帶包括：形成該第二導電類型的該等複數個帶的各帶，以與該第一導電類型之一帶的各側及一底部與一頂部鄰接。
- 15.如申請專利範圍第10項之方法，其中在該第一區域內形成該漂移帶包括在該第一區域之一第一區段內形成該漂移帶，其中該第一區域之一第二區段位於該漂移帶之下。
- 16.如申請專利範圍第10項之方法，其中在該第一區域內形成該漂移帶包括在該第一區域的一第一區段內形成該漂移帶，並在該漂移帶下形成該第一區域的一第二區段，在該漂移帶與一通道區域之間形成該第一區域的一第三區段，以及在該漂移帶與該電晶體之一汲極之間形成該第一區域的一第四區段。
- 17.一種半導體裝置，其包括：
 - 一第一導電類型的一基板；
 - 至少在該基板之一部分上之一第二導電類型的一第一

區域；

在該第一區域之一第一區段內之該第一導電類型的一井；

在該第一導電類型帶與該第二導電類型帶交替的複數個漂移帶，其中該等複數個漂移帶係位於該第一區域之一第二區段內，並且，其中該第一區域的一部分位於該等複數個漂移帶之下，並且其中各帶越過該第二區段向該井橫向延伸一第一距離；以及

該第一區域之一第三區段，其位於該井與該等複數個漂移帶之間，該第三區段與該等複數個漂移帶之至少之一的一第一端鄰接。

18.如申請專利範圍第17項之半導體裝置，其進一步包括在該等複數個漂移帶之一頂部表面的該第一導電類型的一覆蓋區。

19.如申請專利範圍第17項之半導體裝置，其進一步包括該第一區域內該第一導電類型的一基礎層，並具有接觸該等複數個漂移帶之一底部表面之一第一表面。

20.如申請專利範圍第17項之半導體裝置，其進一步包括該第一區域之一第四區段，其位於該等複數個漂移帶與該半導體裝置之一汲極之間，其中該第四區段的一側鄰接該等複數個漂移帶。

拾壹、圖式：

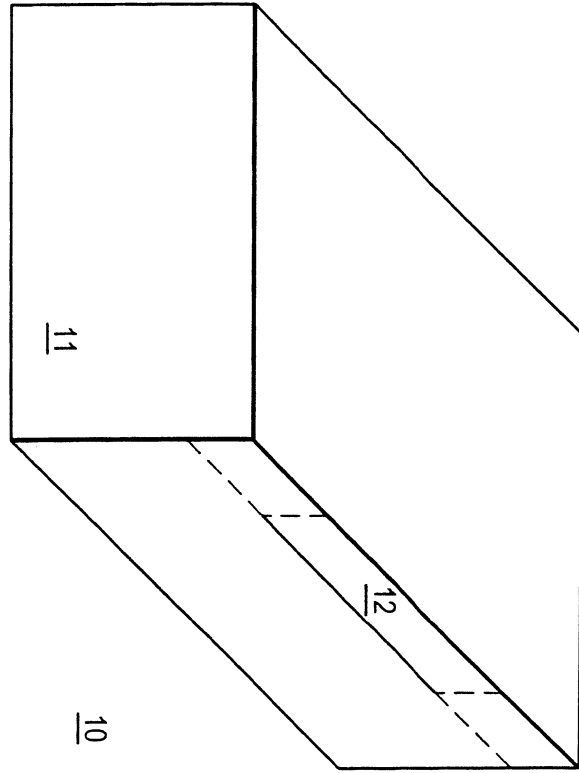


圖 1

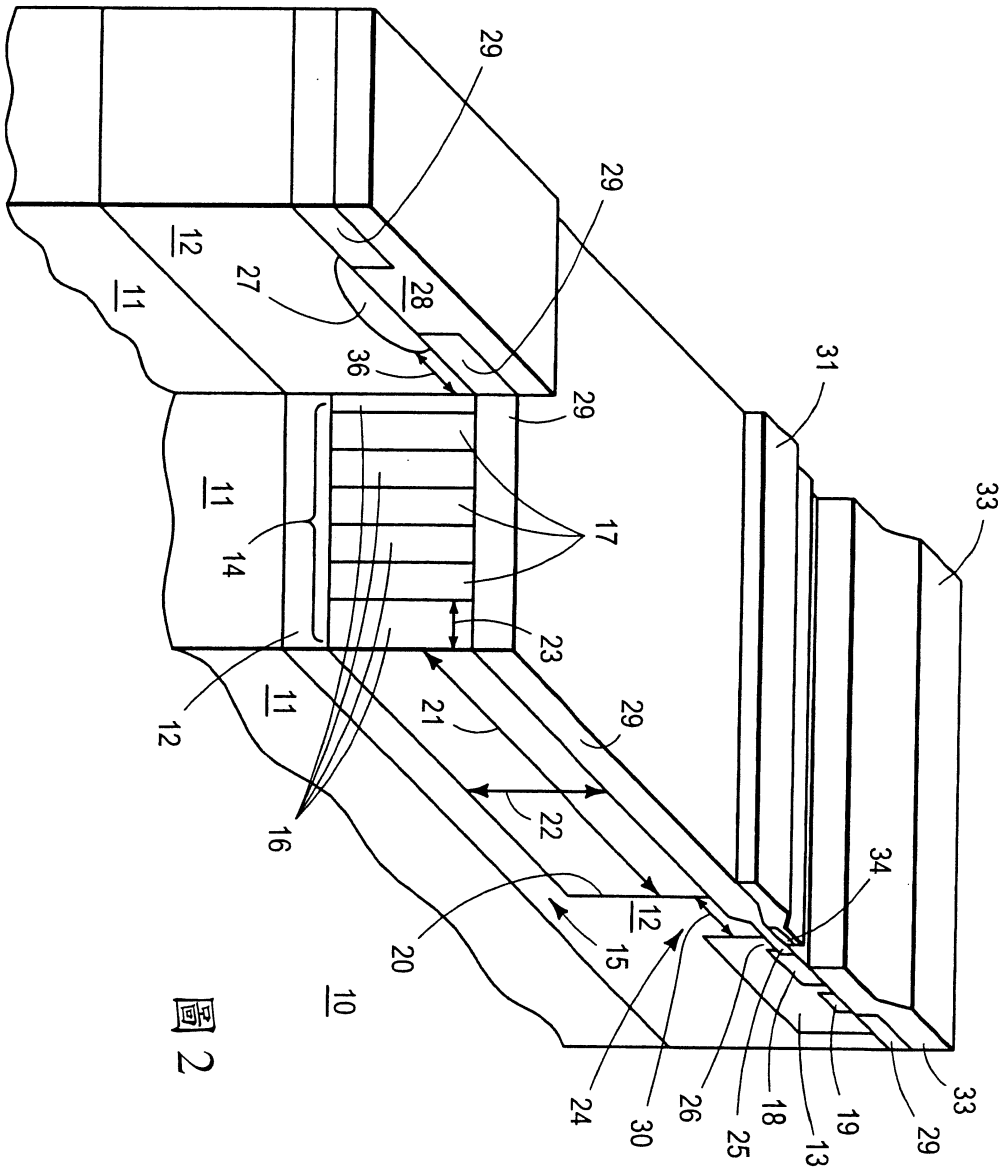


圖 2

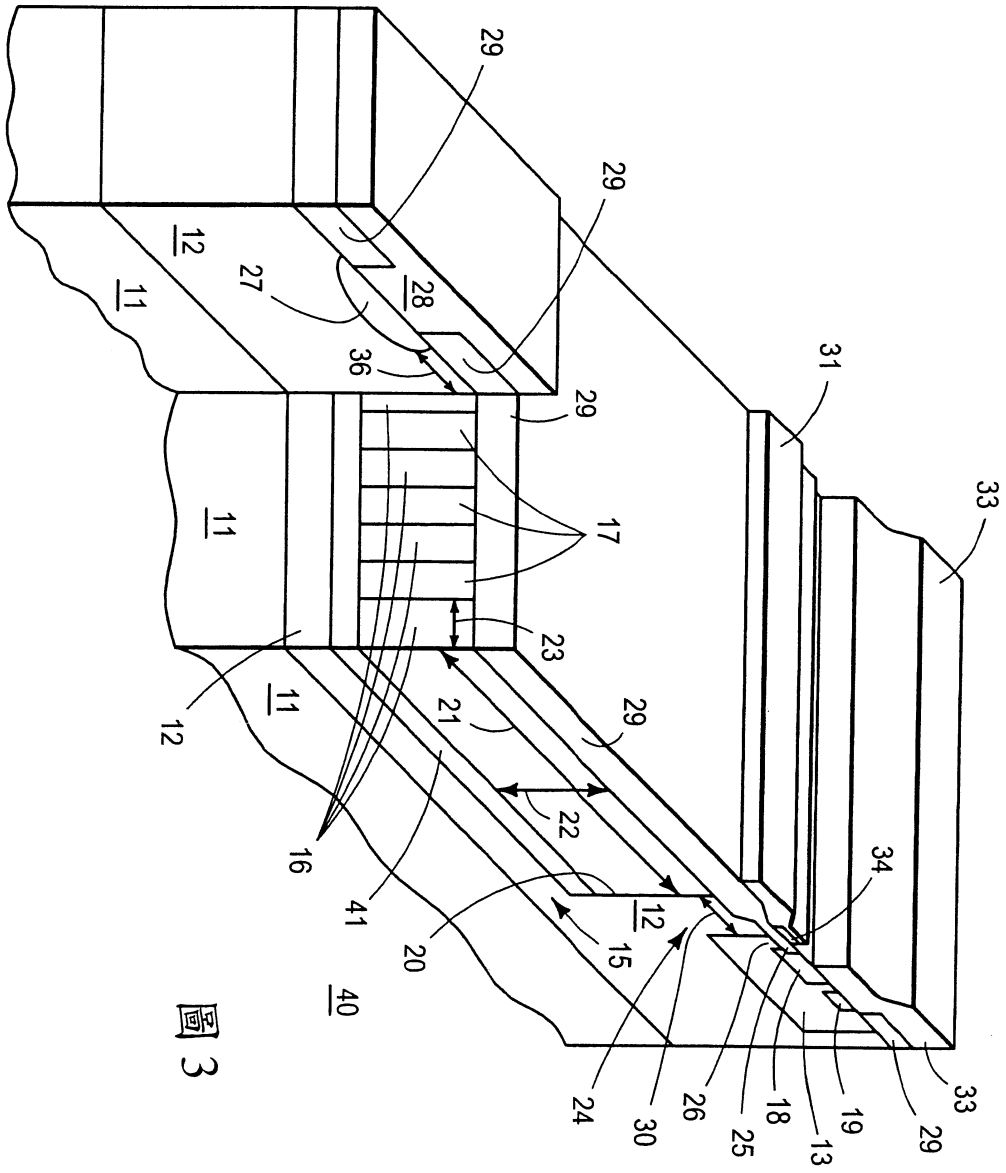


圖 3

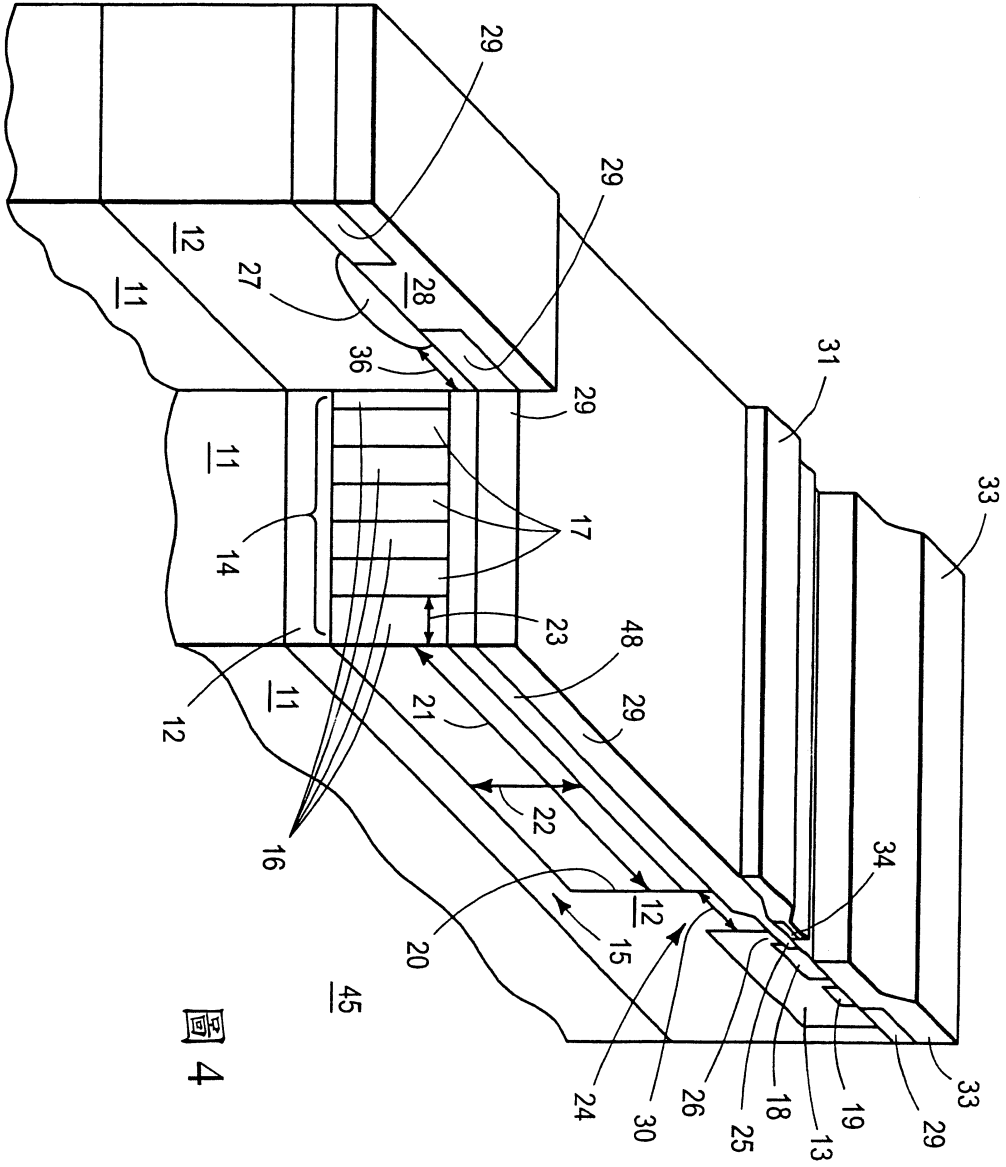


圖 4

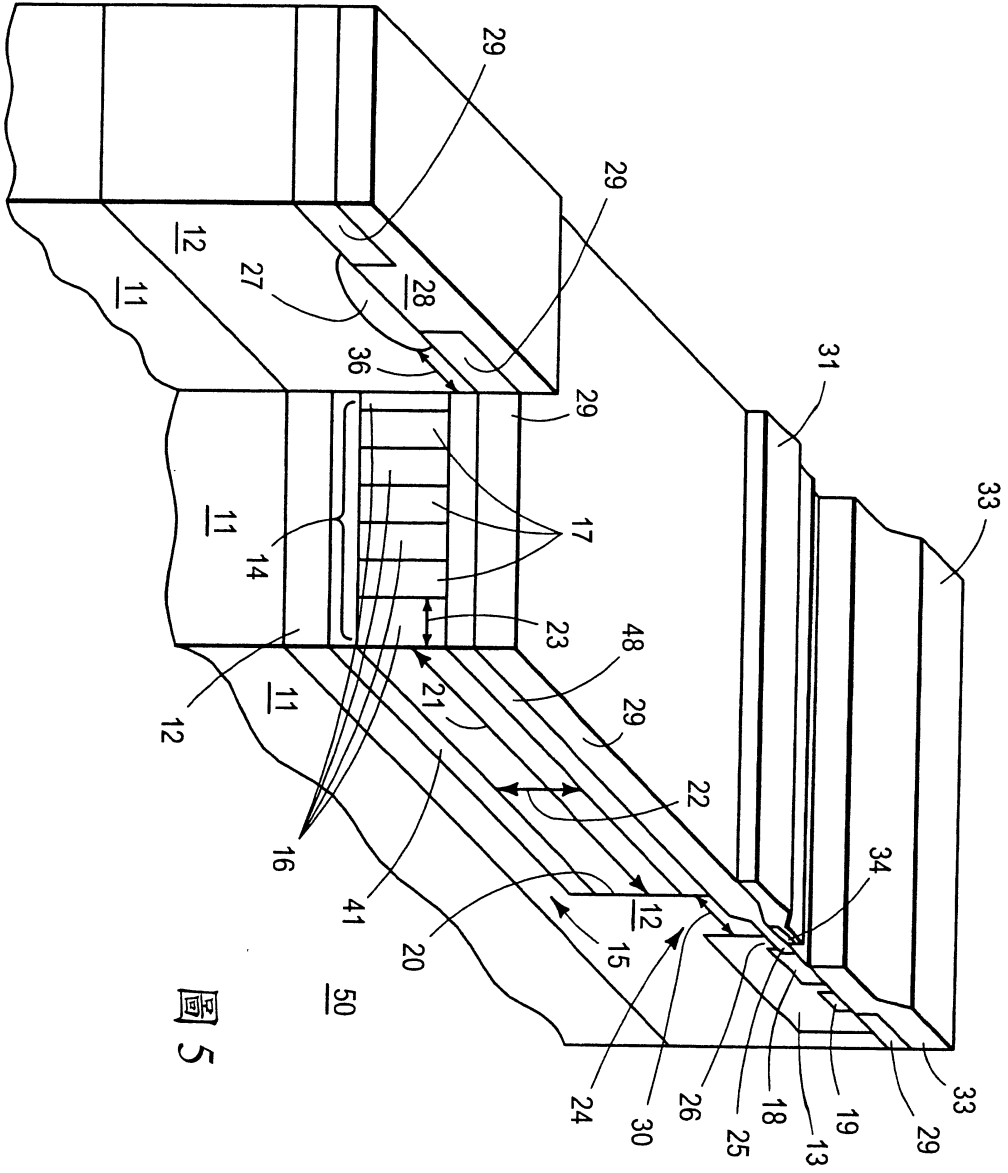


圖 5

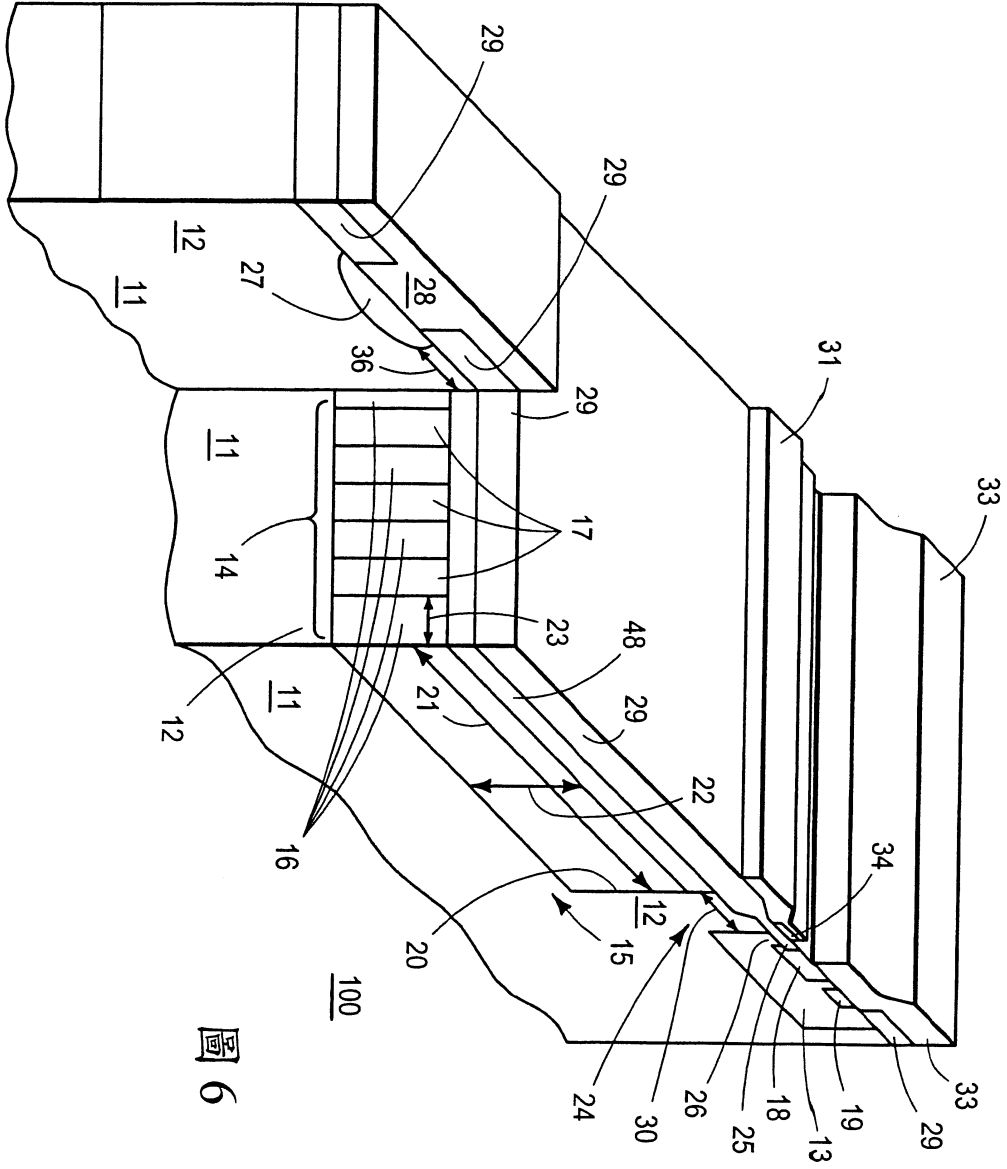


圖 6

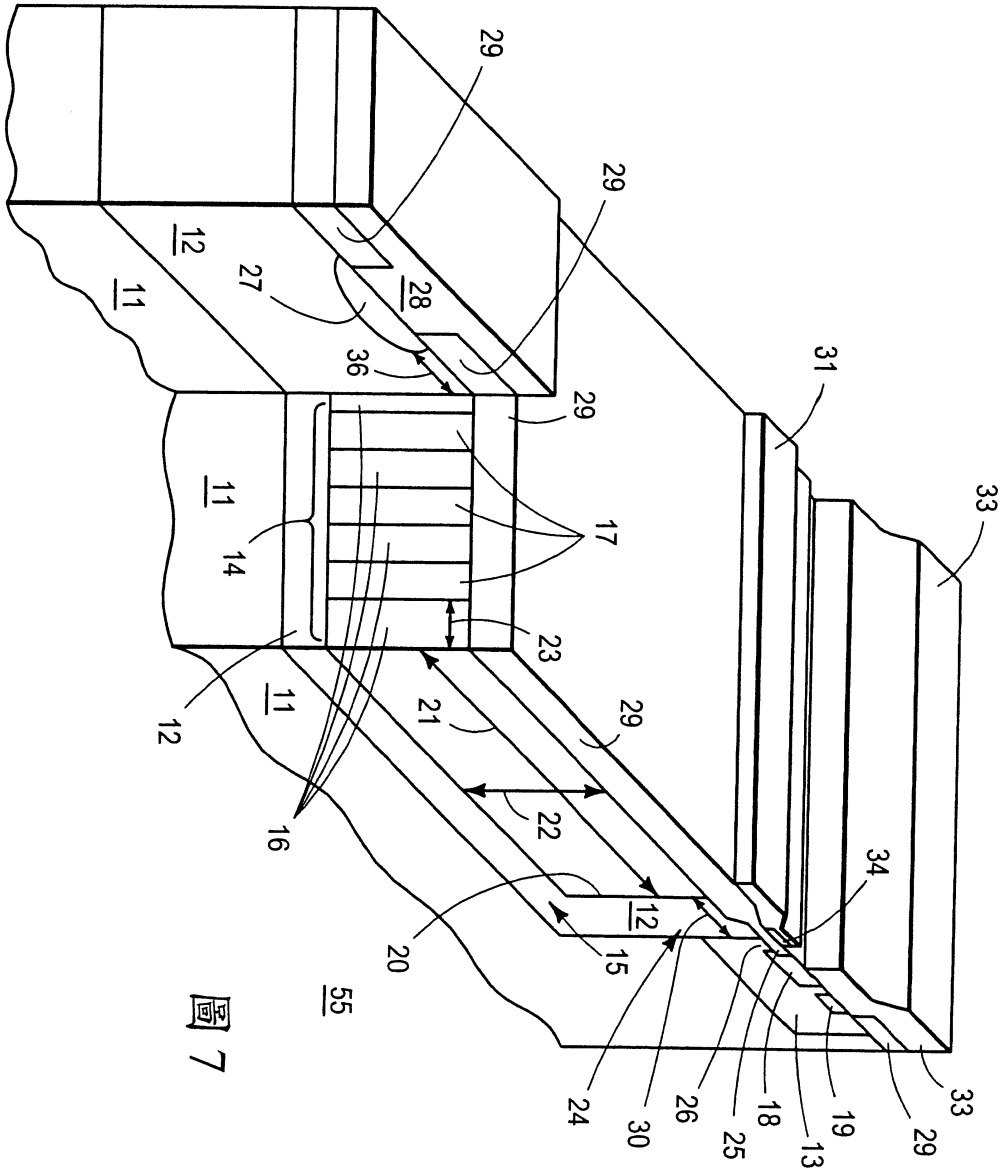


圖 7

柒、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	半導體裝置
11	基板
12	第一區域
13	井
14	漂移帶
15	部分
16	帶
17	帶
18	源極
19	可選源極增強
20	第一端
21	距離
22	高度
23	寬度
24	第三區段
25	閘極絕緣體
26	通道區域
27	汲極
28	汲極電極
29	絕緣層
30	距離

31 閘極電極

33 源極電極

34 閘極

36 距離

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)