



(12) 发明专利申请

(10) 申请公布号 CN 114512476 A

(43) 申请公布日 2022. 05. 17

(21) 申请号 202210146892.0

(22) 申请日 2022.02.17

(71) 申请人 福建省晋华集成电路有限公司
地址 362200 福建省泉州市晋江市集成电路科学园联华大道88号

(72) 发明人 张钦福 冯立伟 童宇诚

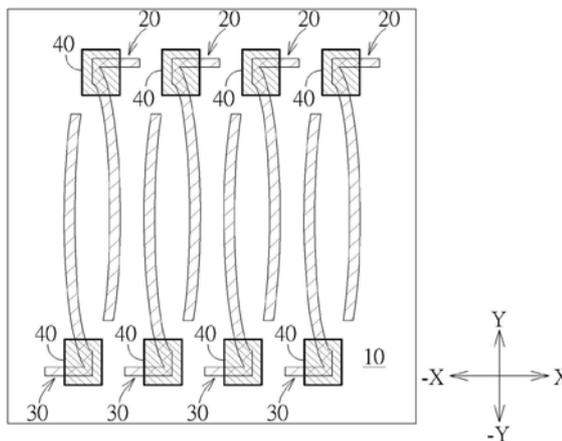
(74) 专利代理机构 北京聿宏知识产权代理有限公司 11372
专利代理师 陈超德 吴昊

(51) Int. Cl.
H01L 27/02 (2006.01)
H01L 23/528 (2006.01)
H01L 21/3213 (2006.01)

权利要求书2页 说明书5页 附图5页

(54) 发明名称
半导体装置及其形成方法

(57) 摘要
本发明公开了一种半导体装置及其形成方法,包括一基底,多个第一图案与多个第二图案设置在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中,该第一主体部分与该第二主体部分均包含有至少一弧状图案,以及至少一接触结构,与该第一图案或与该第二图案重叠。藉此,本发明即可利用自对准双重图案化制作工艺配合图案化掩膜层来形成布局相对密集且尺寸相对微小的特定图案,以利于后续组件制作工艺的进行。



1. 一种半导体装置,其特征在于,包括:

一基底;

多个第一图案与多个第二图案设置在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中,该第一主体部分与该第二主体部分均包含有至少一弧状图案;以及

至少一接触结构,与该第一图案或与该第二图案重叠。

2. 依据权利要求第1项所述之半导体装置,其特征在于,该第一延伸部分与该第二延伸部分包含有一横线图案。

3. 依据权利要求第2项所述之半导体装置,其特征在于,该第一延伸部分与该第二延伸部分均朝向一X方向排列。

4. 依据权利要求第1项所述之半导体装置,其特征在于,该第一图案与该第二图案沿着一X方向交互排列。

5. 依据权利要求第1项所述之半导体装置,其特征在于,各该第一主体部分朝向一正X方向外凸,其中各该第二主体部分朝向一负X方向外凸,其中该正X方向与该负X方向相反。

6. 依据权利要求第1项所述之半导体装置,其特征在于,该第一延伸部分连接该第一主体部分的一顶端,其中该第二延伸部分连接该第二主体部分的一底端。

7. 依据权利要求第1项所述之半导体装置,其特征在于,该第一延伸部分连接该第一主体部分的一侧边,其中该第二延伸部分连接该第二主体部分的一侧边。

8. 依据权利要求第7项所述之半导体装置,其特征在于,该第一主体部分的一末端包含有一钩状部分,且该钩状部分的一宽度大于该第一延伸部分的一宽度。

9. 依据权利要求第1项所述之半导体装置,其特征在于,沿着一X方向,各该第一图案的该第一延伸部分彼此相互对齐,而各该第一图案的各该第一主体部分不相互对齐。

10. 一种半导体装置的形成方法,其特征在于,包含:

提供一基底;

于该基底上形成一材料层;以及

图案化该材料层,形成多个第一图案与多个第二图案在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中,该第一主体部分与该第二主体部分均包含有至少一弧状图案。

11. 依据权利要求第10项所述之方法,其特征在于,该第一延伸部分与该第二延伸部分包含有一横线图案。

12. 依据权利要求第10项所述之方法,其特征在于,形成该第一图案与该第二图案的方法更包含:

在该材料层上形成一牺牲图案,该牺牲图案包含有多个朝向一Y方向相互平行排列的第一牺牲图案,以及两朝向一X方向排列的第二牺牲图案,其中该第二牺牲图案不接触该第一牺牲图案,且该Y方向与该X方向相互垂直。

13. 依据权利要求第12项所述之方法,其特征在于,各该第一牺牲图案为长椭圆形。

14. 依据权利要求第12项所述之方法,其特征在于,更包含形成一间隙壁,围绕该第一牺牲图案与该第二牺牲图案的外围。

15. 依据权利要求第14项所述之方法,其特征在於,部分围绕该第一牺牲图案外围的该间隙壁,直接接触部分围绕该第二牺牲图案外围的该间隙壁。

16. 依据权利要求第15项所述之方法,其特征在於,更包含移除该间隙壁,以该牺牲图案与该牺牲材料层为掩膜,蚀刻该材料层,以形成该第一图案与该第二图案。

17. 依据权利要求第10项所述之方法,其特征在於,更包含形成一接触结构,其中该接触结构接触该第一图案的该第一主体部分。

18. 依据权利要求第10项所述之方法,其特征在於,更包含形成一接触结构,其中该接触结构接触该第一图案的该第一延伸部分。

19. 依据权利要求第10项所述之方法,其特征在於,更包含形成一接触结构,其中该第一主体部分的一末端包含有一钩状部分,且该接触结构接触该第一图案的该第一主体部分的该钩状部分。

20. 依据权利要求第10项所述之方法,其特征在於,沿着一X方向,各该第一图案的该第一延伸部分彼此相互对齐,而各该第一图案的各该第一主体部分不相互对齐。

半导体装置及其形成方法

技术领域

[0001] 本发明涉及一种半导体装置及其形成方法,尤其是涉及一种半导体存储装置及其形成方法。

背景技术

[0002] 在半导体制作工艺中,一些微结构的制造,需要在半导体基材/膜层、介电材料层或金属材料层等适当的基材或材料层中,利用光刻及蚀刻等制作工艺,形成具有精确尺寸的微小图案。为达到此目的,在传统的半导体技术中,在目标材料层之上形成掩模层(mask layer),以便先在该掩模层中形成/定义这些微小图案,随后将该等图案转移至目标膜层。一般而言,掩模层例如是通过光刻制作工艺形成的图案化光致抗蚀剂层,和/或利用该图案化光致抗蚀剂层形成的图案化掩模层。

[0003] 随着集成电路的复杂化,这些微小图案的尺寸不断地减小,结构亦不断地变化,所以用来产生特征图案的设备就必须满足制作工艺分辨率及叠对准确度(overlay accuracy)的严格要求,单一图案化(single patterning)方法已无法满足制造微小线宽图案的分辨率需求或制作工艺需求。是以,如何改良该些微结构的现有制作工艺即为本领域现今的重要课题之一。

发明内容

[0004] 在本发明的其中一方面,提供一种半导体装置,其包括一基底,以及多个第一图案与多个第二图案设置在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中,该第一主体部分与该第二主体部分均包含有至少一弧状图案,以及至少一接触结构,与该第一图案或与该第二图案重叠。

[0005] 本发明的另一方面提供一种半导体装置的形成方法,其包含提供一基底,于该基底上形成一材料层,以及图案化该材料层,形成多个第一图案与多个第二图案在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中,该第一主体部分与该第二主体部分均包含有至少一弧状图案。

[0006] 本发明提供一种半导体存储装置及其形成方法。本发明的特征在于借助自对准双重图案化(self-aligned double patterning, SADP)制作工艺形成多个间隙壁,利用图案化掩膜层进一步修整该些间隙壁后,再进行材料层的图案化制作工艺。藉此,所形成的第一图案以及第二图案的两相对侧可分别形成朝向相对方向延伸的两具有较大面积的延伸部,以利后续组件制作工艺的进行。

附图说明

[0007] 图1至图6绘示本发明第一优选实施例中,半导体装置的形成方法的上视示意图。

[0008] 图7绘示本发明另一优选实施例中,第一图案、第二图案与接触结构的的上视分布示意图。

[0009] 图8绘示本发明另一优选实施例中,第一图案、第二图案与接触结构的的上视分布示意图。

[0010] 图9与图10分别绘示本发明另两优选实施例中,第一图案、第二图案与接触结构的的上视分布示意图。

[0011] 其中,附图标记说明如下:

[0012] 10 基底

[0013] 11 材料层

[0014] 12 第一牺牲图案

[0015] 14 第二牺牲图案

[0016] 16 间隙壁

[0017] 18 图案

[0018] 20 第一图案

[0019] 22 第一主体部分

[0020] 24 第一延伸部分

[0021] 26 第一钩状部分

[0022] 30 第二图案

[0023] 32 第二主体部分

[0024] 34 第二延伸部分

[0025] 36 第二钩状部分

[0026] 40 接触结构

[0027] A 连接部分

[0028] W1 宽度

[0029] W2 宽度

[0030] X 方向

[0031] Y 方向

具体实施方式

[0032] 为使熟悉本发明所属技术领域的一般技术者能更进一步了解本发明,下文特列举本发明的数个优选实施例,并配合所附的附图,详细说明本发明的构成内容及所欲达成的功效。

[0033] 请先参照图1至图6,图1至图6绘示本发明第一优选实施例中,半导体装置的形成方法的上视示意图。首先,请参照图1所示,提供一基底10,接着,在基底10上形成一材料层11。材料层11例如包含一导电材料,如钨(tungsten,W)、铝(aluminum,Al)或铜(copper,Cu)等低阻值金属材质,或是皆包含一介电材料,如氧化硅、氮化硅(SiN)、氮氧化硅(SiON)或碳氮化硅(SiCN)等,但不以此为限。

[0034] 然后,进行材料层11的图案化制作工艺。在本实施例中,该图案化制作工艺例如透过一自对准双重图案化制作工艺,但并不限于此。详细来说,先透过一光刻工艺在材料层11

上形成多个第一牺牲图案12以及两条第二牺牲图案14。其中,第一牺牲图案12包含有椭圆形,沿着一垂直方向(例如Y轴方向)平行排列,而两条第二牺牲图案分别位于第一牺牲图案12的两侧(例如上下两侧),沿着一水平方向排列,但不与各第一牺牲图案12接触。

[0035] 如图2所示,依序进行沉积及回蚀刻工艺,以在各该第一牺牲图案12以及各第二牺牲图案14的周围侧壁上形成一间隙壁16。值得注意的是,设计各第一牺牲图案12以及各第二牺牲图案14之间的距离,使得间隙壁16形成后,环绕于各第一牺牲图案12周围的间隙壁16与部分环绕于第二牺牲图案14周围的间隙壁16相连(例如图2所圈出的连接部分A)。

[0036] 接下来,如图3所示,完全移除各第一牺牲图案12以及两条第二牺牲图案14后,再如图4所示,以剩余的间隙壁16为掩膜,将间隙壁16的图案转移到下方的材料层11中。以在基底10上形成由材料层11所构成的图案18。也就是说,图案18的材质与材料层11的材质相同。

[0037] 如图5所示,进行一蚀刻修整工艺,将移除一部分的图案18。此处所述的蚀刻修整工艺例如为覆盖一图案化掩膜(图未示出)遮蔽部分的图案18同时曝露一部分的图案18,接着再利用一蚀刻步骤或其他合适步骤移除部分被曝露的图案18,后续再将图案化掩膜移除。在蚀刻修整工艺后,将剩余的图案18定义为第一图案20以及第二图案30,其中第一图案20包含有一弧线状的第一主体部分22以及一线状的第一延伸部分24相互连接,第二图案30包含有一弧线状的第二主体部分32以及一线状的第二延伸部分34相互连接。其中第一延伸部分24与第二延伸部分34沿着一水平方向(例如X方向)排列,此外,多个第一图案20彼此间相同,多个第二图案30彼此之间相同,且从水平方向(X方向)来看,第一图案20与第二图案30交互排列。也就是说,除了最末端的图案之外,任两个第一图案20包夹一第二图案30,同样地任两个第二图案30包夹一个第一图案20。

[0038] 在本实施例中,各第一主体部分22朝向一正X方向外凸,各第二主体部分32朝向一负X方向外凸。其中该正X方向与该负X方向相反。另外,本实施例中,第一延伸部分24连接第一主体部分22的一顶端(也就是朝向+Y方向最上方的末端),同样地第二延伸部分32连接第二主体部分34的一底端(也就是朝向-Y方向最下方的末端)。

[0039] 最后,如图6所示,形成至少一个接触结构40,接触结构40例如为电性连接其他组件的接触插塞,接触结构40与部分的第一图案20以及/或第二图案30重叠并电性连接。举例来说,接触结构40可能接触到第一图案20的弧状的第一主体部分22与第一延伸部分24之间的交界,或是接触到第二图案30的弧状的第二主体部分32与第二延伸部分34之间的交界。本实施例中,由于第一图案20与第二图案30分别具有位于末端的第一延伸部分24与第二延伸部分34,因此第一图案20与第二图案30的末端的面积增大,当接触结构40需要与第一图案20与第二图案30接触末端并电性连接时,将会有更充裕的空间利于接触结构40的对准以确实接触到第一图案20与第二图案30。此外,由于接触结构40与第一图案20及/或第二图案30的之接触面积增大,也可以一并降低接口电阻,提高半导体装置的质量。

[0040] 上述第一图案20与第二图案30可以应用于不同的半导体组件,例如当作内存组件中的位线(BL)或是字线(WL)的图案,皆属于本发明的涵盖范围内。

[0041] 在本发明的其他实施例中,可以藉由调整牺牲图案的位置,来形成不同形状的第一图案20与第二图案30。以下图式绘示出本发明不同的实施态样,主要的差别在于第一图案20、第二图案30与接触结构40的形状或排列位置与上述第一优选实施例有部分不同。然

而可理解的是,各组件所用的材料或是制作过程可以相同,因此不重复赘述。以下将针对图案的不同处进行说明,相同的组件或是作用类似的组件将以相同的标号表示。

[0042] 图7绘示本发明另一优选实施例中,第一图案、第二图案与接触结构的分布示意图。如图7所示,调整牺牲图案的排列位置,以类似上述实施例所述的步骤形成第一图案20与第二图案30,其中与上述实施例不同之处在于,本实施例的第一延伸部分24并非连接在第一主体部分22的最末端,而是连接第一主体部分22的侧边靠近末端但非最末端的位置,同样地,第二延伸部分34并非连接在第二主体部分32的最末端,而是连接第二主体部分32的侧边靠近末端但非最末端的位置。本实施例也属于本发明的涵盖范围内。

[0043] 此外,本实施例中,将第一主体部分22的末端定义为一第一钩状部分26,第二主体部分32的末端定义为一第二钩状部分36。由于第一钩状部分26与第二钩状部分36具有相对更大的面积,例如第一钩状部分26在Y方向的最大宽度 W_1 大于第一延伸部分24的宽度 W_2 ,因此接触结构40也可以与第一钩状部分26与第二钩状部分36重叠并电性连接。本发明中,并不限定接触结构40连接第一图案20或第二图案30的位置,接触结构40可以与弧状的第一/第二主体部分、线状的第一/第二延伸部分以及上述第一/第二钩状部分重叠并电性连接。

[0044] 图8绘示本发明另一优选实施例中,第一图案、第二图案与接触结构的分布示意图。如图8所示,可以调整牺牲图案的排列位置,以类似上述实施例所述的步骤形成第一图案20与第二图案30,其中第一图案20与第二图案30可以在垂直方向(例如Y方向)上交错一段距离。也就是说,各个第一图案20的第一延伸部分24均沿着X方向彼此相互对齐,而各第一图案20的第一主体部分22却在X方向上不相互对齐而有上下交错。同样地,各个第二图案30的第二延伸部分34均沿着X方向彼此相互对齐,而各第二图案30的第二主体部分32却在X方向上不相互对齐而上下交错。如此一来,接触结构40形成时,较不容易接触到隔壁接触结构40,因此可以降低短路发生的机率。

[0045] 图9与图10分别绘示本发明另两优选实施例中,第一图案、第二图案与接触结构的上视分布示意图。在本实施例中,可以调整一开始所形成的第一牺牲图案12或第二牺牲图案14的形状,进而改变第一图案20与第二图案30的形状。例如前述各实施例中,第一图案20与第二图案30具有弧形的主体部分(包含第一主体部分22与第二主体部分32),但在图9与图10的实施例中,第一图案20与第二图案30包含有直条形状的第一主体部分22与第二主体部分32。这种实施例也属于本发明的涵盖范围。

[0046] 综合以上段落,本发明提供一种半导体装置,其特征在于包括一基底,以及多个第一图案与多个第二图案设置在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中该第一主体部分与该第二主体部分均包含有至少一弧状图案,以及至少一接触结构,与该第一图案或与该第二图案重叠。

[0047] 本发明另提供一种半导体装置的形成方法,其特征在于包含提供一基底,于该基底上形成一材料层,以及图案化该材料层,形成多个第一图案与多个第二图案在该基底上,各该第一图案包含有一第一主体部分以及一第一延伸部分相互连接,各该第二图案包含有一第二主体部分以及一第二延伸部分相互连接,其中该第一主体部分与该第二主体部分均包含有至少一弧状图案。在一些实施例中,其中该第一延伸部分与该第二延伸部分包含有一横线图案。

- [0048] 在一些实施例中,其中该第一延伸部分与该第二延伸部分均朝向-X方向排列。
- [0049] 在一些实施例中,其中该第一图案与该第二图案沿着一X方向交互排列。
- [0050] 在一些实施例中,其中各该第一主体部分朝向一正X方向外凸,其中各该第二主体部分朝向一负X方向外凸,其中该正X方向与该负X方向相反。
- [0051] 在一些实施例中,其中该第一延伸部分连接该第一主体部分的一顶端,其中该第二延伸部分连接该第二主体部分的一底端。
- [0052] 在一些实施例中,其中该第一延伸部分连接该第一主体部分的一侧边,其中该第二延伸部分连接该第二主体部分的一侧边。
- [0053] 在一些实施例中,其中沿着一X方向,各该第一图案的该第一延伸部分彼此相互对齐,而各该第一图案的各该第一主体部分不相互对齐。
- [0054] 在一些实施例中,该第一主体部分的一末端包含有一钩状部分,且该钩状部分的一宽度大于该第一延伸部分的一宽度。
- [0055] 在一些实施例中,其中形成该第一图案与该第二图案的方法还包含在该材料层上形成一牺牲图案,该牺牲图案包含有多个朝向-Y方向相互平行排列的第一牺牲图案,以及两朝向-X方向排列的第二牺牲图案,其中该第二牺牲图案不接触该第一牺牲图案,且该Y方向与该X方向相互垂直。
- [0056] 在一些实施例中,其中各该第一牺牲图案为长椭圆形。
- [0057] 在一些实施例中,更包含形成一间隙壁,围绕该第一牺牲图案与该第二牺牲图案的外围。
- [0058] 在一些实施例中,其中部分围绕该第一牺牲图案外围的该间隙壁,直接接触部分围绕该第二牺牲图案外围的该间隙壁。
- [0059] 在一些实施例中,更包含移除该间隙壁,以该牺牲图案与该牺牲材料层为掩膜,蚀刻该材料层,以形成该第一图案与该第二图案。
- [0060] 在一些实施例中,更包含形成一接触结构,其中该接触结构接触该第一图案的该第一主体部分。
- [0061] 在一些实施例中,更包含形成一接触结构,其中该接触结构接触该第一图案的该第一延伸部分。
- [0062] 在一些实施例中,更包含形成一接触结构,其中该第一主体部分的一末端包含有一钩状部分,且该接触结构接触该第一图案的该第一主体部分的该钩状部分。
- [0063] 综上所述,本发明提供一种半导体存储装置及其形成方法。本发明的特征在于借助自对准双重图案化(self-aligned double patterning,SADP)制作工艺形成多个间隙壁,利用图案化掩膜层进一步修整该些间隙壁后,再进行材料层的图案化制作工艺。藉此,所形成的第一图案以及第二图案的两相对侧可分别形成朝向相对方向延伸的两具有较大面积的延伸部,以利后续组件制作工艺的进行。
- [0064] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

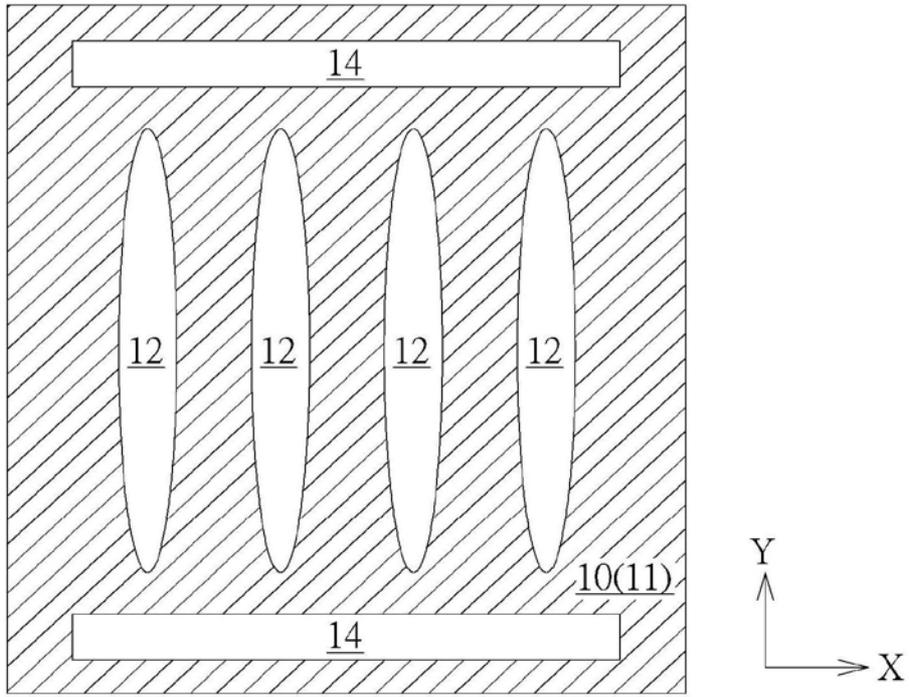


图1

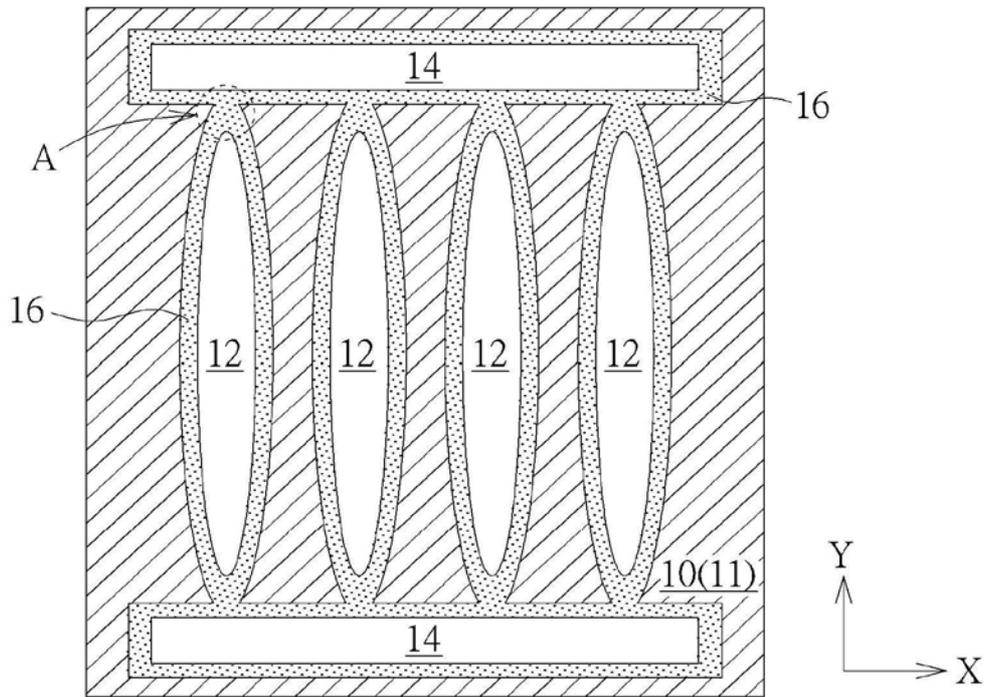


图2

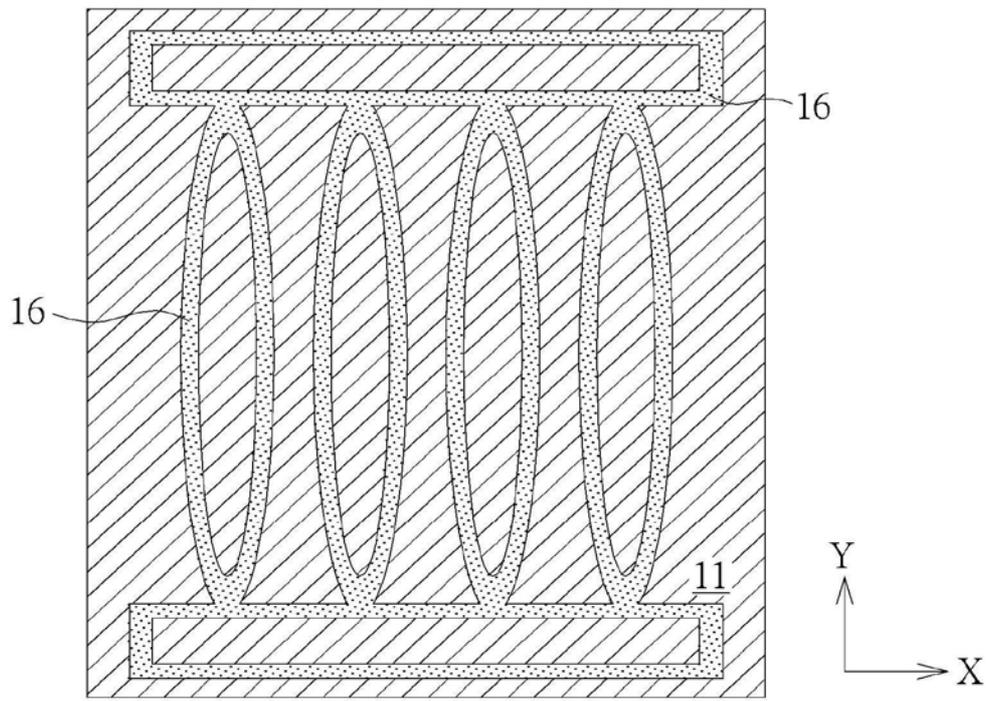


图3

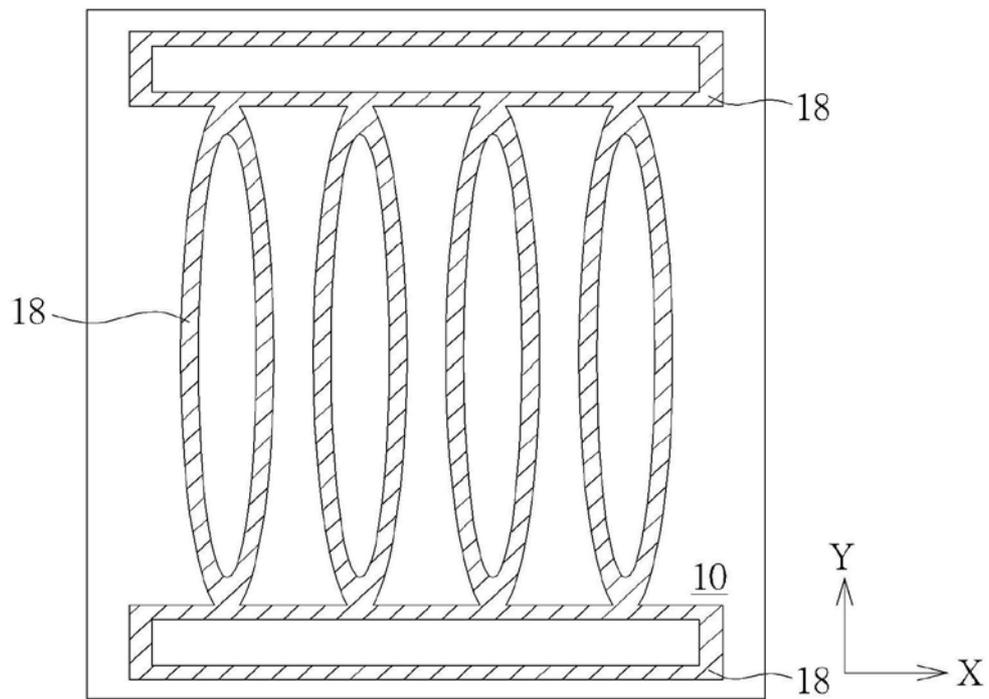


图4

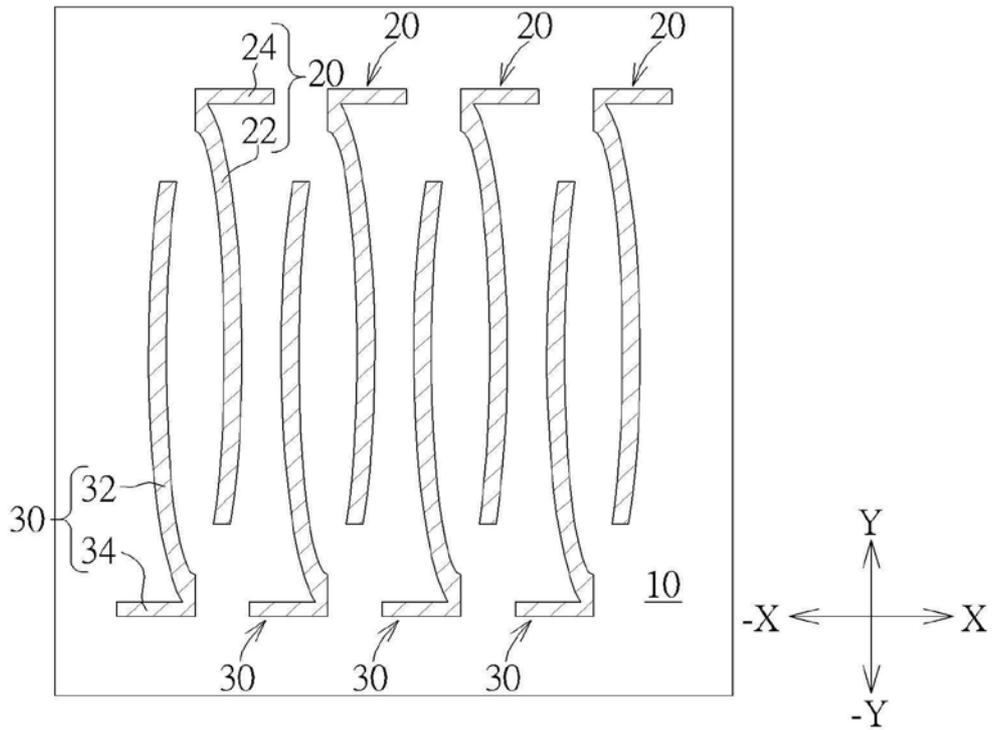


图5

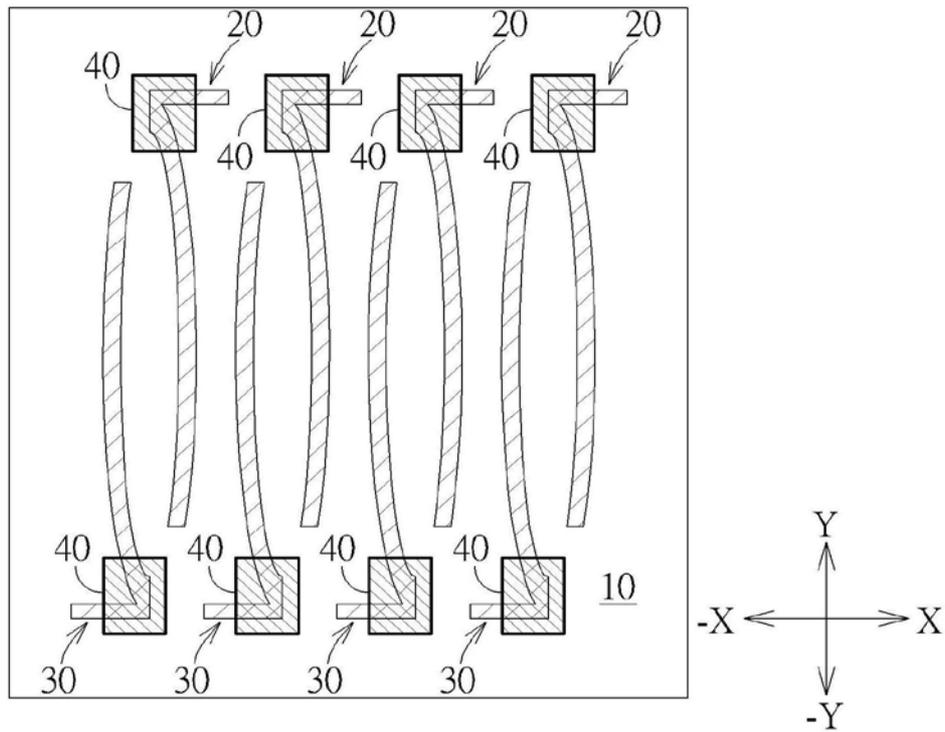


图6

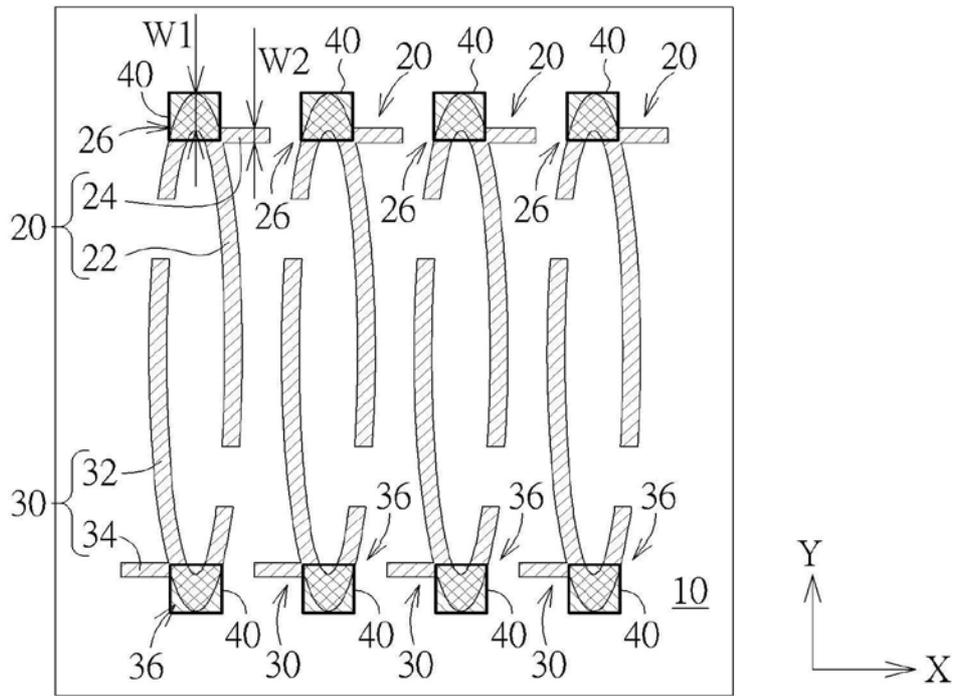


图7

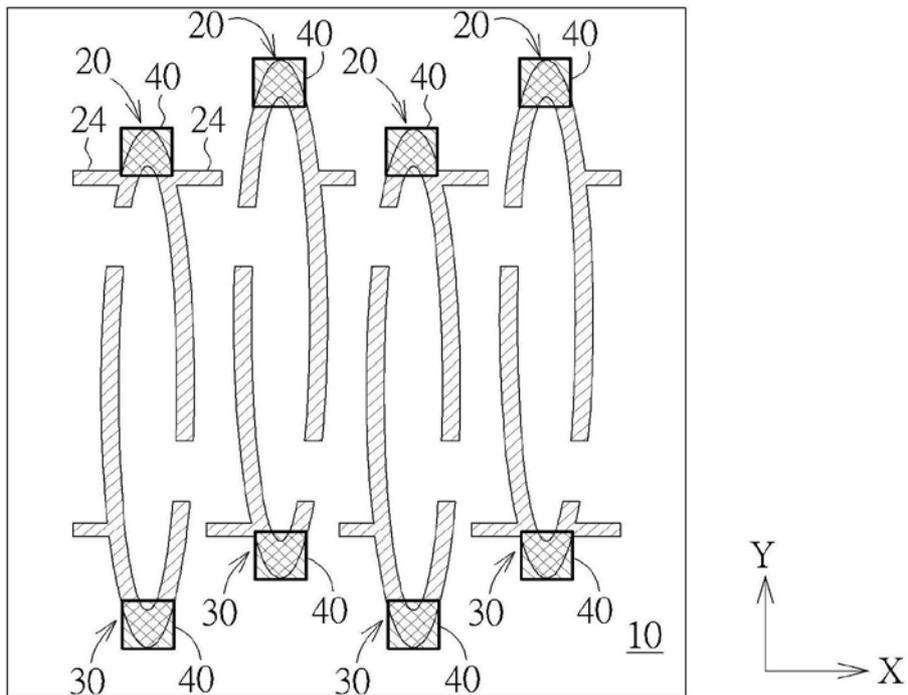


图8

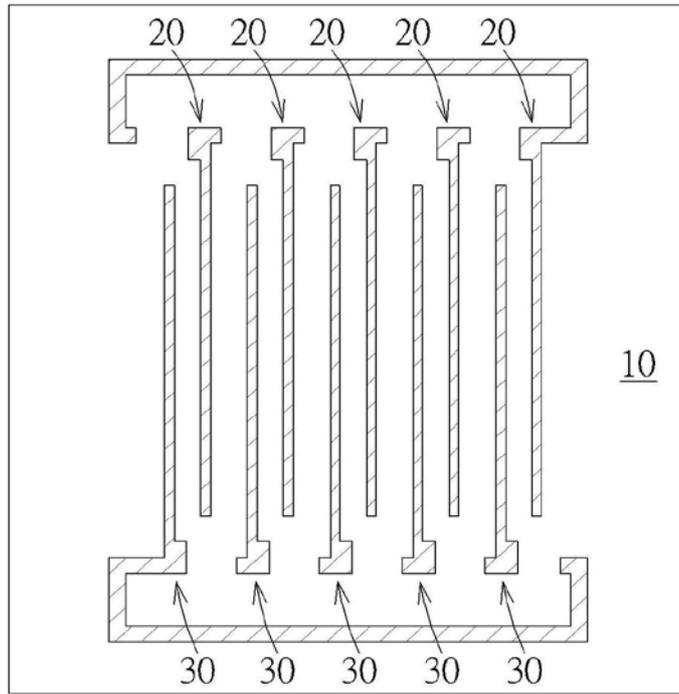


图9

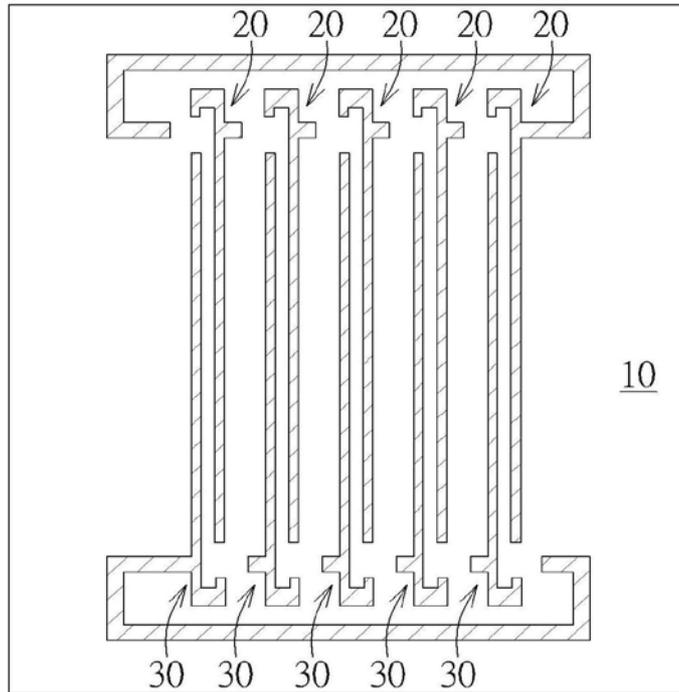


图10