

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-158043

(P2006-158043A)

(43) 公開日 平成18年6月15日(2006.6.15)

(51) Int. Cl.	F I		テーマコード (参考)		
HO2J 7/10 (2006.01)	HO2J 7/10	B	5G003		
HO2J 7/00 (2006.01)	HO2J 7/00	S	5G015		
HO2J 7/02 (2006.01)	HO2J 7/02	J	5H006		
HO2J 9/06 (2006.01)	HO2J 9/06	505C			
HO2M 7/06 (2006.01)	HO2M 7/06	A			
審査請求 未請求 請求項の数 5 O L (全 22 頁)					

(21) 出願番号 特願2004-342524 (P2004-342524)  
 (22) 出願日 平成16年11月26日 (2004.11.26)

(71) 出願人 802000031  
 財団法人北九州産業学術推進機構  
 福岡県北九州市若松区ひびきの2番1号

(71) 出願人 899000068  
 学校法人早稲田大学  
 東京都新宿区戸塚町1丁目104番地

(74) 代理人 100121371  
 弁理士 石田 和人

(72) 発明者 井上 靖秋  
 福岡県北九州市若松区ひびきの2-7 学  
 校法人早稲田大学 情報生産システム研究  
 科内

Fターム(参考) 5G003 AA07 AA08 BA04 CA11 CC02  
 GA01 GC01  
 5G015 FA16 GB06 HA16 JA34 JA60  
 最終頁に続く

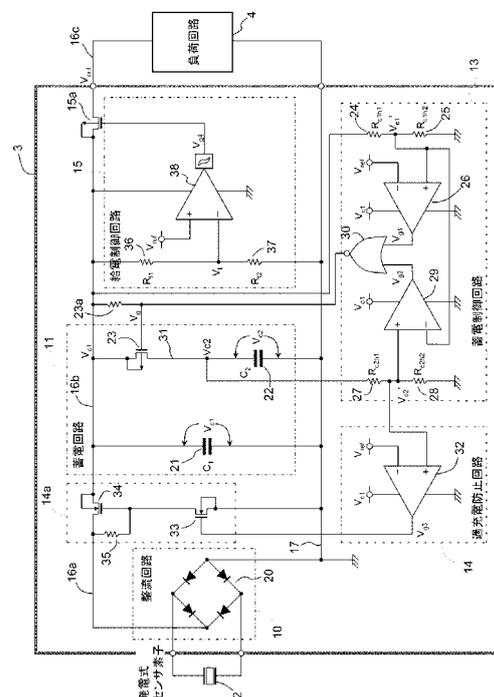
(54) 【発明の名称】 電力制御装置

(57) 【要約】

【課題】蓄電開始時の出力電圧の立ち上がりが速く、出力電圧の急激な変動がなく、且つ大容量の充電が可能な電力制御装置を提供する。

【解決手段】入出力ノード16bに接続され、入出力ノード16bに入力される電流を蓄電する初期蓄電装置21、可変コンダクタンス素子23を介して入出力ノード16bに接続され、入出力ノード16bに入力される電流を蓄電するバックアップ用蓄電装置22、及び、入出力ノード16bの出力電圧が一定の閾値電圧を超えた場合、出力電圧と閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い可変コンダクタンス素子23のコンダクタンスを制御する蓄電制御回路13を備えた構成とした。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

入出力ノードに入力される直流電流又は脈流電流を蓄電するとともに、前記入出力ノードに電圧を出力する電力制御装置であって、

前記入出力ノードに接続され、前記入出力ノードに入力される電流を蓄電する初期蓄電装置；

コンダクタンス可変の可変コンダクタンス素子；

前記可変コンダクタンス素子を介して前記入出力ノードに接続され、前記入出力ノードに入力される電流を蓄電する 1 乃至複数のバックアップ用蓄電装置；

及び、前記入出力ノードの電圧（以下「出力電圧」という。）が一定の閾値電圧を超えた場合、前記出力電圧と前記閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い前記可変コンダクタンス素子のコンダクタンスを制御する蓄電制御回路；  
を備えていることを特徴とする電力制御装置。

10

## 【請求項 2】

前記初期蓄電装置は、前記バックアップ用蓄電装置及び前記可変コンダクタンス素子と並列に、前記入出力ノードに接続されていることを特徴とする請求項 1 記載の電力制御装置。

## 【請求項 3】

前記バックアップ用蓄電装置は、前記初期蓄電装置よりも大きな静電容量を有し、

前記初期蓄電装置は、前記可変コンダクタンス素子と並列且つ前記バックアップ用蓄電装置と直列に接続されていることを特徴とする請求項 1 記載の電力制御装置。

20

## 【請求項 4】

一定の参照電圧を生成するリファレンス生成回路を備え、

前記蓄電制御回路は、前記出力電圧を一定の分圧比で分圧して得られる電圧（以下「比較電圧」という。）が前記参照電圧を超えた場合、前記比較電圧と前記参照電圧との差電圧に比例した電圧（以下「蓄電制御電圧」という。）を出力するオペアンプ回路によって構成され、

前記可変コンダクタンス素子は、ゲート端子に入力される前記蓄電制御電圧の増加とともにコンダクタンスが増加する電界効果トランジスタにより構成されていることを特徴とする請求項 1 乃至 3 の何れか一記載の電力制御装置。

30

## 【請求項 5】

前記入出力ノードに入力される電流を断続する充電入力スイッチ回路；

及び、前記バックアップ用蓄電装置の両端子間の電圧が前記閾値電圧に達した場合に、前記充電入力スイッチ回路を切断する過電流防止回路；  
を備えていることを特徴とする請求項 1 乃至 4 の何れか一に記載の電力制御装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、発電素子によって発電された電力を蓄電するとともに電圧を出力する電力制御装置に関し、特に、蓄電開始時の出力電圧の立ち上がり特性と安定性に優れ且つ大容量の充電が可能な電力制御装置に関する。

## 【背景技術】

## 【0002】

自動車や鉄道車両の軸受けの摩耗による振動検出、火災報知システムにおける熱検出など、物流管理、設備管理、あるいは刻々変わる環境情報の取得等の多くの技術分野におい

50

て、被測定対象の物理量をセンサにより測定しその測定結果を無線により外部に送信するワイヤレス・センサが使用されている。このような、ワイヤレス・センサにおいては、外部から電力線による給電を受けることなく駆動する必要があるための電源供給手段が必要となる。ワイヤレス・センサは、環境中に数多く設置されたり、人が入りにくい箇所に設置されたりする場合が多くある。そのため、ワイヤレス・センサの電源供給は、できるだけ自己完結的であることが望ましい。従って、電源供給方式としては、センサノード内に発電素子を設け、発電素子において発電された電力を電源として使用する自己発電方式が優れている（特許文献1～5参照）。

【0003】

また、近年は、時計内に発電素子を設けて、その発電素子が発電する電力によって時計内の電子回路を駆動する自己発電方式の電子時計が開発されている（特許文献6，7参照）。

10

【0004】

これらの自己発電方式の電子機器においては、発電素子で発電された電力を蓄電し、蓄電された電力から電子回路を駆動するための一定の電源電圧を発生させる電力制御装置が必要とされる。

【0005】

図13は、特許文献6に記載の電力制御装置の構成を表す図である。図13において、電子機器100は、太陽電池101、電力制御装置102、及び負荷装置103を備えている。太陽電池101は、光エネルギーを電流に変換する発電素子である。電力制御装置102は、太陽電池101が出力する電流を蓄電するとともに、蓄電された電力を電圧として出力する装置である。負荷装置103は、電力制御装置102が出力する電圧により駆動される装置である。

20

【0006】

電力制御装置102は、蓄電装置104、供給部105、制御回路106、補助蓄電装置107、リミット・スイッチ108、放電スイッチ109、及び逆流防止用ダイオード110，111を備えている。

【0007】

蓄電装置104は、太陽電池101から出力される電流を蓄電する。供給部105は、発電素子から蓄電装置104へ流入する電流の断通を行う。供給部105は、直列接続された2個のダイオード112a，112bからなる定電圧部112、並びに、ダイオード112aに並列接続されたバイパス・スイッチ113a及びダイオード112bに並列接続されたバイパス・スイッチ113bからなるバイパス部113を備えている。

30

【0008】

補助蓄電装置107は、太陽電池101の両極に接続されており、太陽電池101から出力される電流を蓄電する。リミット・スイッチ108は、電力制御装置102の出力端子102a，102b間の電圧が一定の値以上にならないよう出力端子102a，102b間の放電を行う。放電スイッチ109は、蓄電装置104から電力制御装置102の出力端子への放電を断通するスイッチである。逆流防止用ダイオード110，111は、太陽電池101に逆電流が流れるのを防止するためのダイオードである。

40

【0009】

制御回路106は、電力制御装置102の出力端子102a，102b間の電圧及び蓄電装置104の両極間電圧に基づき、バイパス・スイッチ113a，113b、リミット・スイッチ108、及び放電スイッチ109の断通制御を行う。

【0010】

尚、図13においては、バイパス・スイッチ113a，113b、及びリミット・スイッチ108はpチャネル型のMOSトランジスタで構成され、放電スイッチ109はnチャネル型のMOSトランジスタで構成されている。

【0011】

次に、以上のように構成された従来の電力制御装置102の動作を説明する。図14は

50

、図13に示した電力制御装置102のタイミング・チャートである。

【0012】

時刻 $t_0$ においては、蓄電装置104に殆ど電荷が蓄積されておらず、充電電圧 $V_{SC}$ がほぼ0Vの状態である。このとき、制御回路106がバイパス・スイッチ113a, 113b、及びリミット・スイッチ108に出力する制御信号 $\phi_1, \phi_2, \phi_4$ はLレベル、放電スイッチ109に出力する制御信号 $\phi_3$ はHレベルである。従って、各スイッチはオフ状態である。この状態で、太陽電池101に光が照射されると、太陽電池101から供給された電力は、供給部105によって定電圧部112及び蓄電装置104に供給される。供給部105においては、ダイオード112a, 112bの順方向バイアス電圧 $V_F$ によって電圧降下が発生し、蓄電装置104の供給電圧 $V_{SCP}$ が上昇する。

10

【0013】

時刻 $t_1$ において、供給電圧 $V_{SCP}$ が基準電圧 $V_0$ を増加方向に通過すると、制御回路106内の $V_0+$ 検出信号がHレベルとなり、後述の基準電圧 $V_1$ を検出する状態となる。また、制御回路106内の $V_0-$ 検出信号がHレベルとなり、後述の $V_0-$ が検出可能な状態となる。また、供給電圧 $V_{SCP}$ が基準電圧 $V_0$ を通過すると、リセット検出信号がLレベルとなる。

【0014】

このとき、供給部105と並列に接続された補助蓄電装置107には、供給部105と同一の電圧が印加されており、補助蓄電装置107には電力が蓄電される。この電力によって、負荷装置103は起動することが可能となる。

20

【0015】

照度が低く、太陽電池101から微小な電流しか供給されない場合でも、定電圧部112の順方向バイアス電圧により供給部105に所定の電圧が確立され、補助蓄電装置107にもその電圧が現れる。従って、かかる場合もすぐに負荷装置103の起動に必要な電圧を確保することができ、負荷装置103を素早くスタートさせることができる。

【0016】

太陽電池101からの電力供給が継続して行われると、蓄電装置104は充電され、充電電圧 $V_{SC}$ は上昇する。時刻 $t_2$ において充電電圧 $V_{SC}$ が基準電圧 $V_1$ (0.6V)に達すると、制御回路106は制御信号 $\phi_1$ をHレベルとし、バイパス・スイッチ113aをオン状態とする。これにより、ダイオード112aがバイパス・スイッチ113aによりバイパスされ、定電圧部112における電圧降下は半分となる。これに伴って、補助蓄電装置107から蓄電装置104に電流が流れて出力電圧 $V_{SS}$ は急速に減少するが、蓄電装置104には十分な充電電圧 $V_{SC}$ が確立されているので、出力電圧 $V_{SS}$ は負荷装置103の稼働に必要な最低電圧以下までには下がらない。続いて、太陽電池101から蓄電装置104に電流が供給され、供給電圧 $V_{SCP}$ が上昇する。

30

【0017】

時刻 $t_3$ において充電電圧 $V_{SC}$ が基準電圧 $V_2$ (1.2V)に達すると、制御回路106は制御信号 $\phi_2$ をHレベルとし、バイパス・スイッチ113bをオン状態とする。これにより、ダイオード112a, 112bがバイパス・スイッチ113bによりバイパスされ、太陽電池101の出力は直に蓄電装置104に供給される。また、これに伴って、補助蓄電装置107から蓄電装置104に電流が流れて出力電圧 $V_{SS}$ は急速に減少するが、蓄電装置104には十分な充電電圧 $V_{SC}$ が確立されているので、出力電圧 $V_{SS}$ は負荷装置103の稼働に必要な最低電圧以下までには下がらない。

40

【0018】

また、同時に制御信号 $\phi_3$ をLレベルとし、放電スイッチ109をオン状態とする。これによって、太陽電池から出力がない場合には、蓄電装置104から補助蓄電装置107に電力が供給されるようになる。

【特許文献1】特開2003-262645号公報

【特許文献2】特開2003-168182号公報

【特許文献3】特開2003-22492号公報

50

【特許文献4】特開2003-307228号公報

【特許文献5】特開2000-222668号公報

【特許文献6】特開平9-264971号公報

【特許文献7】特開平11-14766号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

上記従来の電力制御装置102においては、充電電圧 $V_{sc}$ がある閾値電圧 $V_1$ 、 $V_2$ を超えたときに、それぞれバイパス・スイッチ113a、113bを段階的にオン状態とする。このとき、供給部105の降下電圧が急激に変化し、補助蓄電装置107から蓄電装置104に電荷移動が生じ、出力電圧 $V_{ss}$ の急激な低下が発生する。このような出力電圧 $V_{ss}$ の急激な低下は、負荷装置103に対する電源ノイズとなり、負荷装置103の動作に悪影響を及ぼす場合がある。

【0020】

また、電力制御装置102では、蓄電装置104への印加電圧はダイオード112a、112bにより低く設定されているものの、充電時においては常に補助蓄電装置107と蓄電装置104との両方に充電電流が流れ込む。そのため、充電を開始してから補助蓄電装置107が完全充電されるまでの時間が遅れる。すなわち、出力電圧 $V_{ss}$ の上昇時間（図14における $t_0 \sim t_4$ 等）が長いため、負荷装置103が電力消費をしてから次に再び電力消費をするまでのインターバル（電源電圧の回復時間）を比較的長くとることが必要とされる。従って、電力制御装置102は、短い間隔で頻繁に電力消費がされるような負荷装置に対して適用するには不向きである。

【0021】

そこで、本発明の目的は、蓄電開始時の出力電圧の立ち上がりが速く、出力電圧の急激な変動がなく、且つ大容量の充電が可能な電力制御装置を提供することにある。

【課題を解決するための手段】

【0022】

本発明に係る電力制御装置の第1の構成は、入出力ノードに入力される直流電流又は脈流電流を蓄電するとともに、前記入出力ノードに電圧を出力する電力制御装置であって、前記入出力ノードに接続され、前記入出力ノードに入力される電流を蓄電する初期蓄電装置；

コンダクタンス可変の可変コンダクタンス素子；

前記可変コンダクタンス素子を介して前記入出力ノードに接続され、前記入出力ノードに入力される電流を蓄電する1乃至複数のバックアップ用蓄電装置；

及び、前記入出力ノードの電圧（以下「出力電圧」という。）が一定の閾値電圧を超えた場合、前記出力電圧と前記閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い前記可変コンダクタンス素子のコンダクタンスを制御する蓄電制御回路；を備えていることを特徴とする。

【0023】

この構成によれば、蓄電開始時においては、入出力ノードに入力される電流は、初期蓄電装置に蓄電され、それに伴って入出力ノードの電圧（出力電圧）が上昇する。出力電圧が閾値電圧を超えた場合、蓄電制御回路は、出力電圧と閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い、可変コンダクタンス素子のコンダクタンスを制御する。すなわち、可変コンダクタンス素子のコンダクタンスは、差電圧が負のとき可変コンダクタンス素子のコンダクタンスは0で、差電圧が0を超えて正になると可変コンダクタンス素子のコンダクタンスが急激に単調増加するように制御される。このため、出力電圧が閾値電圧を超えた直後でも、出力電圧は閾値以上に保持され、出力電圧が急激に降下するようなノイズの発生が抑えられる。

【0024】

ここで、初期蓄電装置及びバックアップ用蓄電装置としては、コンデンサや二次電池を

使用することができる。

【0025】

また、本発明において、初期蓄電装置の静電容量を小さくし、バックアップ用蓄電装置の静電容量は初期蓄電装置よりも大きくすることができる。これにより、蓄電開始時は、小容量の初期蓄電装置に蓄電されるため、入出力ノードの立ち上がりが速くなる。また、入出力ノードの電圧が所定の閾値電圧に達した後は、入出力ノードに入力される電流は、静電容量の大きいバックアップ用蓄電装置に蓄電される。従って、入出力ノードから電力を取り出して消費した場合でも、バックアップ用蓄電装置に蓄電された電荷によって入出力ノードの電圧降下を遅くすることができる。

【0026】

本発明に係る電力制御装置の第2の構成は、前記第1の構成において、前記初期蓄電装置は、前記バックアップ用蓄電装置及び前記可変コンダクタンス素子と並列に、前記入出力ノードに接続されていることを特徴とする。

【0027】

この構成によれば、蓄電開始時においては、入出力ノードに入力される電流は、初期蓄電装置に蓄電され、それに伴って入出力ノードの電圧（出力電圧）が上昇する。出力電圧が閾値電圧を超えた場合、蓄電制御回路は、出力電圧と閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い、可変コンダクタンス素子のコンダクタンスを制御する。これにより、初期蓄電装置に蓄電された電力が消費されない間は、入出力ノードに入力される電流は、初期蓄電装置に並列に接続されたバックアップ用蓄電装置の側に流入して蓄電され、バックアップ用蓄電装置の両極電圧が上昇する。従って、入出力ノードに入力される電流をバックアップ用蓄電装置に無駄なく蓄電することができる。

【0028】

尚、バックアップ用蓄電装置を複数個使用する場合には、初期蓄電装置に対して単純に並列に接続する構成としてもよいが、図1(a)のような接続としてもよい。すなわち、初期蓄電装置 $C_1$ 、 $N$ 個（ $N \geq 2$ ）の可変コンダクタンス素子 $V G_i$ （ $i = 1, \dots, N$ ）、 $N$ 個のバックアップ用蓄電装置 $C_{2,i}$ （ $i = 1, \dots, N$ ）、及び $N$ 個の蓄電制御回路 $C N T_i$ （ $i = 1, \dots, N$ ）を備えた構成とする。そして、 $i$ 番目の可変コンダクタンス素子 $V G_i$ と $i$ 番目のバックアップ用蓄電装置 $C_{2,i}$ とを直列に接続した $N$ 個の回路を初期蓄電装置 $C_1$ に対して並列に接続する。また、蓄電制御回路 $C N T_i$ は可変コンダクタンス素子 $V G_i$ のコンダクタンスの制御を行うようにする。更に、蓄電制御回路 $C N T_1$ は、出力電圧 $V_{out}$ が一定の閾値電圧 $V_{full}$ を超えた場合、出力電圧 $V_{out}$ と閾値電圧 $V_{full}$ との差電圧に対し単調増加するコンダクタンス変化特性に従い可変コンダクタンス素子 $V G_1$ のコンダクタンスを制御し、また、蓄電制御回路 $C N T_i$ （ $i \geq 2$ ）は、バックアップ用蓄電装置 $C_{2,i-1}$ の電圧 $V_{2,i-1}$ が閾値電圧 $V_{full}$ を超えた場合、電圧 $V_{2,i-1}$ と閾値電圧 $V_{full}$ との差電圧に対し単調増加するコンダクタンス変化特性に従い可変コンダクタンス素子 $V G_i$ のコンダクタンスを制御するように構成する。このように、バックアップ用蓄電装置を多段化することにより、蓄電開始時の出力電圧の立ち上がり時間を短く維持しつつ、より大容量の充電が可能となる。

【0029】

本発明に係る電力制御装置の第3の構成は、前記第1の構成において、前記バックアップ用蓄電装置は、前記初期蓄電装置よりも大きな静電容量を有し、前記初期蓄電装置は、前記可変コンダクタンス素子と並列且つ前記バックアップ用蓄電装置と直列に接続されていることを特徴とする。

【0030】

この構成によれば、蓄電開始時においては、入出力ノードに入力される電流は、初期蓄電装置に蓄電され、それに伴って入出力ノードの電圧（出力電圧）が上昇する。出力電圧が閾値電圧を超えた場合、蓄電制御回路は、出力電圧と閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い、可変コンダクタンス素子のコンダクタンスを制御する。これにより、入出力ノードに流入する電流がバックアップ用蓄電装置に蓄電される

10

20

30

40

50

と共に、初期蓄電装置に蓄電された電荷は徐々に放電される。従って、出力電圧は一定の閾値電圧を保ったまま、初期蓄電装置の両極間電圧が下降するとともにバックアップ用蓄電装置の両極電圧が上昇する。

## 【0031】

これにより、蓄電開始直後では、初期蓄電装置及びバックアップ用蓄電装置に蓄電される。初期蓄電装置の静電容量を $C_1$ 、バックアップ用蓄電装置の静電容量を $C_{2,i}$  ( $i = 1, \dots, N$ ;  $N$ はバックアップ用蓄電装置の数)、出力電圧を $V_{out}$ とすると、直列接続された初期蓄電装置及びバックアップ用蓄電装置に蓄電される電荷 $Q$ は、式(1)のようになり、初期蓄電装置及びバックアップ用蓄電装置の両極間電圧 $V_1, V_2$ は式(2)のようになり、 $V_1 > V_2$ である。ここで、複数のバックアップ用蓄電装置は単純に並列接続されていると仮定した。

10

## 【0032】

## 【数1】

$$Q = \frac{C_1 C_2}{C_1 + C_2} V_{out}, \quad C_2 = \sum_{i=1}^N C_{2,i} \quad (1)$$

## 【0033】

## 【数2】

$$V_1 = \frac{C_2}{C_1 + C_2} V_{out}, \quad V_2 = \frac{C_1}{C_1 + C_2} V_{out} \quad (2)$$

20

## 【0034】

このとき、直列接続された初期蓄電装置及びバックアップ用蓄電装置の静電容量はバックアップ用蓄電装置単独の静電容量 $C_2$ に比べて小さいため、出力電圧は早期に閾値電圧まで上昇する。従って、出力電圧が下降する速度が速い。

## 【0035】

一方、出力電圧が閾値電圧まで上昇した後は、静電容量の小さい初期蓄電装置が徐々に放電されるとともに静電容量の大きいバックアップ用蓄電装置が徐々に充電される。これにより、出力電圧 $V_{out}$ に対するバックアップ用蓄電装置の両極間電圧の比率が徐々に上昇するとともに初期蓄電装置の両極間電圧の比率が徐々に下降し、最終的に $V_1 = 0, V_2 = V_{out}$ となるまで充電がされる。従って、最終的に蓄電される電荷量は $Q = C_2 V$ となる。これにより、蓄電初期において出力電圧が閾値電圧まで上昇させる時間を短縮できると同時に、その後は入出力ノードに入力される電流をバックアップ用蓄電装置に無駄なく蓄電し、電力消費による出力電圧の下降速度を抑えることが可能となる。

30

## 【0036】

尚、ここでは複数個のバックアップ用蓄電装置を単純に並列に接続するような場合について説明したが、複数個のバックアップ用蓄電装置を、図1(b)のように直列に接続するようにすることもできる。すなわち、初期蓄電装置 $C_1$ 、 $N$ 個 ( $N \geq 2$ ) の可変コンダクタンス素子 $V G_i$  ( $i = 1, \dots, N$ )、 $N$ 個のバックアップ用蓄電装置 $C_{2,i}$  ( $i = 1, \dots, N$ )、及び $N$ 個の蓄電制御回路 $C N T_i$  ( $i = 1, \dots, N$ )を備えた構成とする。そして、初期蓄電装置 $C_1$ 及び各バックアップ用蓄電装置 $C_{2,1}, \dots, C_{2,N}$ を直列に接続する。また、蓄電制御回路 $C N T_i$ は可変コンダクタンス素子 $V G_i$ のコンダクタンスの制御を行うようにする。そして、蓄電制御回路 $C N T_1$ は、出力電圧 $V_{out}$ が一定の閾値電圧 $V_{full}$ を超えた場合、出力電圧 $V_{out}$ と閾値電圧 $V_{full}$ との差電圧に対し単調増加するコンダクタンス変化特性に従い可変コンダクタンス素子 $V G_1$ のコンダクタンスを制御し、また、蓄電制御回路 $C N T_i$  ( $i \geq 2$ )は、バックアップ用蓄電装置 $C_{2,i-1}$ の電圧 $V_{2,i-1}$ が閾値電圧 $V_{full}$ を超えた場合、電圧 $V_{2,i-1}$ と閾値電圧 $V_{full}$ との差電圧に対し単調増加するコンダクタンス変化特性に従い可変コンダクタンス素子 $V G_i$ のコンダクタンスを制御するように構成する。このように、バックアップ用蓄電装置を多段化することにより、蓄電開始時の出力電圧の立ち上が

40

50

り時間を短く維持しつつ、より大容量の充電が可能となる。

【0037】

本発明に係る電力制御装置の第4の構成は、前記第1乃至3の何れか一の構成において、一定の参照電圧を生成するリファレンス生成回路を備え、前記蓄電制御回路は、前記出力電圧を一定の分圧比で分圧して得られる電圧（以下「比較電圧」という。）が前記参照電圧を超えた場合、前記比較電圧と前記参照電圧との差電圧に比例した電圧（以下「蓄電制御電圧」という。）を出力するオペアンプ回路によって構成され、前記可変コンダクタンス素子は、ゲート端子に入力される前記蓄電制御電圧の増加とともにコンダクタンスが増加する電界効果トランジスタにより構成されていることを特徴とする。

【0038】

この構成によれば、オペアンプ回路は、比較電圧と参照電圧を比較して、比較電圧が参照電圧を超えた場合に、両者の差電圧に比例した蓄電制御電圧を出力する。ここで、比較電圧と参照電圧とは、出力電圧が閾値電圧であるときに一致するように分圧比を設定しておく。可変コンダクタンス素子である電界効果トランジスタは、ゲートに入力される蓄電制御電圧の増加に伴いチャンネルのコンダクタンスが増加する。これにより、出力電圧が閾値電圧を超えた場合、前記出力電圧と前記閾値電圧との差電圧に対し単調増加するコンダクタンス変化特性に従い前記可変コンダクタンス素子のコンダクタンスを制御することが可能となる。

【0039】

ここで、リファレンス生成回路としては、入出力ノードの電圧によって動作するバンドギャップ回路を使用することができる。バンドギャップ回路を使用することで、温度によらず安定した参照電圧を得ることができる。

【0040】

本発明に係る電力制御装置の第5の構成は、前記第1乃至4の何れか一の構成において、前記入出力ノードに入力される電流を断続する充電入力スイッチ回路；

及び、前記バックアップ用蓄電装置の両端子間の電圧が前記閾値電圧に達した場合に、前記充電入力スイッチ回路を切断する過電流防止回路；  
を備えていることを特徴とする。

【0041】

この構成により、過電流防止回路がバックアップ用蓄電装置の両端子間の電圧が閾値電圧に達した場合に充電入力スイッチ回路を切断することにより、出力電圧が閾値電圧を超えて過剰に上昇することを防止することができる。

【発明の効果】

【0042】

以上のように、本発明によれば、蓄電装置を初期蓄電装置とバックアップ用蓄電装置とに分けて、蓄電開始直後には初期蓄電装置に優先的に蓄電させる構成としたため、蓄電開始時の出力電圧の立ち上がりが速くなる。また、初期蓄電装置に蓄電が行われて出力電圧が上昇し、出力電圧が閾値電圧を超えた直後でも、出力電圧は閾値以上に保持され、出力電圧が急激に降下するようなノイズの発生が抑えられる。従って、出力電圧が安定し、品質のよい電源供給を行うことが可能となる。そして、出力電圧が閾値電圧に達した後は、バックアップ用蓄電装置に蓄電するため、蓄電容量が大きく、入力電流がない期間に電力消費がされた場合でも、長時間にわたって出力電圧を所定の閾値電圧に近い値に維持させることができる。

【発明を実施するための最良の形態】

【0043】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。尚、ここでは、本発明に係る電力制御装置をワイヤレス・センサ（例えば、特許文献1～5参照）に適用した事例について説明する。

【実施例1】

【0044】

10

20

30

40

50

図 2 は、本発明の実施例 1 に係るワイヤレス・センサ及び電力制御装置の構成を表すブロック図である。ワイヤレス・センサ 1 は、発電式センサ素子 2、電力制御装置 3、負荷回路 4、及びアンテナ 5 を備えている。

【0045】

発電式センサ素子 2 は、物理的エネルギーを電気信号として検出するセンサであり、発電素子としても使用できるものである。発電式センサ素子 2 としては、目的に応じて、圧電センサ、温度センサ、光電変換素子等の各種センサを使用することができる。ここでは、例として、発電式センサ素子 2 には、機械の故障診断等のために機械振動を検出する圧電センサが使用されているものとする。

【0046】

電力制御装置 3 は、発電式センサ素子 2 によって発電される電力を蓄電するとともに、ワイヤレス・センサ 1 の駆動電力として各回路に供給するための装置である。負荷回路 4 は、電力制御装置 3 が供給する電力を消費する回路である。本実施例において、負荷回路 4 は、センサ回路 4 a 及び送受信回路 4 b を備えている。センサ回路 4 a は、発電式センサ素子 2 が出力する電気信号を入力し、検出信号として出力する回路である。送受信回路 4 b は、センサ回路 4 a が出力する検出信号を所定の通信プロトコルに従ってアンテナ 5 から送信するとともに、アンテナ 5 を介して外部から送信されてくる各種動作指令を受信する回路である。

【0047】

上記電力制御装置 3 は、整流回路 10、蓄電回路 11、リファレンス生成回路 12、蓄電制御回路 13、過充電防止回路 14、充電入力スイッチ回路 14 a、給電制御回路 15、及び給電スイッチ回路 15 a を備えている。

【0048】

整流回路 10 は、発電式センサ素子 2 が出力する交流電流を整流する回路である。蓄電回路 11 は、整流回路 10 から出力される直流乃至脈流の電流を蓄電し、電圧として出力するための回路である。リファレンス生成回路 12 は、一定の参照電圧を生成し出力する回路であり、通常は、バンドギャップ・リファレンス回路が使用される。蓄電制御回路 13 は、蓄電回路 11 の蓄電動作を制御するための回路である。

【0049】

過充電防止回路 14 は、蓄電回路 11 に蓄電された電力が許容容量を超えて蓄電されないように、充電入力スイッチ回路 14 a の断通制御を行う回路である。尚、充電入力スイッチ回路 14 a は、整流回路 10 と蓄電回路 11 とを接続する電力供給線上に設けられている。給電制御回路 15 は、給電スイッチ回路 15 a の断通制御を行うことによって、蓄電回路 11 から負荷回路 4 への電力供給を制御する回路である。尚、給電スイッチ回路 15 a は、蓄電回路 11 の出力と負荷回路 4 の電源入力とを接続する電力供給線上に設けられている。

【0050】

図 3 は、本実施例に係る電力制御装置 3 の詳細な回路構成を示す図である。図 3 において、整流回路 10、蓄電回路 11、蓄電制御回路 13、過充電防止回路 14、充電入力スイッチ回路 14 a、給電制御回路 15、及び給電スイッチ回路 15 a は、図 2 と同様のものであり、同符号を付して説明は省略する。尚、リファレンス生成回路 12 は、図 3 においては記載を省略してある。

【0051】

整流回路 10 は、4 個のダイオードで構成される通常のダイオード・ブリッジ回路 20 により構成されている。これにより、整流回路 10 は、発電式センサ素子 2 が出力する交流電流を全波整流する。整流回路 10 の 2 本の出力線は、入出力ノード 16 a 及び接地ノード 17 に接続されている。また、入出力ノード 16 a は、充電入力スイッチ回路 14 a を介して入出力ノード 16 b に接続され、入出力ノード 16 b は、給電スイッチ回路 15 a を介して入出力ノード 16 c に接続されている。

【0052】

10

20

30

40

50

蓄電回路 11 は、初期蓄電装置 21、バックアップ用蓄電装置 22、及び可変コンダクタンス素子 23 を備えている。初期蓄電装置 21 は、入出力ノード 16b と接地ノード 17 との間に接続されたコンデンサである。初期蓄電装置 21 は、充電入力スイッチ回路 14a を介して発電式センサ素子 2 から入出力ノード 16b に入力される電流を蓄電する。

【0053】

可変コンダクタンス素子 23 は、p チャンネルの MOS トランジスタで構成されている。バックアップ用蓄電装置 22 は、初期蓄電装置 21 よりも静電容量が大きいコンデンサにより構成されている。可変コンダクタンス素子 23 及びバックアップ用蓄電装置 22 は、入出力ノード 16b と接地ノード 17 との間に直列に接続されている。すなわち、初期蓄電装置 21 は、バックアップ用蓄電装置 22 及び可変コンダクタンス素子 23 と並列に、

10

【0054】

可変コンダクタンス素子 23 は、そのゲートに入力する電圧によりコンダクタンスを変化させることが可能である。バックアップ用蓄電装置 22 は、充電入力スイッチ回路 14a を介して発電式センサ素子 2 から入出力ノード 16b に入力される電流を蓄電する。

【0055】

尚、図 3 においては、バックアップ用蓄電装置 22 は、1 個のコンデンサで表しているが、複数個のコンデンサを並列接続した構成としてもよい。また、バックアップ用蓄電装置 22 及び可変コンダクタンス素子 23 を、入出力ノード 16b と接地ノード 17 との間に複数組接続した構成としてもよい。

20

【0056】

蓄電制御回路 13 は、入出力ノード 16b の電圧（以下「出力電圧」という。） $V_{c1}$  が一定の閾値電圧  $V_{f u l l}$  を超えた場合、出力電圧  $V_{c1}$  と閾値電圧  $V_{f u l l}$  との差電圧  $V = V_{c1} - V_{f u l l}$  に対し単調増加するコンダクタンス変化特性に従い可変コンダクタンス素子 23 のゲート電圧を制御する回路である。

【0057】

蓄電制御回路 13 は、分圧抵抗 24, 25, 27, 28、オペアンプ 26, 29、及びワイヤド NOR 回路 30 を備えている。

【0058】

分圧抵抗 24, 25 は、入出力ノード 16b と接地ノードとの間に直列に接続されている。分圧抵抗 24, 25 は、入出力ノード 16b に生じる出力電圧  $V_{c1}$  を一定の分圧比 ( $R_{c1h1} : R_{c1h2}$ ) で分圧して、両分圧抵抗 24, 25 の接続ノードに比較電圧  $V_{c1}'$  を発生させる。また、分圧抵抗 27, 28 は、バックアップ用蓄電装置 22 と可変コンダクタンス素子 23 との接続ノード（以下「バックアップ出力ノード」という。）31 と接地ノードとの間に直列に接続されている。分圧抵抗 27, 28 は、バックアップ出力ノード 31 に生じる電圧（以下「バックアップ電圧」という。） $V_{c2}$  を一定の分圧比 ( $R_{c2h1} : R_{c2h2}$ ) で分圧して、両分圧抵抗 27, 28 の接続ノードに比較電圧  $V_{c2}'$  を発生させる。尚、分圧抵抗 24, 25 の分圧比と、分圧抵抗 27, 28 の分圧比は等しいものとする。

30

【0059】

オペアンプ 26 は、2 つの入力を有し、一方には比較電圧  $V_{c1}'$  が入力され、他方にはリファレンス生成回路 12 が出力する参照電圧  $V_{ref}$  が入力される。オペアンプ 26 は、比較電圧  $V_{c1}'$  が参照電圧  $V_{ref}$  より高い場合、比較電圧  $V_{c1}'$  と参照電圧  $V_{ref}$  との差電圧に比例した電圧（以下「蓄電制御電圧」という。） $V_{g1}$  を出力する。

40

【0060】

オペアンプ 29 は、2 つの入力を有し、一方には比較電圧  $V_{c2}'$  が入力され、他方には比較電圧  $V_{c1}'$  が入力される。オペアンプ 29 は、比較電圧  $V_{c2}'$  が比較電圧  $V_{c1}'$  より高い場合、比較電圧  $V_{c1}'$  と参照電圧  $V_{ref}$  との差電圧に比例した電圧（以下「給電制御電圧」という。） $V_{g2}$  を出力する。

【0061】

50

蓄電制御電圧  $V_{g1}$  と給電制御電圧  $V_{g2}$  とはワイヤド NOR 回路 30 に入力される。ワイヤド NOR 回路 30 は、蓄電制御電圧  $V_{g1}$  と給電制御電圧  $V_{g2}$  とのワイヤド NOR をとった電圧（以下「コンダクタンス制御電圧」という。） $V_g$  を、可変コンダクタンス素子 23 のゲートに出力する。

【0062】

蓄電制御電圧  $V_{g1}$  は、出力電圧  $V_{c1}$  が所定の閾値電圧  $V_{full} = ((R_{c1h1} + R_{c1h2}) V_{c1}' / R_{c1h2})$  より高い場合、両者の差電圧  $V = V_{c1} - V_{full}$  に比例した大きさとなる。また、給電制御電圧  $V_{g2}$  は、バックアップ電圧  $V_{c2}$  が出力電圧  $V_{c1}$  よりも高い場合、両者の差電圧  $V_c = V_{c2} - V_{c1}$  に比例した大きさとなる。

10

【0063】

従って、 $V_{c2} < V_{c1}$  の場合には、 $V_{c1} > V_{full}$  のときにコンダクタンス制御電圧  $V_g$  は差電圧  $V$  に比例した電圧となり、入出力ノード 16b からバックアップ用蓄電装置 22 に差電圧  $V$  に応じた大きさの電流が流入する。一方、 $V_{c2} > V_{c1}$  の場合には、コンダクタンス制御電圧  $V_g$  は差電圧  $V_c$  に比例した電圧となり、バックアップ用蓄電装置 22 から入出力ノード 16b へ差電圧  $V_c$  に応じた大きさの電流が流出する。

【0064】

過充電防止回路 14 は、バックアップ用蓄電装置 22 の両端子間の電圧（バックアップ電圧  $V_{c2}$ ）が閾値電圧  $V_{full}$  に達した場合に、充電入力スイッチ回路 14a を切断する回路である。過充電防止回路 14 は、オペアンプ 32 を備えている。オペアンプ 32 は、2つの入力を有し、一方には上記比較電圧  $V_{c2}'$  が入力され、他方にはリファレンス生成回路 12 が出力する参照電圧  $V_{ref}$  が入力される。オペアンプ 32 は、比較電圧  $V_{c2}'$  が参照電圧  $V_{ref}$  より高い場合（すなわち、 $V_{c2} < V_{full}$  の場合）、参照電圧  $V_{ref}$  と比較電圧  $V_{c2}'$  との差電圧に比例した電圧  $V_{g3}$  を出力する。

20

【0065】

充電入力スイッチ回路 14a は、 $n$ チャネルの MOS トランジスタ 33、 $n$ チャネルの MOS トランジスタ 34、及び抵抗素子 35 を備えている。MOS トランジスタ 34 は、入出力ノード 16a、16b 間に接続されている。MOS トランジスタ 33 は、MOS トランジスタ 34 のゲートと接地ノード 17 との間に接続されている。また、抵抗素子 35 は、入出力ノード 16a と MOS トランジスタ 33 のソースとの間に接続されている。MOS トランジスタ 33 のゲートには、オペアンプ 32 が出力する電圧  $V_{g3}$  が入力される。

30

【0066】

$V_{c2} < V_{full}$  の場合、バックアップ用蓄電装置 22 には、まだ充電する余裕がある。この場合、 $V_{g3}$  が 0 となる。これにより、MOS トランジスタ 33 がオフ状態となり、MOS トランジスタ 34 のゲートは整流回路 10 の出力電圧と同電位となる。従って、MOS トランジスタ 34 はオン状態となり、入出力ノード 16a、16b は接続され、入出力ノード 16b に電流を入力することが可能となる。

【0067】

一方、 $V_{c2} > V_{full}$  の場合、バックアップ用蓄電装置 22 はフル充電されており、これ以上充電電流を入力すると出力電圧は閾値電圧  $V_{full}$  を超える。この場合、 $V_{g3}$  は  $V_{c2} - V_{full}$  の値に応じて増加するので、MOS トランジスタ 33 がオン状態となり、MOS トランジスタ 34 のゲート電圧は接地電位となる。従って、MOS トランジスタ 34 はオフ状態となり、入出力ノード 16a、16b は切り離される。これにより、入出力ノード 16b への電流入力が遮断され、過充電が防止される。

40

【0068】

給電制御回路 15 は、分圧抵抗 36、37、及びヒステリシス付コンパレータ 38 を備えている。また、給電スイッチ回路 15a は、 $p$ チャネルの MOS トランジスタにより構成されている。分圧抵抗 36、37 は、入出力ノード 16b と接地ノード 17 との間に直

50

列に接続されている。分圧抵抗 36, 37 は、入出力ノード 16b に生じる出力電圧  $V_{c1}$  を一定の分圧比 ( $R_{11} : R_{12}$ ) で分圧して、両分圧抵抗 36, 37 の接続ノードに比較電圧  $V_1$  を発生させる。

【0069】

ヒステリシス付コンパレータ 38 は、2つの入力を有し、一方には比較電圧  $V_1$  が入力され、他方にはリファレンス生成回路 12 が出力する参照電圧  $V_{ref}$  が出力される。ヒステリシス付コンパレータ 38 の入出力特性を示す。図 4 (a) は、図 3 のヒステリシス付コンパレータ 38 の周辺回路部分を抜き出したものであり、図 4 (b) はヒステリシス付コンパレータ 38 の入出力特性である。電圧  $V_1$  は電圧  $V_{c1}$  に比例するので、図 4 (b) の横軸は電圧  $V_{c1}$  で示してある。

10

【0070】

ヒステリシス付コンパレータ 38 は、出力電圧  $V_{g4}$  が  $V_H$  (Hレベル) の場合において、電圧  $V_{c1}$  が上昇して電圧  $V_{full}$  を超えると、出力電圧  $V_{g4}$  が 0 (Lレベル) となる。ここで、 $V_{full} = (V_{ref} + ) (R_{11} + R_{12}) / R_{12}$  である。

【0071】

この電圧  $V_{g4}$  は、給電スイッチ回路 15a のゲートに入力される。この状態遷移により、給電スイッチ回路 15a はオフ状態からオン状態に切り替わる。これにより、給電スイッチ回路 15a は、蓄電開始直後は、電力が十分に蓄電されておらず出力電圧  $V_{c1}$  が電圧  $V_{full}$  に達しない期間は給電スイッチ回路 15a をオフ状態に保持して、電力が十分に蓄電されて出力電圧  $V_{c1}$  が電圧  $V_{full}$  に達してから給電スイッチ回路 15a

20

【0072】

逆に、出力電圧  $V_{g4}$  が 0 (Lレベル) の場合において、電圧  $V_{c1}$  が下降して  $V_{th2}$  を下回ると、出力電圧  $V_{g4}$  が  $V_H$  (Hレベル) となる。ここで、 $V_{th2} = (V_{ref} - ) (R_{11} + R_{12}) / R_{12}$  である。この状態遷移により、給電スイッチ回路 15a はオン状態からオフ状態に切り替わる。

【0073】

ここで、閾値電圧  $V_{th2}$  は、負荷回路 4 の駆動に必要な電源電圧の最小値よりも大きい値に設定される。これにより、出力電圧  $V_{c1}$  が負荷回路 4 の駆動に必要な電源電圧まで下降し、蓄電電力が不足するようになった場合には、給電スイッチ回路 15a がオフ状態となり、負荷回路 4 への給電が遮断される。

30

【0074】

図 5 は、リファレンス生成回路 12 の回路構成の一例を表す図である。このように、リファレンス生成回路 12 にはバンドギャップ・リファレンス回路を使用することができる。尚、リファレンス生成回路 12 の電源は、ワイヤレス・センサ内で電源を自給するため、入出力ノード 16b の電圧  $V_{c1}$  が使用される。

【0075】

図 6 は、図 3, 図 5 における各オペアンプの回路構成 (a) 及びワイヤド NOR 回路 30 の回路構成 (b) を表す図である。これらは、通常使用されるオペアンプ、ワイヤド NOR 回路と同様であり、詳細な説明は省略する。

40

【0076】

尚、図 6 (a) では、差動入力対に n チャネルの MOS トランジスタが用いられているが、同図のすべての MOS トランジスタの極性を反転させて、同一回路構成で差動入力対に p チャネルの MOS トランジスタを用いたオペアンプを使用することもできる。更に、図 6 (a) のオペアンプの出力を入力側に正帰還させれば、ヒステリシス付コンパレータ 38 を構成することができる。

【0077】

以上のように構成された本実施例に係る電力制御装置 3 について、以下その動作を説明する。図 7 は可変コンダクタンス素子 23 の飽和領域における電圧 - 電流特性を表す図である。図 8 及び図 9 は、電力制御装置 3 の出力電圧の時間変化を表す図である。尚、図 8

50

、図9では、説明を簡単にするため、発電式センサ素子2は常に一定の電流を出力するものとした。

【0078】

図8(a)は、負荷回路4による電力消費がない場合における電力制御装置3の充電動作を表している。

【0079】

時刻0において、初期蓄電装置21及びバックアップ用蓄電装置22には電力が蓄電されていないものとする。 $V_{c1} = 0$ では、MOSトランジスタ34はダイオード接続がされた状態であり、可変コンダクタンス素子23のコンダクタンスは0である。また、給電スイッチ回路15aもオフ状態である。この状態では、整流回路10から供給される電流は入出力ノード16bに流れ込み、初期蓄電装置21に蓄電される。それに伴って、出力電圧 $V_{c1}$ が上昇し始める。初期蓄電装置21に流入する電流を $I$ とすると、 $V_{c1} = I \cdot t / C_1$ である。初期蓄電装置21の静電容量 $C_1$ は小さいので、 $V_{c1}$ は急速に上昇する。

【0080】

時刻 $t_1$ において、出力電圧 $V_{c1}$ が閾値電圧 $V_{ful1}$ に達する。そうすると、ヒステリシス付コンパレータ38の出力電圧 $V_{g4}$ が0となる。従って、給電スイッチ回路15aがオン状態となり、 $V_{out} = V_{c1}$ となる。これにより、負荷回路4が電源電圧を使用することが可能となる。

【0081】

また、時刻 $t_1$ において、出力電圧 $V_{c1}$ が閾値電圧 $V_{ful1}$ に達すると、 $V_{c1}' = V_{ref}$ となる。整流回路10から入出力ノード16bに電流が更に供給されると、電流は初期蓄電装置21に流入して更に出力電圧 $V_{c1}$ が上昇する。それに伴って、差電圧 $V = V_{c1}' - V_{ref}$ は0より大きくなる。差電圧 $V$ が0より大きくなると、それに比例して蓄電制御電圧 $V_{g1} = A_{op} \cdot V = A(V_{c1} - V_{ful1})$ ( $A_{op}$ はオペアンプ26のゲイン)が出力され、これがコンダクタンス制御電圧 $V_g$ として可変コンダクタンス素子23のゲートに入力される。このとき、可変コンダクタンス素子23は飽和領域にあり、その電圧-電流特性は図7の通りである。従って、可変コンダクタンス素子23のコンダクタンスが0より急激に大きくなり、入出力ノード16bからバックアップ用蓄電装置22に電流が流入し始める。このとき、仮にコンダクタンスが過剰に大きくなって、入出力ノード16bの出力電圧 $V_{c1}$ が閾値電圧 $V_{ful1}$ 以下に引き下げられようとするれば、可変コンダクタンス素子23のコンダクタンスは0に戻るの、結局、 $V_{c1}$ は閾値電圧 $V_{ful1}$ 以下に下がることない。このようにして、出力電圧 $V_{c1}$ は、常に閾値電圧 $V_{ful1}$ の値で平衡を保った状態となり、入出力ノード16bに供給される電流はバックアップ用蓄電装置22に流入し蓄電される。そして、バックアップ用蓄電装置22の電圧(バックアップ電圧 $V_{c2}$ )が上昇を始める。

【0082】

バックアップ用蓄電装置22に流入する電流を $I$ とすると、 $V_{c2} = I \cdot t / C_2$ である。バックアップ用蓄電装置22の静電容量 $C_2$ は大きいので、 $V_{c2}$ は緩やかに上昇する。

【0083】

時刻 $t_2$ において、バックアップ電圧 $V_{c2}$ は閾値電圧 $V_{ful1}$ に達する。これに伴い、比較電圧 $V_{c2}'$ は参照電圧 $V_{ref}$ に達する。そうすると、オペアンプ32が出力する電圧 $V_{g3}$ は0となり、MOSトランジスタ33, 34はオフ状態となる。従って、入出力ノード16a, 16bは切り離され、過充電が防止され、出力電圧 $V_{c1}$ 及びバックアップ電圧 $V_{c2}$ がともに閾値電圧 $V_{ful1}$ の状態に保たれる。

【0084】

このように、本実施例の電力制御装置3では、出力電圧 $V_{c1}$ が閾値電圧 $V_{ful1}$ に達した後は、バックアップ用蓄電装置22に流れる電流を可変コンダクタンス素子23によって連続的に制御し、 $V_{c1} = V_{ful1}$ の平衡状態を保ちつつバックアップ用蓄電装

10

20

30

40

50

置 2 2 に蓄電を行う。これにより、出力電圧  $V_{c1}$  の急激な変化がなく常に安定した電源電圧を得ることが可能となる。また、初期蓄電装置 2 1 の充電が完了する ( $V_{c1} = V_{full}$ ) まで、バックアップ用蓄電装置 2 2 への充電は一切行われず、初期蓄電装置 2 1 のみに充電されるので、初期蓄電装置 2 1 の充電が完了し電源の使用が可能となるまでの時間 (期間  $[0, t_1]$ ) を短縮することができる。

【0085】

次に、負荷回路 4 による電力消費がある場合について説明する。図 8 (b) は、バックアップ用蓄電装置 2 2 のバックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  まで達していない状態で、負荷回路 4 において電力消費がされた場合の出力電圧の変化を示す。

【0086】

時刻  $t_1$  において、出力電圧  $V_{c1}$  が閾値電圧  $V_{full}$  に達した後に、時刻  $t_2 \sim t_3$  において負荷回路 4 による電力消費がされたとする。このとき、初期蓄電装置 2 1 に蓄電された電力が消費されると、出力電圧  $V_{c1}$  は閾値電圧  $V_{full}$  より低い値に降下する。しかし、この場合には  $V_{c1} > V_{c2}$  なので  $V_{g2} = 0$  のままである。従って、 $V_{g2} = 0$  となり、可変コンダクタンス素子 2 3 のコンダクタンスは 0 となる。そのため、バックアップ用蓄電装置 2 2 に蓄電された電力は消費されず、初期蓄電装置 2 1 に蓄電された電力のみが消費される。初期蓄電装置 2 1 の静電容量  $C_1$  は小さいので、負荷回路 4 の電力消費に伴い、出力電圧  $V_{c1}$  は比較的速く降下する。

【0087】

しかし、時刻  $t_3$  において負荷回路 4 の電力消費が終了した後は、即座に初期蓄電装置 2 1 が充電され、時刻  $t_4$  において出力電圧  $V_{c1}$  は再び閾値電圧  $V_{full}$  まで復帰するとともに、バックアップ用蓄電装置 2 2 への充電が再開される。

【0088】

図 9 は、バックアップ用蓄電装置 2 2 のバックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  に達した状態で、負荷回路 4 において電力消費がされた場合の出力電圧の変化を示す。

【0089】

出力電圧  $V_{c1}$  はすでに閾値電圧  $V_{full}$  に達している。時刻  $t_1$  において、バックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  に達した後に、時刻  $t_2 \sim t_3$  において負荷回路 4 による電力消費がされたとする。このとき、初期蓄電装置 2 1 に蓄電された電力が消費されると、出力電圧  $V_{c1}$  は閾値電圧  $V_{full}$  より低い値に降下する。そうすると、 $V_{c1}' < V_{c2}'$  となるため、給電制御電圧  $V_{g2}$  が  $V_{c2}' - V_{c1}'$  に応じて大きくなる。そうすると、可変コンダクタンス素子 2 3 のコンダクタンスも大きくなり、結局、 $V_{c1} = V_{c2}$  の平衡状態を保ったまま、初期蓄電装置 2 1 及びバックアップ用蓄電装置 2 2 の双方に蓄電された電力が消費される。このとき、バックアップ用蓄電装置 2 2 の静電容量は大きいので、負荷回路 4 の電力消費による出力電圧  $V_{c1}$  の降下速度は非常に緩やかとなる。

【0090】

時刻  $t_3$  において負荷回路 4 の電力消費が終わると、まず、初期蓄電装置 2 1 が即座に充電されて出力電圧  $V_{c1}$  が閾値電圧  $V_{full}$  まで回復し、次いで、バックアップ用蓄電装置 2 2 が充電され、バックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  まで回復する。

【実施例 2】

【0091】

図 10 は、本発明の実施例 2 に係る電力制御装置 3 の詳細な回路構成を示す図である。本実施例に係る電力制御装置 3 は、初期蓄電装置 2 1 及びバックアップ用蓄電装置 2 2 が、入出力ノード 16 b と接地ノード 17 との間に直列に接続されている点で、実施例 1 と異なり、他の点においてはほぼ同様の構成を有する。図 3 と図 10 との対応する回路構成要素については同一の符号を付している。尚、図 10 では、入出力ノード 16 b の出力電圧を  $V_{c12}$ 、初期蓄電装置 2 1 の両端電圧を  $V_{c1}$  と記す。また、分圧抵抗 24, 25 の接続ノードに生成される出力電圧  $V_{c12}$  の分圧電圧を  $V_{c12}'$  と記す。

【0092】

10

20

30

40

50

本実施例において、可変コンダクタンス素子 23 は、初期蓄電装置 21 と並列に、入出力ノード 16 b とバックアップ用蓄電装置 22 との間に接続されている。その他の点に関しては、図 3 と同様である。

【0093】

図 11, 図 12 は、実施例 2 に係る電力制御装置 3 の出力電圧の時間変化を表す図である。

【0094】

図 11 (a) は、負荷回路 4 による電力消費がない場合における電力制御装置 3 の充電動作を表している。

【0095】

時刻 0 において、初期蓄電装置 21 及びバックアップ用蓄電装置 22 には電力が蓄電されていないものとする。 $V_{c12} = 0$  では、MOS トランジスタ 34 はダイオード接続がされた状態であり、可変コンダクタンス素子 23 のコンダクタンスは 0 である。また、給電スイッチ回路 15 a はオフ状態である。この状態では、整流回路 10 から供給される電流は入出力ノード 16 b に流れ込み、直列接続された初期蓄電装置 21 及びバックアップ用蓄電装置 22 に蓄電される。それに伴って、出力電圧  $V_{c12}$  が上昇し始める。初期蓄電装置 21 に流入する電流を  $I$  とすると、 $V_{c1} = I(C_1 + C_2)t / (C_1 \cdot C_2)$  である。初期蓄電装置 21 の静電容量  $C_1$  は  $C_2$  に比べて十分に小さい (例えば、 $C_1 = 0.1 \cdot C_2$  に設定する。) ので、 $V_{c12}$  は急速に上昇する。

【0096】

尚、初期蓄電装置 21 及びバックアップ用蓄電装置 22 に加わる電圧は、それぞれ、 $V_{c1} = I \cdot t / C_1$ ,  $V_{c2} = I \cdot t / C_2$  である。初期蓄電装置 21 の静電容量  $C_1$  はバックアップ用蓄電装置 22 の静電容量  $C_2$  に比べて十分小さく設定されているので、 $V_1 > V_2$  となる。

【0097】

時刻  $t_1$  において、出力電圧  $V_{c12}$  が閾値電圧  $V_{ful1}$  を超える。そうすると、ヒステリシス付コンパレータ 38 の出力電圧  $V_{g4}$  が 0 となる。従って、給電スイッチ回路 15 a がオン状態となり、 $V_{out} = V_{c12}$  となる。これにより、負荷回路 4 が電源電圧を使用することが可能となる。

【0098】

また、時刻  $t_1$  において、出力電圧  $V_{c12}$  が閾値電圧  $V_{ful1}$  に達すると、 $V_{c12}' = V_{ref}$  となる。整流回路 10 から入出力ノード 16 b に電流が更に供給されると、出力電圧  $V_{c12}$  が更に上昇する。それに伴って、差電圧  $V = V_{c12}' - V_{ref}$  は 0 より大きくなる。差電圧  $V$  が 0 より大きくなると、それに比例して蓄電制御電圧  $V_{g1}$  が出力され、これがコンダクタンス制御電圧  $V_g$  として可変コンダクタンス素子 23 のゲートに入力される。そうすると、可変コンダクタンス素子 23 のコンダクタンスが 0 より大きくなり、入出力ノード 16 b からバックアップ用蓄電装置 22 に電流が流入し始める。また、同時に、初期蓄電装置 21 の電荷が放電される。このようにして、出力電圧  $V_{c12}$  は、常に閾値電圧  $V_{ful1}$  の値で平衡を保った状態となり、入出力ノード 16 b に供給される電流はバックアップ用蓄電装置 22 に流入し蓄電されるとともに、初期蓄電装置 21 の電荷が放電される。そして、バックアップ用蓄電装置 22 の電圧 (バックアップ電圧  $V_{c2}$ ) が上昇を始めるとともに、初期昇圧電圧  $V_{c1}$  は降下し始める。すなわち、閾値電圧  $V_{ful1}$  のうち、初期蓄電装置 21 の初期昇圧電圧  $V_{c1}$  がバックアップ電圧  $V_{c2}$  に置き換わる。

【0099】

ここで、バックアップ用蓄電装置 22 に流入する電流を  $I$  とすると、 $V_{c2} = I \cdot t / C_2$  である。バックアップ用蓄電装置 22 の静電容量  $C_2$  は大きいので、 $V_{c2}$  は緩やかに上昇する。

【0100】

時刻  $t_2$  において、バックアップ電圧  $V_{c2}$  は閾値電圧  $V_{ful1}$ 、初期昇圧電圧  $V_c$

10

20

30

40

50

$V_{c1}$  が 0 に達する。これに伴い、比較電圧  $V_{c2}'$  は参照電圧  $V_{ref}$  に達する。そうすると、オペアンプ 32 が出力する電圧  $V_{g3}$  は大きくなり、MOS トランジスタ 33 はオン状態、MOS トランジスタ 34 はオフ状態となる。従って、入出力ノード 16a, 16b は切り離され、過充電が防止され、出力電圧  $V_{c12}$  及びバックアップ電圧  $V_{c2}$  がともに閾値電圧  $V_{full}$  の状態に保たれる。

【0101】

このように、本実施例の電力制御装置 3 では、出力電圧  $V_{c12}$  が閾値電圧  $V_{full}$  に達した後は、バックアップ用蓄電装置 22 に流れる電流を可変コンダクタンス素子 23 によって連続的に制御し、 $V_{c12} = V_{full}$  の平衡状態を保ちつつバックアップ用蓄電装置 22 に蓄電を行う。これにより、出力電圧  $V_{c12}$  の急激な変化がなく常に安定した電源電圧を得ることが可能となる。また、出力電圧  $V_{c12}$  が閾値電圧  $V_{full}$  に達するまでは、初期蓄電装置 21 とバックアップ用蓄電装置 22 とは完全な直列接続であり、その静電容量は  $C = C_1 C_2 / (C_1 + C_2)$  であり、 $C_1 \ll C_2$  であれば  $C \approx C_1$  となる。従って、出力電圧は  $I \cdot t / C \approx I \cdot t / C_1$  に従って上昇するため、充電が完了し電源の使用が可能となるまでの時間（期間  $[0, t_1]$ ）を短縮することができる。

10

【0102】

次に、負荷回路 4 による電力消費がある場合について説明する。図 11 (b) は、バックアップ用蓄電装置 22 のバックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  まで達していない状態で、負荷回路 4 において電力消費がされた場合の出力電圧の変化を示す。

【0103】

時刻  $t_1$  において、出力電圧  $V_{c12}$  が閾値電圧  $V_{full}$  に達した後に、時刻  $t_2 \sim t_3$  において負荷回路 4 による電力消費がされたとする。このとき、初期蓄電装置 21 及びバックアップ用蓄電装置 22 に蓄電された電力が消費されると、出力電圧  $V_{c12}$  は閾値電圧  $V_{full}$  より低い値に降下する。このとき、 $V_{full}$  に占める  $V_{c1}$  の分圧比が大きいので、静電容量の小さい初期蓄電装置 21 の放電の影響が出力電圧  $V_{c12}$  に大きく現れ、負荷回路 4 の電力消費に伴い出力電圧  $V_{c12}$  は比較的速く減少する。

20

【0104】

しかし、時刻  $t_3$  において負荷回路 4 の電力消費が終了した後は、即座に初期蓄電装置 21 が充電され、時刻  $t_4$  において出力電圧  $V_{c1}$  は再び閾値電圧  $V_{full}$  まで復帰するとともに、可変コンダクタンス素子 23 を通してのバックアップ用蓄電装置 22 への充電と初期蓄電装置 21 の放電が再開される。

30

【0105】

図 12 は、バックアップ用蓄電装置 22 のバックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  に達した状態で、負荷回路 4 において電力消費がされた場合の出力電圧の変化を示す。

【0106】

出力電圧  $V_{c12}$  はすでに閾値電圧  $V_{full}$  に達している。時刻  $t_1$  において、バックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  に達し、初期昇圧電圧  $V_{c1}$  が 0 に達した後に、時刻  $t_2 \sim t_3$  において負荷回路 4 による電力消費がされたとする。このとき、バックアップ用蓄電装置 22 に蓄電された電力が消費されると、出力電圧  $V_{c12}$  は閾値電圧  $V_{full}$  より低い値に降下する。そうすると、 $V_{c12}' < V_{c2}'$  となるため、給電制御電圧  $V_{g2}$  が  $V_c = V_{c2}' - V_{c12}'$  に応じて大きくなる。そうすると、可変コンダクタンス素子 23 のコンダクタンスも大きくなり、結局、 $V_{c12} = V_{c2}$  の平衡状態を保ったまま、バックアップ用蓄電装置 22 に蓄電された電力が消費される。このとき、バックアップ用蓄電装置 22 の静電容量は大きいため、負荷回路 4 の電力消費による出力電圧  $V_{c12}$  の降下速度は非常に緩やかとなる。

40

【0107】

時刻  $t_3$  において負荷回路 4 の電力消費が終わると、まず、初期蓄電装置 21 が即座に充電されて出力電圧  $V_{c12}$  が閾値電圧  $V_{full}$  まで回復し、次いで、バックアップ用蓄電装置 22 が充電されると同時に初期蓄電装置 21 が放電され、バックアップ電圧  $V_{c2}$  が閾値電圧  $V_{full}$  まで回復する。

50

## 【図面の簡単な説明】

【0108】

【図1】本発明において複数のバックアップ用蓄電装置を接続する構成例を説明する図である。

【図2】本発明の実施例1に係るワイヤレス・センサ及び電力制御装置の構成を表すブロック図である。

【図3】実施例1に係る電力制御装置3の詳細な回路構成を示す図である。

【図4】ヒステリシス付コンパレータ38の入出力特性を表す図である。

【図5】リファレンス生成回路12の回路構成の一例を表す図である。

【図6】図3，図5における各オペアンプの回路構成(a)及びワイヤドNOR回路30の回路構成(b)を表す図である。

【図7】可変コンダクタンス素子23の飽和領域における電圧 - 電流特性を表す図である。

【図8】実施例1に係る電力制御装置3の出力電圧の時間変化を表す図である。

【図9】実施例1に係る電力制御装置3の出力電圧の時間変化を表す図である。

【図10】本発明の実施例2に係る電力制御装置3の詳細な回路構成を示す図である。

【図11】実施例2に係る電力制御装置3の出力電圧の時間変化を表す図である。

【図12】実施例2に係る電力制御装置3の出力電圧の時間変化を表す図である。

【図13】特許文献6に記載の電力制御装置の構成を表す図である。

【図14】図13に示した電力制御装置102のタイミング・チャートである。

## 【符号の説明】

【0109】

1 ワイヤレス・センサ

2 発電式センサ素子

3 電力制御装置

4 負荷回路

4 a センサ回路

4 b 送受信回路

5 アンテナ

10 整流回路

11 蓄電回路

12 リファレンス生成回路

13 蓄電制御回路

14 過充電防止回路

14 a 充電入力スイッチ回路

15 給電制御回路

15 a 給電スイッチ回路

16 a , 16 b , 16 c 入出力ノード

17 接地ノード

20 ダイオード・ブリッジ回路

21 初期蓄電装置

22 バックアップ用蓄電装置

23 可変コンダクタンス素子

24 , 25 , 27 , 28 , 36 , 37 分圧抵抗

26 , 29 , 32 オペアンプ

30 ワイヤドNOR回路

31 バックアップ出力ノード

33 , 34 MOSトランジスタ

35 抵抗素子

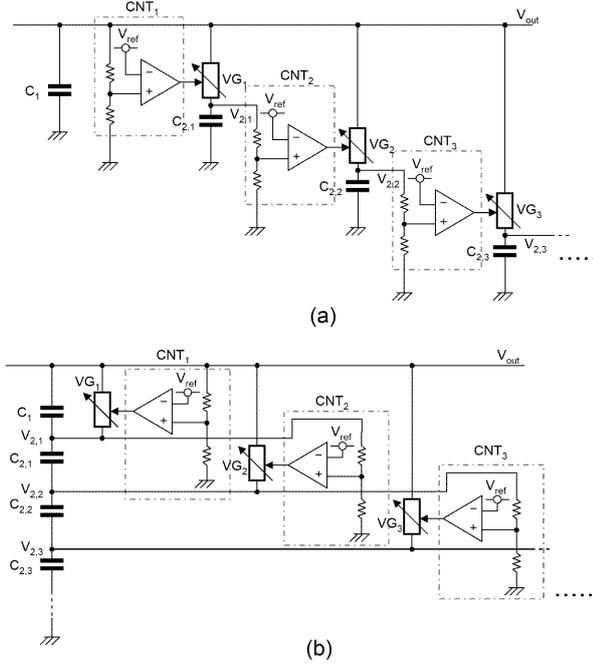
38 ヒステリシス付コンパレータ

30

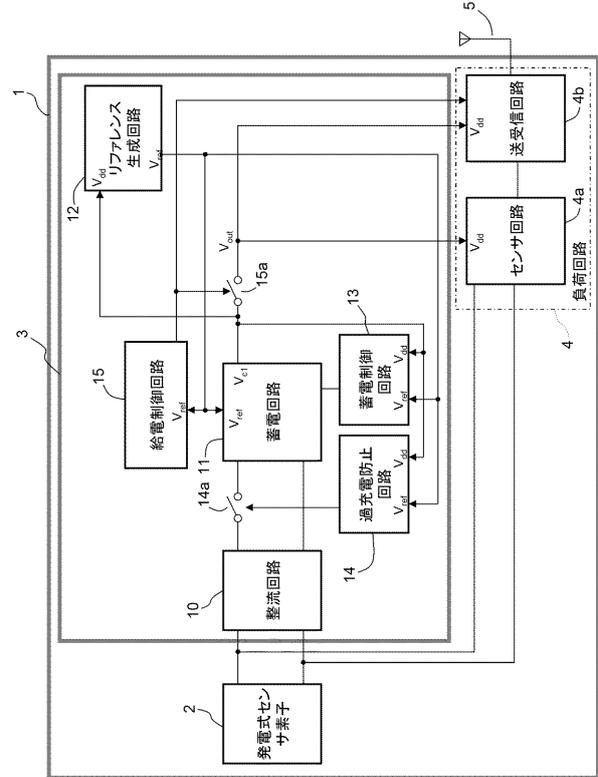
40

50

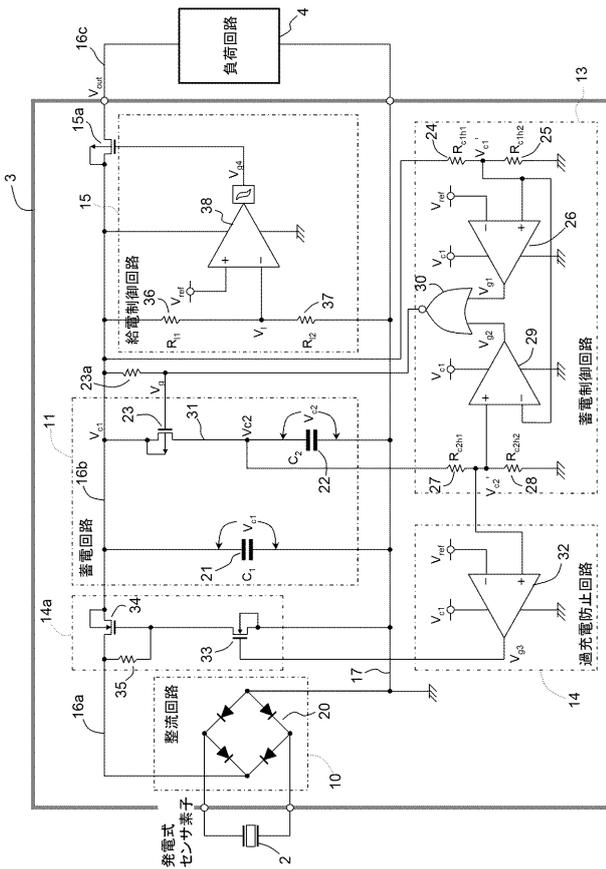
【図1】



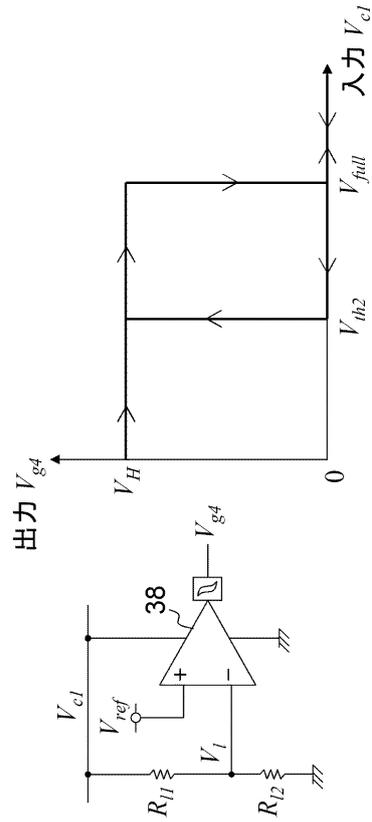
【図2】



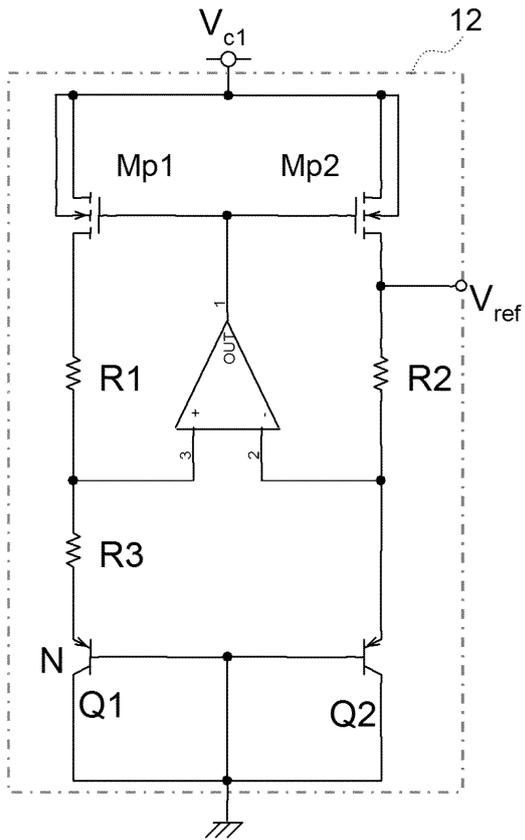
【図3】



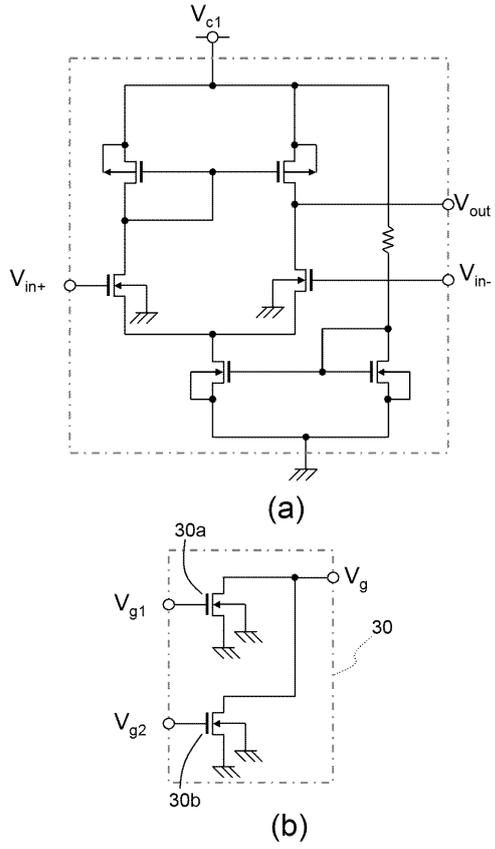
【図4】



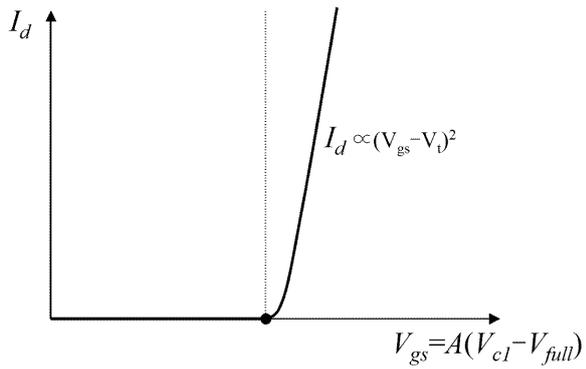
【 図 5 】



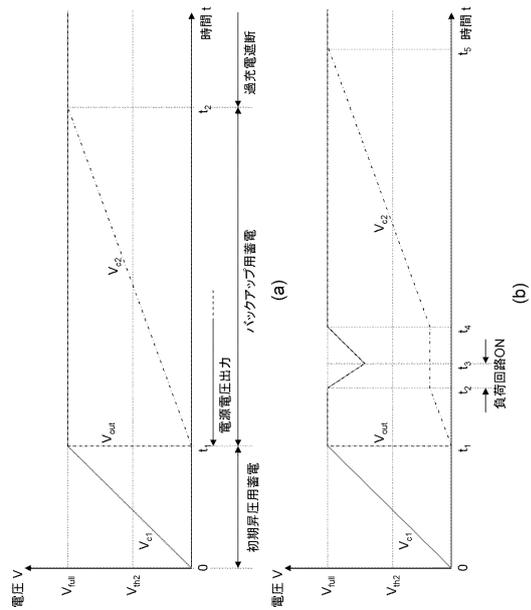
【 図 6 】



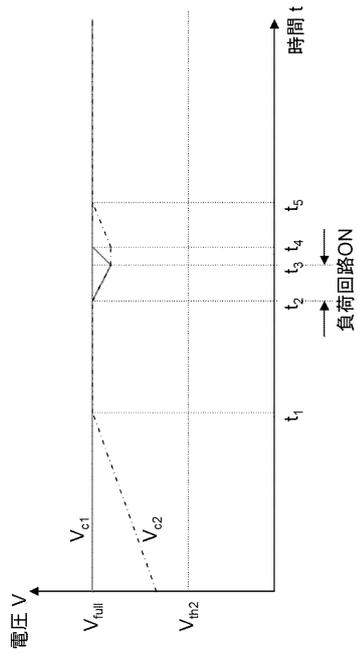
【 図 7 】



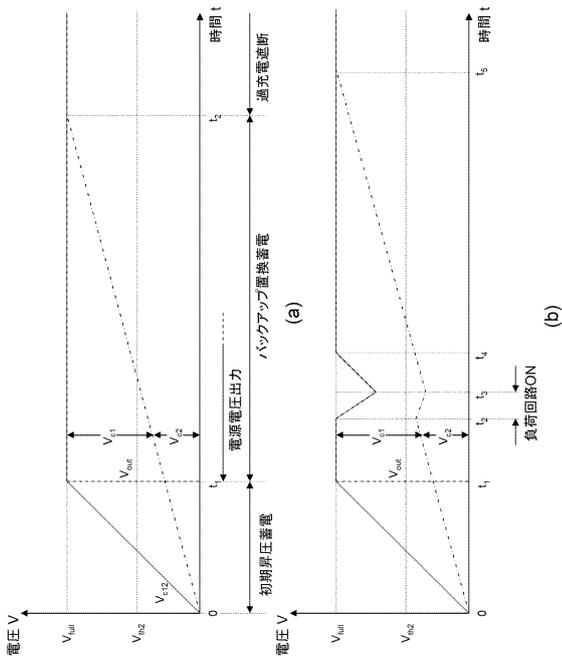
【 図 8 】



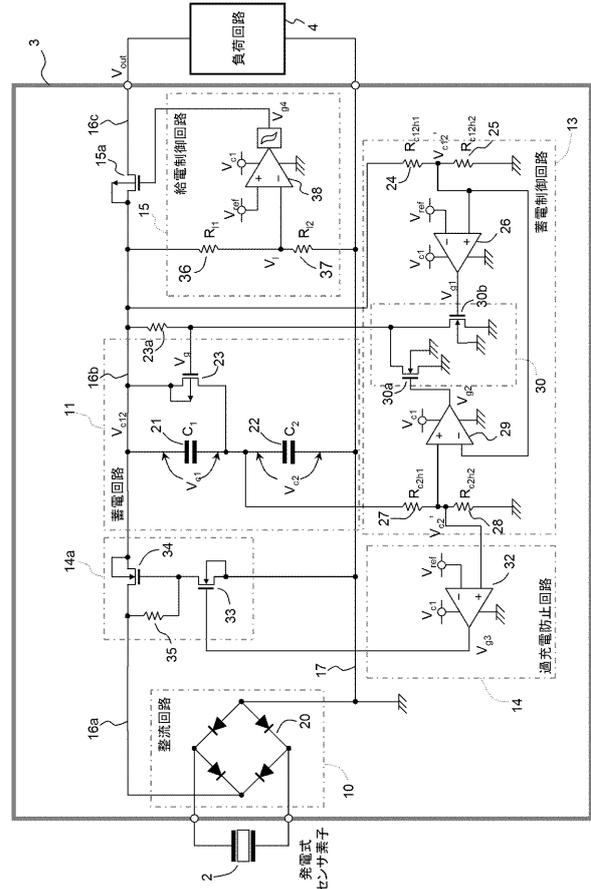
【 図 9 】



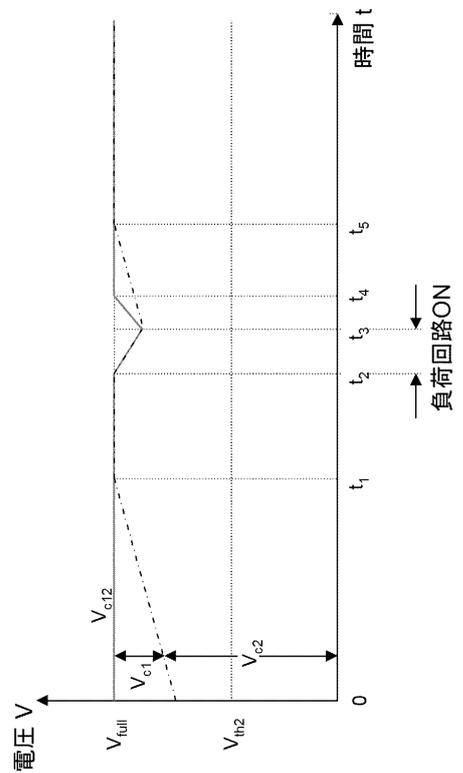
【 図 1 1 】



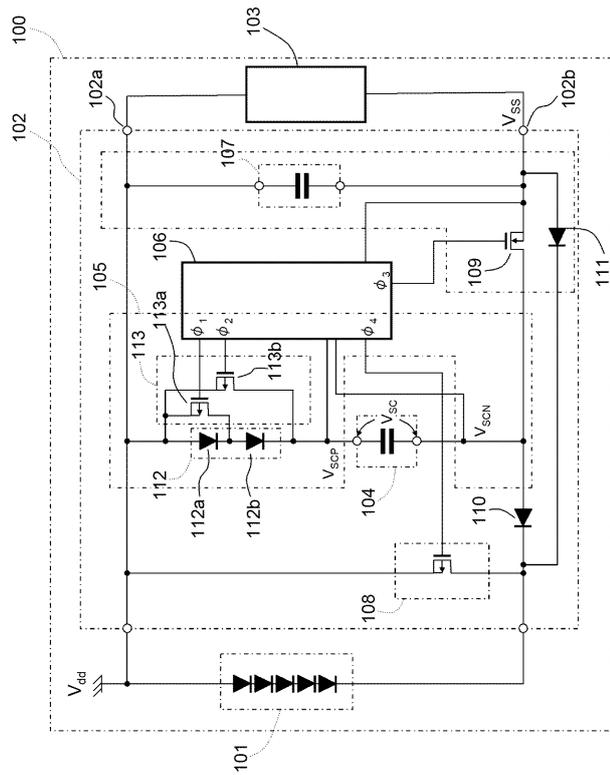
【 図 1 0 】



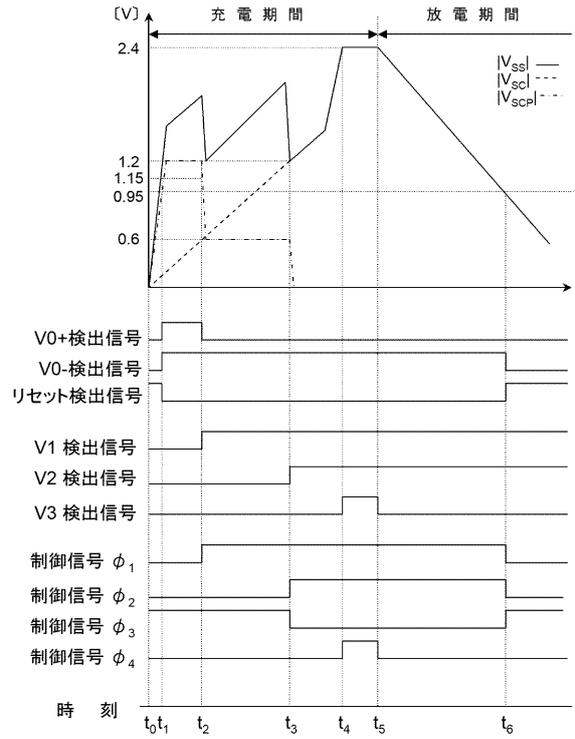
【 図 1 2 】



【図 13】



【図 14】



フロントページの続き

Fターム(参考) 5H006 AA03 CA02 CA07 CB01 CC08 DC05 GA01