



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0064264
(43) 공개일자 2010년06월14일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2008-0122791

(22) 출원일자 2008년12월04일

심사청구일자 없음

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

고광영

경기도 부천시 원미구 상3동 다정한마을
2107-1104

(74) 대리인

서교준

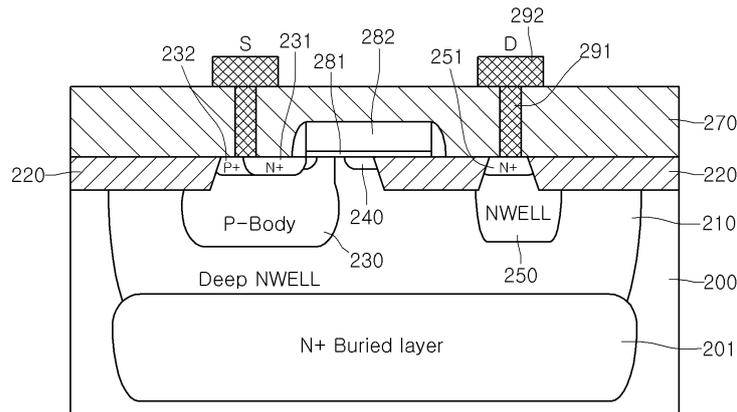
전체 청구항 수 : 총 12 항

(54) 반도체 소자 및 이의 제조 방법

(57) 요약

본 실시예에 따른 반도체 소자는 제 1 도전형의 웰이 형성된 기판; 및 게이트 전극을 포함하고, 상기 기판에 형성되는 LDMOS 소자로서, 상기 게이트 전극 일측의 기판에 형성되는 소스 영역과, 상기 게이트 전극 타측의 기판에 형성되는 드레인 영역과, 상기 게이트 전극 하측의 기판에 형성되는 제 1 도전형의 불순물층을 포함하는 LDMOS 소자;를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

제 1 도전형의 웰이 형성된 기판; 및

게이트 전극을 포함하고, 상기 기판에 형성되는 LDMOS 소자로서, 상기 게이트 전극 일측의 기판에 형성되는 소스 영역과, 상기 게이트 전극 타측의 기판에 형성되는 드레인 영역과, 상기 게이트 전극 하측의 기판에 형성되는 제 1 도전형의 불순물층을 포함하는 LDMOS 소자;를 포함하는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 게이트 전극 일부의 하측에는 소자 분리막이 형성되고,

상기 제 1 도전형의 불순물층은 상기 소스 영역과 소자 분리막 사이에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 3

제 1 항에 있어서,

상기 게이트 전극 일측의 기판에는 상기 소스 영역을 포함하는 제 2 도전형 바디가 형성되고,

상기 제 1 도전형의 불순물층은 상기 제 2 도전형 바디와 드레인 영역 사이에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 4

제 1 항에 있어서,

상기 기판에는 로직 소자로서, 소스 영역과, 드레인 영역 및 게이트 전극을 포함하는 로직 소자가 더 포함되고,

상기 로직 소자의 게이트 전극 하측의 기판에는 제 1 도전형의 불순물층이 형성되는 것을 특징으로 하는 반도체 소자.

청구항 5

제 4 항에 있어서,

상기 제 1 도전형의 불순물층은 상기 소스 영역과 드레인 영역 사이에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 6

제 4 항에 있어서,

상기 LDMOS 소자의 제 1 도전형의 불순물층과, 로직 소자의 제 1 도전형의 불순물층은 N형 불순물이 주입되어 있는 것을 특징으로 하는 반도체 소자.

청구항 7

로직 소자로서, 제 1 기판 내의 제 1 도전형 웰과, 상기 제 1 도전형 웰 내에 형성되는 소스 영역 및 드레인 영역과, 상기 제 1 기판 상에 형성되는 게이트 전극을 포함하는 로직 소자; 및

LDMOS 소자로서, 제 2 기판 내의 제 1 도전형 딥 웰과, 상기 제 1 도전형 딥 웰 내에 형성되는 제 2 도전형 바디 및 제 1 도전형 웰과, 상기 제 2 도전형 바디 내에 형성되는 소스 영역과, 상기 제 1 도전형 웰 내에 형성되는 드레인 영역과, 상기 제 2 기판 상에 형성되는 게이트 전극을 포함하는 LDMOS 소자;를 포함하고,

상기 LDMOS 소자의 게이트 전극 하측의 제 2 기판에는 제 1 도전형의 불순물층이 형성되는 것을 특징으로 하는 반도체 소자.

청구항 8

제 7 항에 있어서,

상기 로직 소자의 게이트 전극 하층의 제 1 기판에는 제 1 도전형의 불순물층이 형성되는 것을 특징으로 하는 반도체 소자.

청구항 9

제 7 항에 있어서,

상기 LDMOS 소자의 제 1 도전형의 불순물층은 상기 제 2 도전형 바디와 드레인 영역 사이에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 10

제 2 도전형의 기판에 제 1 도전형의 딥 웰을 형성하는 단계;

상기 제 1 도전형의 딥 웰 내에 제 2 도전형의 바디를 형성하는 단계;

상기 제 2 도전형의 바디 일측에 제 1 도전형의 불순물층과, 드레인 영역 형성을 위한 제 1 도전형 웰을 형성하는 단계;

상기 제 1 도전형의 불순물층이 형성된 영역에 대응되는 기판 상에 게이트 전극을 형성하는 단계; 및

상기 제 2 도전형의 바디 내에 소스 영역을 형성하고, 상기 제 1 도전형 웰 내에 드레인 영역을 형성하는 단계;를 포함하는 반도체 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 도전형의 불순물층을 형성하는 단계는, 상기 제 2 도전형의 바디와 제 1 도전형의 웰 사이의 영역에 제 1 도전형 불순물을 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 제 1 도전형의 불순물층을 형성하는 단계는,

상기 제 1 도전형의 불순물층이 형성될 영역 및 상기 제 1 도전형 웰이 형성될 영역을 오픈하는 포토 레지스트 패턴을 형성하는 단계와, 상기 포토 레지스트 패턴을 이온 주입 마스크로 이용하여 N형의 불순물을 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 실시예는 반도체 소자 및 이의 제조 방법에 대해서 개시한다.

배경기술

[0002] 일반적으로 사용되는 전력 MOS 전계효과 트랜지스터(MOSFET)는 바이폴라 트랜지스터에 비해 높은 입력 임피던스를 갖기 때문에, 전력이득이 크고 게이트 구동 회로가 간단하며, 유니폴라 소자이기 때문에 턴-오프되는 동안 소수 캐리어에 의한 축적 또는 재결합에 의해 발생하는 시간지연이 없는 등의 장점을 가지고 있다.

[0003] 따라서, 스위칭 모드 전력 공급장치, 램프 안정화 및 모터 구동회로에의 응용이 점차 확산되고 있는 추세이다.

[0004] 이와 같은 전력 MOSFET으로는 플래너 확산(planar diffusion) 기술을 이용한 DMOSFET(Double Diffused MOSFET) 구조가 널리 사용되고 있으며, 대표적인 것이 LDMOS 트랜지스터이다.

발명의 내용

해결 하고자하는 과제

[0005] 본 실시예는 LDMOS 소자에 있어서의 온 저항을 감소시킬 수 있는 반도체 소자 및 이의 제조 방법을 제안한다.

과제 해결수단

[0006] 본 실시예에 따른 반도체 소자는 제 1 도전형의 웰이 형성된 기판; 및 게이트 전극을 포함하고, 상기 기판에 형성되는 LDMOS 소자로서, 상기 게이트 전극 일측의 기판에 형성되는 소스 영역과, 상기 게이트 전극 타측의 기판에 형성되는 드레인 영역과, 상기 게이트 전극 하측의 기판에 형성되는 제 1 도전형의 불순물층을 포함하는 LDMOS 소자;를 포함한다.

[0007] 또한, 실시예에 따른 반도체 소자는 로직 소자로서, 제 1 기판 내의 제 1 도전형 웰과, 상기 제 1 도전형 웰 내에 형성되는 소스 영역 및 드레인 영역과, 상기 제 1 기판 상에 형성되는 게이트 전극을 포함하는 로직 소자; 및 LDMOS 소자로서, 제 2 기판 내의 제 1 도전형 딥 웰과, 상기 제 1 도전형 딥 웰 내에 형성되는 제 2 도전형 바디 및 제 1 도전형 웰과, 상기 제 2 도전형 바디 내에 형성되는 소스 영역과, 상기 제 1 도전형 웰 내에 형성되는 드레인 영역과, 상기 제 2 기판 상에 형성되는 게이트 전극을 포함하는 LDMOS 소자;를 포함하고, 상기 LDMOS 소자의 게이트 전극 하측의 제 2 기판에는 제 1 도전형의 불순물층이 형성되는 것을 특징으로 한다.

[0008] 또한, 실시예에 따른 반도체 소자의 제조 방법은 제 2 도전형의 기판에 제 1 도전형의 딥 웰을 형성하는 단계; 상기 제 1 도전형의 딥 웰 내에 제 2 도전형의 바디를 형성하는 단계; 상기 제 2 도전형의 바디 일측에 제 1 도전형의 불순물층과, 드레인 영역 형성을 위한 제 1 도전형 웰을 형성하는 단계; 상기 제 1 도전형의 불순물층이 형성된 영역에 대응되는 기판 상에 게이트 전극을 형성하는 단계; 및 상기 제 2 도전형의 바디 내에 소스 영역을 형성하고, 상기 제 1 도전형 웰 내에 드레인 영역을 형성하는 단계;를 포함한다.

효 과

[0009] 제안되는 바와 같은 실시예의 반도체 소자 및 이의 제조 방법에 의해서, 게이트 전극의 하측 기판에 불순물층을 형성시킴으로써, LDMOS 소자의 온 저항을 감소시킬 수 있으며, 또한 이러한 불순물층을 간편히 형성시킬 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0010] 이하에서는, 본 실시예에 대하여 첨부되는 도면을 참조하여 상세하게 살펴보도록 한다. 다만, 본 실시예가 개시하는 사항으로부터 본 실시예가 갖는 발명의 사상의 범위가 정해질 수 있을 것이며, 본 실시예가 갖는 발명의 사상은 제안되는 실시예에 대하여 구성요소의 추가, 삭제, 변경등의 실시변형을 포함한다고 할 것이다.

[0011] 그리고, 이하의 설명에서, 단어 '포함하는'은 열거된 것과 다른 구성요소들 또는 단계들의 존재를 배제하지 않는다. 그리고, 첨부되는 도면에는 여러 층 및 영역을 명확하게 표현하기 위하여 그 두께가 확대되어 도시된다. 그리고, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 사용한다. 층, 막, 영역, 판등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에"있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0012] 도 1 및 도 2는 본 실시예에 따른 로직 PMOS 소자와 LDMOS 소자의 구성을 도시한 도면이다.

[0013] 먼저, 도 1에는, 실시예에 따른 로직 소자로서 저전압(LV)으로 구동되는 PMOS 소자가 개시되어 있다.

[0014] 도 1을 참조하여 보면, 반도체 기판(100)내에 제 1 도전형(N형)의 웰(110)이 형성되어 있고, 상기 반도체 기판(100) 상부에는 게이트 산화막(181)과 게이트 전극(182)이 형성되어 있다.

[0015] 그리고, 상기 게이트 전극(182) 일측의 기판(100)에는 제 2 도전형인 P+형 소스 영역(132)이 형성되어 있고, P+형 소스 영역(132)의 일측에는 소자 분리막(120)을 사이에 두고 고농도 접합 영역으로서 N+형 접합 영역(131)이 형성되어 있다.

[0016] 그리고, 상기 게이트 전극(182) 타측의 기판(100)에는 제 2 도전형인 P+형 드레인 영역(133)이 형성되고, 특히, 상기 소스 영역(132)과 드레인 영역(133) 사이에서 채널이 형성되는 영역에는 실시예에 따른 제 1 도전형의 불순물층이 형성되어 있다.

- [0017] 즉, 상기 게이트 전극(182) 하측의 기판(100)에는 채널 형성시에 전류의 흐름이 효율적으로 수행되도록 하기 위한 제 1 도전형의 불순물층(140)이 형성된다. 상기 제 1 도전형의 불순물층(140)은 로직 CMOS 소자나 PMOS 소자 등에서 사용하고 있는 마스크를 이용하여 형성함으로써, 추가의 PR패터닝등의 공정 진행없이 형성될 수 있다.
- [0018] 그리고, 후술되는 LDMOS 소자에서는, 이러한 제 1 도전형의 불순물층은 온 저항을 감소시키기 위한 역할을 수행하게 된다.
- [0019] 한편, 상기 게이트 전극(182)의 측벽에 형성된 스페이서는 공지의 방법에 의해 형성되고, 상기 반도체 기판(100) 상에 형성되는 층간 절연막(170)과, 층간 절연막(170)을 관통하여 소스 영역(132)과 드레인 영역(133)에 각각 연결되는 콘택 플러그(192)와, 메탈 패턴(192)의 형성도 공지의 방법에 의하여 수행될 수 있다.
- [0020] 다음으로, 도 2를 참조하여, 실시예에 따른 LDMOS 소자의 구성을 살펴본다.
- [0021] 실시예에 따른 LDMOS 소자는 제 2 도전형인 P형의 반도체 기판(200)에는 내부 깊숙이 제 1 도전형의 고농도 N형 매몰층(201)이 형성되고, 또한, 도시되어 있지는 않지만, 상기 매몰층(201) 상에는 P형의 에피층(epitaxial layer)이 형성된다.
- [0022] 이때, N형 매몰층은 N+형 드레인 영역(251)에 전압이 가해졌을 때, P형 바디(230)로부터 확장되는 공핍 영역(depletion region)의 너비를 감소시켜 실질적으로 펀치스루 전압을 올려주는 역할을 한다.
- [0023] 그리고, P형 에피층은 기판 역할을 담당하는 단결정 웨이퍼 위에 가스 상태의 반도체 결정을 석출시키면, P형 기판의 결정축을 따라서 결정이 성장되어 형성되며, P형 기판의 저항성을 감소시키는 역할을 한다.
- [0024] 또한, 반도체 기판(200)에는 N형 딥 웰(210)이 형성되어 있으며, P형 바디(230)와 N형 딥 웰(210)이 접촉하는 접촉면과 N+형 소스 영역(231)과의 사이에 존재하는 P형 바디(230) 표면 근방에는 게이트 전극(282)에 인가되는 바이어스 전압에 따라 채널 영역이 형성된다.
- [0025] 한편, 기판(200) 상부의 소정 부분에는 게이트 산화막(281)과 게이트 전극(282)이 형성되어 있으며, 게이트 전극(282)의 양측벽에는 스페이서가 공지의 방법으로 형성되어 있다.
- [0026] 게이트 전극(282)의 일측 기판(200)에는 P형 바디(230)가 형성되고, P형 바디(230) 내에는 N형 소스 영역(231) 및 P+형 콘택 영역(232)이 형성된다. 이때, P형 바디(230)는 LDMOS의 펀치스루 현상을 개선하기 위하여 비교적 고농도로 형성될 수 있다.
- [0027] 또한, 게이트 전극(282)의 타측 기판(200)에는 상기 게이트 전극(282) 일부의 하측에 위치하는 소자 분리막(220)과, N형 웰(250)이 형성되어 있으며, 상기 N형 웰(250)내에는 N+형 드레인 영역(251)이 형성된다.
- [0028] 특히, 상기 P형 바디(230)와 소자 분리막(220) 사이에는 실시예에 따라 LDMOS 소자의 온 저항을 감소시키기 위한 N형 불순물층(240)이 형성되어 있다. 즉, N형 불순물층(240)은 게이트 전극(282) 아래의 기판에 형성되며, P형 바디(230)와 기설정된 간격을 두고서 형성된다.
- [0029] 그리고, 상기 N형 불순물층(240)은 드레인 영역(251)과 동일한 제 1 도전형인 N형이 도핑되어 있기 때문에, P형 바디(230) 내에 형성되는 채널을 통한 전자 또는 홀의 이동이 상기 N형 불순물층(240)에 의해 더욱 촉진되어, 궁극적으로 LDMOS 소자의 온 저항 특성을 낮출 수 있게 된다.
- [0030] 또한, 상기 반도체 기판(200) 상에는 층간 절연막(270)이 형성되며, 층간 절연막(270)을 관통하는 콘택 플러그(291)들 각각이 N+형 소스 영역(231)과 N+형 드레인 영역(251)에 연결된다. 그리고, 상기 층간 절연막(270)상에는 콘택 플러그(291)과 연결되는 메탈 패턴(292)들이 형성된다.
- [0031] 이러한 LDMOS 소자에 있어서, P형 바디(230)와 기설정된 간격을 두고서 형성되는 N형 불순물층(240)에 의하여 전류의 흐름이 더욱 촉진되며, 이로 인하여 소자의 온 저항을 낮추는 결과를 얻을 수 있다.
- [0032] 다음으로는, 도 1 및 도 2에 도시된 반도체 소자의 제조 방법에 대해서 살펴보기로 한다.
- [0033] 도 3 내지 도 7은 본 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면이다.
- [0034] 이들의 도면에는, 반도체 기판에 대해서 저전압 영역인 로직 PMOS 소자와, 고전압 영역인 LDMOS 소자를 갖는 반도체 기판이 도시되어 있으며, 각 소자의 제조공정을 구분할 수 있도록 반도체 기판에 대해서 별도의 도면부호가 사용되고 있으니, 이 점 참조할 필요가 있다.
- [0035] 먼저, 도 3을 참조하면, 반도체 기판에 대해 로직 소자와 LDMOS 소자를 정의하고, 로직 소자의 기판(100)에는 N

형 웰(110)을 형성하고, LDMOS 소자의 기판(200)에는 고농도의 제 1 도전형인 N+형 매몰층(201)을 형성한다.

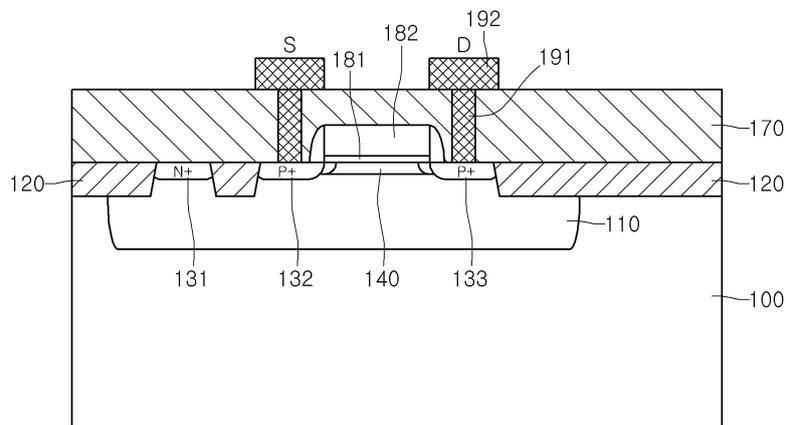
- [0036] 그리고, 도시되어 있지는 않지만, LDMOS 소자의 기판(200)에 대해 에피택시얼 성장을 수행하여, P형의 에피층을 형성할 수 있다.
- [0037] 그리고, LDMOS 소자의 기판(200)의 매몰층(201) 상에 N형 딥 웰(210)을 형성하고, 상기 N형 딥 웰(210) 내에 제 2 도전형으로 이루어진 P형 바디(230)를 형성한다.
- [0038] 그 다음, 도 4를 참조하면, 로직 소자와 LDMOS 소자의 기판에 복수의 소자 분리막(120,220)들을 형성한다.
- [0039] 그 다음, 도 5를 참조하면, 로직 소자에 대해서는 N+형 접합 영역(131)과 실시예에 따른 제 1 도전형의 불순물층(140)을 형성하기 위한 이온 주입 공정을 수행하고, LDMOS 소자에 대해서는 실시예에 따른 제 1 도전형의 불순물층(240)과 드레인 영역의 하층의 N형 웰(250)을 형성하기 위한 이온 주입 공정을 수행한다.
- [0040] 특히, N+형 접합 영역(131)과 N형 웰(250)을 형성하기 위한 이온 주입 마스크로서 형성되는 포토 레지스트 패턴(310,311)은, 로직 소자의 제 1 도전형의 불순물층(140)이 형성될 영역을 오픈하는 것과 함께 LDMOS 소자에서의 제 1 도전형의 불순물층(240)이 형성될 영역에 대해서도 오픈되도록 할 수 있다.
- [0041] 이 경우, N+형 접합 영역(131)을 형성하는 과정에서, 실시예에 따른 제 1 도전형의 불순물층들(140,240)을 함께 형성할 수 있다.
- [0042] 그 다음, 도 6을 참조하면, 제 1 도전형의 불순물을 주입하는 공정을 수행한 다음에는, 포토 레지스트 패턴을 제거하고, 각 기판(100,200)상에 게이트 산화막(181,281)과 게이트 전극(182,282)을 형성한다.
- [0043] 그리고, 로직 소자에 대해서는 소스 영역(132)과 드레인 영역(133) 형성을 위한 이온 주입 공정을 수행하고, LDMOS 소자에 대해서는, N+형 소스 영역(231)과, P+형 컨택 영역(232)과, N+형 드레인 영역(251)을 형성한다.
- [0044] 그 다음, 도 7을 참조하면, 로직 소자 및 LDMOS 소자의 기판(100,200)상에 층간 절연막(170,270)을 형성하고, 상기 층간 절연막(170,270)을 관통하여 소스 및 드레인 영역에 접하는 컨택 플러그들(191,291)을 형성한다. 그리고, 상기 층간 절연막(170,270) 상에 상기 컨택 플러그(191,291)와 전기적으로 연결되는 메탈 패턴(192,292)을 형성한다.

도면의 간단한 설명

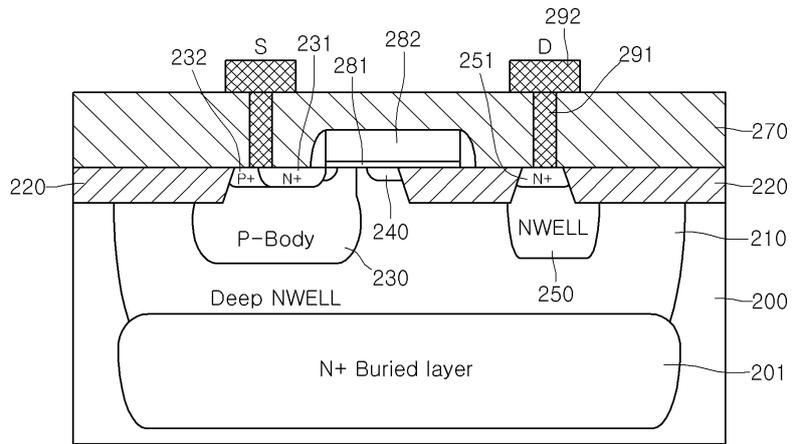
- [0045] 도 1 및 도 2는 본 실시예에 따른 로직 PMOS 소자와 LDMOS 소자의 구성을 도시한 도면.
- [0046] 도 3 내지 도 7은 본 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면.

도면

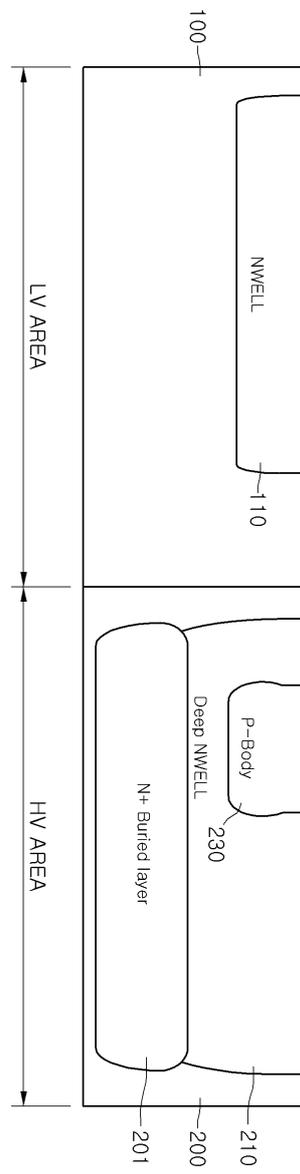
도면1



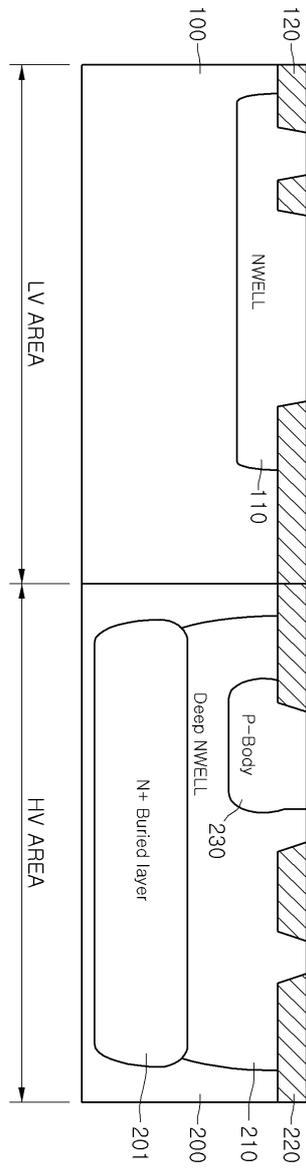
도면2



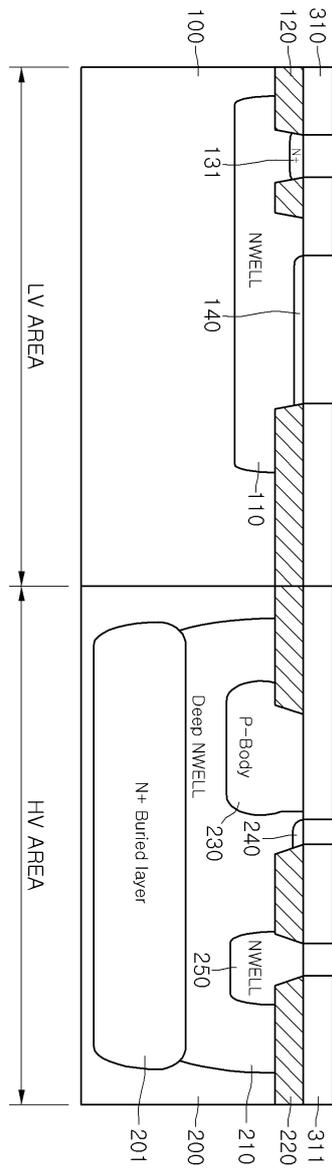
도면3



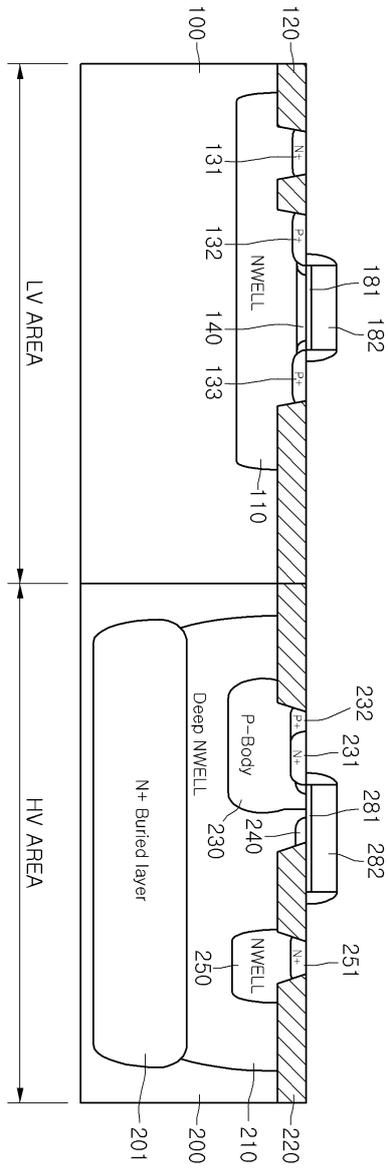
도면4



도면5



도면6



도면7

