

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4212228号
(P4212228)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int.Cl.		F I		
HO 1 L 21/02	(2006.01)	HO 1 L 27/12		E
HO 1 L 27/12	(2006.01)	HO 1 L 21/205		
HO 1 L 21/205	(2006.01)	HO 1 L 29/78	6 1 8 B	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 8 E	

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2000-270251 (P2000-270251)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成12年9月6日(2000.9.6)	(74) 代理人	100075683 弁理士 竹花 喜久男
(65) 公開番号	特開2001-148473 (P2001-148473A)	(74) 代理人	100084515 弁理士 宇治 弘
(43) 公開日	平成13年5月29日(2001.5.29)	(72) 発明者	杉山 直治 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
審査請求日	平成14年8月2日(2002.8.2)	(72) 発明者	水野 智久 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
(31) 優先権主張番号	特願平11-255154		
(32) 優先日	平成11年9月9日(1999.9.9)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に歪 Si Ge 層を形成する工程と、
前記歪 Si Ge 層上に Si キャップ層を形成する工程と、
前記 Si キャップ層を通して前記歪 Si Ge 層に酸素イオンを注入することにより前記歪 Si Ge 層内部に酸素を導入する酸素導入工程と、
前記酸素導入工程後、熱処理により、酸素導入部分に酸化層を形成し、前記酸化層よりも上に位置する前記歪 Si Ge 層を格子緩和させて格子緩和 Si Ge 層を形成し、さらに前記 Si キャップ層を表面から酸化する熱処理工程と、
この熱処理工程によって酸化された表面を含む前記 Si キャップ層を除去する工程と、
前記格子緩和 Si Ge 層上に歪 Si 層を成長させる工程とを具備することを特徴とする半導体装置の製造方法。

10

【請求項2】

基板上に歪 Si Ge 層を形成する工程と、
前記歪 Si Ge 層に酸素イオンを注入することにより前記歪 Si Ge 層内部に酸素を導入する酸素導入工程と、
前記酸素導入工程後、熱処理により、酸素導入部分に酸化層を形成し、さらに前記酸化層よりも上に位置する歪 Si Ge 層を格子緩和させて格子緩和 Si Ge 層を形成する熱処理工程と、
前記格子緩和 Si Ge 層上に Si Ge 層を成長させて Si Ge 成長層を形成する工程と

20

前記 SiGe 成長層上に歪 Si 層を成長させる工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 3】

前記格子緩和 SiGe 層上に歪 Si 層を成長させる工程では、前記格子緩和 SiGe 層の表面をエッチングし、その後前記歪 Si 層を成長させることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

前記熱処理工程により形成された酸化層は、前記歪 SiGe 層を前記酸化層の上側に位置する歪 SiGe と、前記酸化層の下側に位置する歪 SiGe 層とに分離するものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

10

【請求項 5】

前記酸素導入工程では、前記歪 SiGe 層に前記歪 SiGe 層の層厚より打ち込み飛程が浅くなる条件で酸素イオンを注入することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記基板の上に SiGe からなるバッファ層を形成する工程をさらに具備し、前記バッファ層上に前記歪 SiGe 層を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】

20

前記格子緩和 SiGe 層上に歪 Si 層を成長させる工程は、前記格子緩和 SiGe 層の表面をエッチングし、エッチングされた格子緩和 SiGe 層の表面を HF 処理により水素終端させる水素終端工程と、水素終端された格子緩和 SiGe 層表面上に歪 Si 層を成長させる工程とを有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】

前記水素終端工程後、前記歪 Si 層の成長工程前に、前記格子緩和 SiGe 層の表面の水素を熱処理によって除去する工程をさらに有し、こうして水素除去された格子緩和 SiGe 層の表面上に前記歪 Si 層を成長させることを特徴とする請求項 7 記載の半導体装置の製造方法。

30

【請求項 9】

前記格子緩和 SiGe 層上に歪 Si 層を成長させる工程は、前記格子緩和 SiGe 層の表面に新たな酸化層を保護層として形成する酸化工程と、前記基板を真空中で熱処理することにより、前記保護層を除去する保護層除去工程と、前記保護層が除去された格子緩和 SiGe 層表面上に歪 Si 層を成長させる工程とを有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 10】

前記酸化工程前に、前記格子緩和 SiGe 層の表面の一部を除去する格子緩和 SiGe 層除去工程をさらに有し、この格子緩和 SiGe 層除去工程後に前記酸化工程を行うことを特徴とする請求項 9 記載の半導体装置の製造方法。

40

【請求項 11】

前記保護層除去工程後、前記歪 Si 層の成長工程の前に、前記保護層が除去された格子緩和 SiGe 層の表面上に新たな格子緩和 SiGe 層を成長させる工程をさらに有し、この新たな格子緩和 SiGe 層の表面上に歪 Si 層を成長させることを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は歪 Si 層を有する半導体装置の製造方法に関する。

【0002】

50

【従来の技術】

シリコン結晶を用いたさまざまな半導体素子は広く一般に使われている。この半導体素子を高性能化するためには、シリコン結晶中を走行する電子の走行速度（移動度）を高めることが有効な手段の一つである。

【0003】

しかしながらシリコン結晶中を走行する電子の移動度は、上限値がシリコン結晶の物性により決まるものであり、半導体素子の構造を工夫しても、移動度の上限値を越えることはできない。しかし近年、本来のシリコン結晶に歪みを加えた歪シリコン結晶中では電子の移動度が高められることが報告されている。

【0004】

シリコン結晶に歪みを加える手段として、シリコン結晶とはわずかに格子定数が異なる下地結晶を用意し、その下地結晶上に臨界膜厚（結晶が格子緩和する層厚）より薄いシリコン層を薄膜成長技術により成長する方法が一般にとられている。具体的には下地結晶としてGe組成が20%程度のSiGe混晶層（この場合SiGe結晶の格子定数はSi結晶の格子定数より約0.8%大きい）を用意し、このSiGe結晶層上に臨界層厚100nm以下のシリコン層を薄膜成長することにより歪Si層を得る。

【0005】

しかしながら工業的に量産され、安価で品質の優れたSiGe結晶基板を入手することは困難であるため、通常はシリコンウエファーを基板に用い、この上にSiGe層を格子緩和する厚さ（臨界膜厚）以上気相成長させることにより、格子緩和したSiGe下地層を得ている。

【0006】

しかしながら、この方法では、Si基板上に直接Ge組成が20%のSiGe層を成長するために、SiGe層が格子緩和する際に発生する転位等の欠陥が多く生じ、その上に成長する歪シリコン層にこの欠陥を核にして転位が貫通するという問題がある。

【0007】

そこで格子緩和する際にSiGe層に欠陥を発生させないために、バッファ層をシリコン基板上に形成し、この上に格子緩和SiGe層を形成する方法がある。このバッファ層としては、通常格子緩和SiGe層と同じ組成（同じ格子定数）の十分に厚いSiGe層或いはSi結晶層に少しずつGe原子を混入させ、Geの組成を徐々に増加させていく傾斜組成バッファ層が用いられている。このようにGe組成を徐々に増加させて所望のSiGe層を得ているので、下地層との格子定数との差が急激に変化せず良好な格子緩和SiGe層を得ることが可能となる。

【0008】

しかしながらこのようなバッファ層と格子緩和SiGe層を合わせると非常に厚い層となり、その後の素子作製に対して障害となる。例えば素子を集積化する場合、各微細素子を分離する必要が生ずるが、厚さ1 μ m以上のSiGe層は厚すぎて、各素子を分離できない。また接合容量を低減することが期待されるSOI（SILICON ON INSULATOR）技術では、埋め込み酸化膜上に厚さ1 μ m以上のSiGe層（バッファ層と合わせて）は厚すぎて、素子の接合容量を増大させる問題がある。

【0009】**【発明が解決しようとする課題】**

上述したように、従来は、バッファ層と合わせて格子緩和SiGe層は厚く形成しなければ良質な歪Si層を得ることができず、素子分離できないばかりか、素子の結合容量を増大させる問題がある。

【0010】

本発明は、上記問題を解決するためになされたものであり、酸化層上に薄くて且つ良好な格子緩和SiGe層を形成し、この格子緩和SiGe層上に良質な歪Si層を形成する半導体装置の製造方法を提供することを目的とする。

【0011】

10

20

30

40

50

また、格子緩和 SiGe 層上に、良質な歪 Si 層を再成長することが可能な半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するために、第1の発明は、基板上に歪 SiGe 層を形成する工程と、前記歪 SiGe 層上に Si キャップ層を形成する工程と、前記 Si キャップ層を通して前記歪 SiGe 層に酸素イオンを注入することにより前記歪 SiGe 層内部に酸素を導入する酸素導入工程と、前記酸素導入工程後、熱処理により、酸素導入部分に酸化層を形成し、前記酸化層よりも上に位置する前記歪 SiGe 層を格子緩和させて格子緩和 SiGe 層を形成し、さらに、前記 Si キャップ層を表面から酸化する熱処理工程と、この熱処理工程によって酸化された表面を含む前記 Si キャップ層を除去する工程と、前記格子緩和 SiGe 層上に歪 Si 層を成長させる工程とを具備することを特徴とする半導体装置の製造方法を提供する。

10

【0015】

また、前記格子緩和 SiGe 層表面をエッチングするエッチング工程をさらに具備し、前記エッチング工程後に、前記歪 Si 層を成長させることが好ましい。

【0016】

また、前記格子緩和 SiGe 層表面を HF 処理により水素終端する水素終端工程をさらに具備し、前記水素終端工程後に、前記歪 Si 層を成長させることが好ましい。

【0017】

また、前記水素終端工程後に、前記水素終端された前記格子緩和 SiGe 層表面の水素を除去することが好ましい。

20

【0018】

また、前記格子緩和 SiGe 層表面に別の酸化層を形成する酸化工程と、前記酸化工程後に、真空下で熱処理することにより、前記別の酸化層を除去する酸化層除去工程とをさらに具備し、前記酸化層除去工程後に、前記歪 Si 層を成長させることが好ましい。

【0019】

また、前記基板上に SiGe からなるバッファ層を形成する工程をさらに具備し、前記バッファ層上に前記歪 SiGe 層を形成することが好ましい。

【0020】

また、前記基板が Si 基板であることが好ましい。

30

【0021】

また、前記基板がシリコン・オン・インシュレータ基板であることが好ましい。

【0022】

また、前記熱処理工程により形成された酸化層は、前記歪 SiGe 層を前記酸化層の上側に位置する歪 SiGe と、前記酸化層の下側に位置する歪 SiGe 層とに分離するものであることが好ましい。

【0023】

また、前記酸素導入工程は、前記歪 SiGe 層に前記歪 SiGe 層の層厚より打ち込み飛程が浅くなる条件で酸素イオンを注入することが好ましい。

40

【0024】

第1の発明は、歪 SiGe 層中に酸素を導入し、熱処理によって SiGe 層中に酸化層を形成する。この酸化層によって、前記歪 SiGe 層は、格子緩和された SiGe 層の上層、SiGe 層の下層に分離されることになる。分離された SiGe 上層は、酸素の打ち込み飛程を調整することで、薄くなるように設定でき熱処理によって、酸化膜が形成されるとき、SiGe 上層の歪はこの酸化層に吸収されることによって、転位等の欠陥が導入されず、薄くて良好な格子緩和 SiGe を形成できる。

【0025】

また、前記格子緩和 SiGe 層の表面をエッチングし、エッチングされた格子緩和 SiGe 層の表面を HF 処理により水素終端させる水素終端工程と、水素終端された格子緩和

50

S i G e層表面上に歪S i層を成長させる工程とを有することが好ましい。

【0027】

このとき、前記水素終端工程後、前記歪S i層の成長工程前に、前記格子緩和S i G e層の表面の水素を熱処理によって除去する工程をさらに有し、こうして水素除去された格子緩和S i G e層の表面上に、前記歪S i層を成長させることが好ましい。

【0028】

また、前記格子緩和S i G e層上にS i G e層を成長させる工程をさらに具備し、前記S i G e成長層上に、前記歪S i層を成長させることが好ましい。

【0029】

このように、格子緩和S i G e層の表面をHF処理によって、水素終端させ、表面を保護し、歪S i層を再成長させる前に、同一チャンパー内で、水素を除去して歪S iを再成長させることによって、良好な歪S i層を形成できる。

【0030】

また、前記格子緩和S i G e層の表面に別の酸化層を保護層として形成する酸化工程と、前記基板を真空下で熱処理することにより、前記保護層を除去する保護層除去工程と、前記保護層が除去された格子緩和S i G e層表面上に歪S i層を成長させる工程とを有することが好ましい。

【0031】

このとき、前記酸化工程前に、前記格子緩和S i G e層の表面の一部を除去する格子緩和S i G e層除去工程をさらに有し、この格子緩和S i G e層除去工程後に前記酸化工程を行うことが好ましい。

【0032】

また、前記保護層除去工程後、前記歪S i層の成長工程の前に、前記保護層が除去された格子緩和S i G e層の表面上に新たな格子緩和S i G e層を成長させる工程をさらに有し、この新たな格子緩和S i G e層の表面上に歪S i層を成長させることが好ましい。

【0033】

このように、格子緩和S i G e層の表面を保護層たる別の酸化層によって保護し、歪S i層を再成長させる前に、同一チャンパー内真空下の熱処理により、保護層を除去した後に歪S iを再成長させることによって、良好な歪S i層を形成できる。

【0034】

第2の発明は、基板上に歪S i G e層を形成する工程と、前記歪S i G e層に酸素イオンを注入することにより前記歪S i G e層内部に酸素を導入する酸素導入工程と、前記酸素導入工程後、熱処理により、酸素導入部分に酸化層を形成し、さらに前記酸化層よりも上に位置する歪S i G e層を格子緩和させて格子緩和S i G e層を形成する熱処理工程と、前記格子緩和S i G e層上にS i G e層を成長させてS i G e成長層を形成する工程と、前記S i G e成長層上に歪S i層を成長させる工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0036】

【発明の実施の形態】

以下に本発明の好ましい実施形態を、図面を用いて詳細に説明する。

【0037】

(実施形態1)

図1に示すように、p型S i基板11上に超高真空C V D(化学的気相成長)装置にてS i_{1-x}G e_x傾斜組成層12を成長させる。このp型S i基板11は、比抵抗が4.5 cmから6 cm、主面は(100)面を持つ。また、S i_{1-x}G e_x傾斜組成層12は、成長の始めから終わりまで、G e組成比Xを0から0.2まで徐々に増やし、層厚を1800 nmとする。このS i_{1-x}G e_x傾斜組成層12はパフア層として作用する。

【0038】

S i_{1-x}G e_x層12の原料ガスはS i₂H₆およびG eH₄として、ドーパントは添

10

20

30

40

50

加していない。成膜条件は基板温度650、 Si_2H_6 原料ガス分圧を30mPaとし、 GeH_4 原料ガス分圧を徐々に60mPaまで増加することにより、傾斜組成を形成した。 GeH_4 原料ガス分圧は、流量メータの設定を徐々に増加させることによって増加できる。このとき層厚200nmずつGe組成比Xを2%から18%までステップ幅2%ごと異なる $Si_{1-x}Ge_x$ 層を積層することで、近似的に層厚1800nmの $Si_{1-x}Ge_x$ 傾斜組成層12を作成することもできる。

【0039】

次に、超高真空CVD装置にて、 $Si_{1-x}Ge_x$ (X:0.0.2)傾斜組成層12上に連続して歪 $Si_{1-x}Ge_x$ 層13を成長させる。歪 $Si_{1-x}Ge_x$ 層13は、成長の始めから終わりまで、Ge組成比Xを0.2で固定し、層厚を1000nmとする。このとき歪 $Si_{0.8}Ge_{0.2}$ 層13はその層厚及び下層の $Si_{1-x}Ge_x$ (X:0.0.2)傾斜組成層12の層厚により、一部歪んでいるが一部緩和している場合もある。また $Si_{1-x}Ge_x$ (X:0.0.2)傾斜組成層12はバッファ層として作用し、歪 $Si_{0.8}Ge_{0.2}$ 層13に貫通転位が発生するのを抑制できる。

10

【0040】

歪 $Si_{0.8}Ge_{0.2}$ 層13の原料ガスは Si_2H_6 および GeH_4 として、ドーパントは添加していない。成膜条件は基板温度650、 Si_2H_6 原料ガス分圧を30mPa、 GeH_4 原料ガス分圧を60mPaとする。

【0041】

次に、超高真空CVD装置にて、歪 $Si_{0.8}Ge_{0.2}$ 層13上に連続してSiキャップ層14を層厚30nm成長させる。

20

【0042】

Siキャップ層14の原料ガスは Si_2H_6 として、ドーパントは添加していない。成膜条件は基板温度650、 Si_2H_6 原料ガス分圧を30mPaとする。

【0043】

次に、図2に示すように、基板を超高真空CVD装置からイオン注入装置に移して、酸素イオン注入をする。このとき歪 $Si_{0.8}Ge_{0.2}$ 層13中に、酸素イオンが留まるように、歪 $Si_{0.8}Ge_{0.2}$ 層13の層厚(1 μ m)より、打ち込み飛程が浅くなる条件で酸素イオンを注入する。このときの加速エネルギーは180keV、注入ドーズ量は $4 \times 10^{17} \text{ cm}^{-2}$ とする。このエネルギーでは打ち込み飛程が400nmとなるが、 $\pm 100 \text{ nm}$ の揺らぎも生じる。

30

【0044】

打ち込みエネルギーを変えることにより埋め込み酸化層が形成される深さを調整することが可能となる。例えば打ち込みエネルギーを高くすれば、打ち込み飛程が大きくなり、より深い位置に埋め込み酸化層が形成される。一方打ち込みエネルギーを低くすれば、打ち込み飛程を小さくできる。しかし打ち込み飛程を小さくする場合、揺らぎの大きさはさほど小さくならないため、打ち込みエネルギーを低くしすぎると、打ち込まれた酸素の分布は打ち込み飛程を中心に、基板表面にまで広がってしまうことになるので、注意が必要である。具体的には打ち込みエネルギーとして25keV以上が望ましい。

【0045】

また、歪 $Si_{0.8}Ge_{0.2}$ 層13の表面から150nm以上600nm以下程度が好ましい。

40

【0046】

次に、図3に示すように、基板をイオン注入装置から取り出し、1350、4時間の熱処理を行う。この熱処理工程により、表面から400nmの深さを中心に厚さ100nmの埋め込み酸化層15が形成される。この埋め込み酸化層15によって歪 $Si_{0.8}Ge_{0.2}$ 層13は、 $Si_{1-x}Ge_x$ 下層13a及び $Si_{1-x}Ge_x$ 上層13bに分離する。またこの熱処理工程によって、 $Si_{1-x}Ge_x$ 上層13bは格子緩和する。

【0047】

この熱処理工程では温度設定が最も重要となる。 Si 層と比べてSiGe層に酸素イオン

50

注入し熱処理にて格子緩和させる場合は、熱負荷に対して凹凸の発生等、表面劣化を引き起こすため、温度を低めに設定することが望ましい。例えば1200 から1350 の温度が好ましい。

【0048】

また、この熱処理中に、Siキャップ層14の結晶表面が薄い酸化層18と変化することにより、 $Si_{0.8}Ge_{0.2}$ 層13の表面状態を良好に保持することが可能となる。このため熱処理雰囲気中に微量の酸素ガスを添加する方法が有効である。

【0049】

例えば、熱処理雰囲気としてアルゴンガス等の不活性ガス中に0.5%程度の酸素ガスを導入することにより、Siキャップ層14の表面を薄く酸化させながら熱処理を行うことができる。ここで、不活性ガスの種類はアルゴンの他に希ガスや、窒素などでもよい。

10

【0050】

また、このときSiキャップ層14の層厚を30nmとしたが、表面酸化層18の層厚が30nmより薄く形成される条件とし、Siキャップ層14を残しても良い。Siキャップ層14の酸化されない残りのSi層には、下層の $Si_{0.8}Ge_{0.2}$ 層13からGeが拡散してSiGe層となり、またこのSiGe層は格子緩和されるので問題はない。

【0051】

また、Siキャップ層14を形成せずに、この熱処理を施す場合でも $Si_{0.8}Ge_{0.2}$ 層13の表面状態を良好に保持するためには極微量の酸素ガスを含む雰囲気により、表面を極わずかに酸化させる方がよい。これらの酸化層は後の工程でエッチング除去される。

20

【0052】

この熱処理工程において形成された埋め込み酸化層15中にはGe元素はほとんど存在せず、 $Si_{1-x}Ge_x$ 下層13aおよび $Si_{1-x}Ge_x$ 上層13bに拡散する。したがって埋め込み酸化層15は SiO_x となる。

【0053】

一方この熱処理工程において、 $Si_{1-x}Ge_x$ 下層13aはGeが $Si_{1-x}Ge_x$ (X: 0.0.2)パツファ層12に拡散してGe組成Xは0.2よりも若干低下している。

【0054】

また、埋め込み酸化層15上の $Si_{1-x}Ge_x$ 上層13bが格子緩和する際、 $Si_{1-x}Ge_x$ 下層13aに対してではなく、非晶質の埋め込み酸化層15に歪のエネルギーを解放するため、新たな転位の発生を伴わずに薄い格子緩和 $Si_{1-x}Ge_x$ 上層13bを得ることができる。

30

【0055】

次に、Siキャップ層14の表面に形成されたシリコン酸化層18を、弗酸あるいは弗化アンモニウムによりエッチング除去する。

【0056】

次に、HF + HNO₃系エッチャントで、Siキャップ層14の酸化されなかったSi層および $Si_{1-x}Ge_x$ 上層13bの表面をエッチングする。こうすることで格子緩和 $Si_{1-x}Ge_x$ 上層13bの良好な表面層を得ることができる。

40

【0057】

このときのHF + HNO₃系エッチャントの組成は(HF : H₂O : HNO₃) = 1 : 20 : 50であり、室温でのエッチングレートはSiに対して600nm/分、 $Si_{0.8}Ge_{0.2}$ に対しては1300nm/分である。このとき弗酸および硝酸の濃度を薄くすることにより、エッチングレートをさらに遅くすることは可能である。例えば(HF : H₂O : HNO₃) = 1 : 100 : 500では $Si_{0.8}Ge_{0.2}$ に対しては70nm/分である。

【0058】

また、格子緩和 $Si_{1-x}Ge_x$ 上層13bの表面をエッチングする工程は必ずしも必要

50

ではないが、埋め込み酸化層 15 上に形成される SiGe 層を薄膜化するためには好ましい。このエッチング工程によって、格子緩和 Si_{1-x}Ge_x 上層 13 b の厚さを 100 nm 以下、理想的には 5 nm ないし 10 nm 程度にまで薄くする。

【0059】

次に、エッチングされた格子緩和 Si_{1-x}Ge_x 上層 13 b の表面を弗化水素 (HF) 溶液処理によって、水素終端させる。

【0060】

ここで格子緩和 Si_{1-x}Ge_x 上層 13 b の表面が、エッチング処理後に一旦大気中に晒されているので、格子緩和 Si_{1-x}Ge_x 上層 13 b の表面は、この水素終端工程を行わないと、大気中の水分や酸素によって酸化され、また汚染されやすい。そこで酸化や汚染から守るために、格子緩和 Si_{1-x}Ge_x 上層 13 b の表面を水素終端することによって保護層を形成しておく。こうすることで後の歪 Si 層を再成長させる前に、格子緩和 Si_{1-x}Ge_x 上層 13 b 上に良好な歪 Si 層を形成できる。

10

【0061】

次に、図 4 に示すように、基板を再び超高真空 CVD 装置内に搬入し、一端熱処理により水素終端処理された格子緩和 Si_{1-x}Ge_x 上層 13 b の表面水素および残留不純物を除去する。

【0062】

次に、超高真空 CVD 装置によって、格子緩和 Si_{1-x}Ge_x 上層 13 上に格子緩和 Si_{0.8}Ge_{0.2} 層 16 を層厚 100 nm 再成長させる。格子緩和 Si_{0.8}Ge_{0.2} 層 16 の原料ガスは Si₂H₆、GeH₄ とする。成膜条件は、基板温度を 650 °C、Si₂H₆ 原料ガス分圧を 30 mPa、GeH₄ 原料ガス分圧を 60 mPa とする。

20

【0063】

次に、超高真空 CVD により、格子緩和 Si_{0.8}Ge_{0.2} 再成長層 16 上に連続して歪 Si 層 17 を層厚 20 nm 再形成させる。歪 Si 層 17 の原料ガスは Si₂H₆ とする。成長条件は、基板温度を 650 °C、Si₂H₆ 原料ガス分圧を 30 mPa とする。

【0064】

このとき格子緩和 Si_{1-x}Ge_x 上層 13 b 上に直接歪 Si 層 17 を形成せずに、Si_{0.8}Ge_{0.2} 層 16 を新たにバッファ層として再成長させることで、より良好な結晶構造を有する歪 Si 層 17 を形成できる。もちろん格子緩和 Si_{1-x}Ge_x 上層 13 b 上に直接歪 Si 層 17 を再成長させても良い。

30

【0065】

この格子緩和 Si_{0.8}Ge_{0.2} バッファ層 16 と格子緩和 Si_{1-x}Ge_x 上層 13 b とあわせて、層厚を 200 nm 以下、理想的には 10 nm 以下に設定することが望ましい。

【0066】

また、歪 Si 層 17 の層厚は 30 nm 以下、理想的には 5 nm ないし 10 nm が有用である。

【0067】

このようにして埋め込み酸化層 15 上に格子緩和した薄い Si_{1-x}Ge_x 層 13 b、16 上に良好な歪 Si 層 17 を形成することができる。このようにして形成された歪 Si 層では、歪がない Si 層と比較して電子移動度が約 1.76 倍となる。素子を形成する際、各素子は埋め込み酸化層 15 上に加工形成すればよく、素子分離加工も酸化層 15 上で行えば良い。バッファ層 12 は素子分離加工する必要がない。素子の加工例は実施形態 4 に示す。

40

【0068】

図 5 に、本実施形態で説明した水素終端処理における HF 溶液の必要な最低濃度と処理面である格子緩和 Si_{1-x}Ge_x 上層 13 b の Ge 組成比 X との関係を示す。ここでは格子緩和 Si_{1-x}Ge_x 上層 13 b の Ge 組成比 X を 0%、10%、20%、30% と異なる基板を用意して、弗化水素酸溶液中の HF 濃度を变化させて格子緩和 Si_{1-x}Ge

50

x 上層 13 b の表面に水素終端処理をした実験結果を示す。

【0069】

ここに示した HF 濃度は、望ましい最小の値であり、これより薄い濃度の HF 溶液を用いた場合は、水素終端処理が不十分で、格子緩和 $Si_{1-x}Ge_x$ 上層 13 b 表面上の酸素不純物の除去が十分にできず、再成長後に界面に不純物を残存させたり、再成長層の結晶性が劣化したりという問題を引き起こす可能性がある。

【0070】

この結果、水素終端処理における HF 濃度は濃くした方が好ましく、例えば格子緩和 $Si_{1-x}Ge_x$ 上層 13 b の Ge 組成比 X が 20% のときには HF 濃度 1.5% 以上の溶液が望ましいことが分かる。

10

【0071】

また、水素終端された格子緩和 $Si_{1-x}Ge_x$ 上層 13 b の表面は 400 から 500 で水素脱離が始まるので、再成長温度を容易に調整できる。

【0072】

しかし表面にわずかに残る酸素や炭素の不純物を除去するためには、400 から 500 での水素脱離のみではなく、さらに 850 から 900 程度の熱処理を施すことが好ましい。ただし、格子緩和 $Si_{1-x}Ge_x$ 上層 13 b の表面は高温の加熱処理に弱く長時間の高温熱処理を施すと、凹凸の発生等、表面の劣化を引き起こす問題が見られる。そこで Ge 組成 20% の格子緩和 $Si_{1-x}Ge_x$ 上層 13 b の場合において表面の劣化を起こさない範囲で、酸素や炭素の不純物を除去するための熱処理条件として、例えば 850

20

【0073】

(実施形態 2)

本実施形態では、実施形態 1 において格子緩和 $Si_{1-x}Ge_x$ 層 13 b 表面に保護層として水素終端処理を施した代わりに、格子緩和 $Si_{1-x}Ge_x$ 層 13 b 表面に保護層として酸化層を形成したものである。

【0074】

したがって図 1 乃至図 3 までの工程は、実施形態 1 と同様であるので、説明を省略する。

【0075】

実施形態 1 において説明した格子緩和 $Si_{1-x}Ge_x$ 上層 13 b の表面の一部をエッチング除去した後に、この格子緩和 $Si_{1-x}Ge_x$ 層 13 b 表面を酸化し酸化層(保護層)を形成する。このときの酸化層の厚さは 3 nm 以下が望ましく、理想的には 1.5 nm 程度がよい。この酸化工程は塩酸と過酸化水素混合液による酸薬液処理が有効である。例えば(塩酸:過酸化水素水:水) = 1:1:6 程度の混合液を 90 以上に加熱して用いると、良質な酸化層が形成できる。

30

【0076】

次に、この基板を超高真空 CVD 装置内に搬入し、真空下で熱処理により、保護層である酸化層を除去する。

【0077】

酸化層除去のための熱処理条件は、850 から 900 が望ましい。この場合、酸化層を除去するための熱処理は水素終端した場合よりも熱負荷を大きくする必要はあるが、具体的には Ge 組成 20% の格子緩和 $Si_{1-x}Ge_x$ 層場合、850 で 30 分以下の熱処理が望ましい。

40

【0078】

次に、図 4 に示すように、超高真空 CVD 装置によって、酸化層が除去された格子緩和 $Si_{1-x}Ge_x$ 上層 13 表面上に格子緩和 $Si_{0.8}Ge_{0.2}$ 層 16 を層厚 100 nm 再成長させる。格子緩和 $Si_{0.8}Ge_{0.2}$ 層 16 の原料ガスは Si_2H_6 、 GeH_4 とする。成膜条件は、基板温度を 650、 Si_2H_6 原料ガス分圧を 30 mPa、 GeH_4 原料ガス分圧を 60 mPa とする。

【0079】

50

次に、超高真空CVDにより、格子緩和 $Si_{0.8}Ge_{0.2}$ 再成長層16上に連続して歪 Si 層17を層厚20nm再形成させる。歪 Si 層17の原料ガスは Si_2H_6 とする。成長条件は、基板温度を650、 Si_2H_6 原料ガス分圧を30mPaとする。

【0080】

このとき格子緩和 $Si_{1-x}Ge_x$ 上層13b上に直接歪 Si 層を形成せずに、 $Si_{0.8}Ge_{0.2}$ 層16を新たにバッファ層として再成長させることで、より良好な結晶構造を有する歪 Si 層17を形成できる。もちろん格子緩和 $Si_{1-x}Ge_x$ 上層13b上に直接歪 Si 層17を再成長させても良い。

【0081】

この格子緩和 $Si_{0.8}Ge_{0.2}$ バッファ層16と格子緩和 $Si_{1-x}Ge_x$ 上層13bとあわせて、層厚を200nm以下、理想的には10nm以下に設定することが望ましい。

10

【0082】

また、歪 Si 層17の厚さは30nm以下、理想的には5nmないし10nmが有用である。

【0083】

このようにして埋め込み酸化層15上に格子緩和した薄い $Si_{1-x}Ge_x$ 層13b、16さらに歪 Si 層17を積層した構造の作成が可能となる。

【0084】

(実施形態3)

20

図7は、本発明の実施形態3に示す半導体装置の製造方法の各工程を示す図である。本実施形態は本発明の第2の発明に係る実施形態である。

【0085】

本実施形態は、SOI(シリコン・オン・インシュレータ)基板を用い、SOI層上に歪 $SiGe$ 層をエピタキシャル成長させ、格子緩和 $SiGe$ 層を形成する方法である。

【0086】

先ず、図7(a)にシリコン基板41上に厚さ100nmのシリコン酸化層42、厚さ20nmのシリコン単結晶層43がこの順に形成されたSOI基板を用意する。

【0087】

このようなSOI基板は工業的にも生産されており、入手は容易であるが、一般に安価に入手できるSOI基板はシリコン単結晶層43の厚さが100nm以上と厚いことが多い。その場合は通常の熱酸化炉においてシリコン単結晶層43を酸化することによりSOI層(埋め込み酸化層42上の Si 層)43を薄層化できる。例えば初期SOI層43の厚さが100nmの場合およそ160nmの酸化層を形成する条件で表面を熱酸化すれば、およそ20nmのSOI層43が残る。このとき表面にできた熱酸化層は、エッチング等で剥離する。

30

【0088】

次に、図7(b)に示すように、このSOI基板の上に層厚100nmの $Si_{0.85}Ge_{0.15}$ 層44(Ge組成15%)を500程度の低温で成長する場合について説明する。低温成長を実現するためには、実施形態1、2で説明した超高真空CVD法のほかに、固体原料を用いるMBE(分子線エピタキシー)法も有効である。本実施形態では固体原料を用いるMBE法を用いて形成する方法について説明する。

40

【0089】

固体原料を用いるMBE法では、 Si ソースに電子ビームをあてて加熱し、シリコンの蒸気を別の熱源(基板加熱ヒーター)で加熱された基板に供給する。また、同時にファーネスで加熱された Ge ソースから蒸気を取り出し、 Si および Ge の蒸気を同時に基板上に供することにより $SiGe$ の混晶層を形成することができる。このとき Si ソースおよび Ge ソースの温度を制御することにより、両者の蒸気圧を調整し、所定の Ge 組成を設計できる。

MBE法によりSOI層43上に、厚さ100nmの $Si_{0.85}Ge_{0.15}$ 層44(

50

Ge組成15%)を500程度の低温で成長する。

【0090】

この $Si_{0.85}Ge_{0.15}$ 層44の成長終了直後の段階では $Si_{0.85}Ge_{0.15}$ 層44はSi結晶層43により引っ張り歪を有している。

【0091】

次に、図7(c)に示すように、この基板を大気中に取り出した後、熱処理炉に導入し1100で1時間の高温アニール処理を施す。大気中に取り出すことにより $Si_{0.85}Ge_{0.15}$ 層44の表面にごく薄い酸化層45ができ、熱処理時のGe原子の析出や塊状化等を抑制することができる。この熱処理により埋め込み酸化層42と下地SOI層43との間にすべり転位が発生し、 $Si_{0.85}Ge_{0.15}$ 層44がほぼ格子緩和する。

10

【0092】

それぞれの工程のあと、格子緩和SiGe層44の表面にはSi酸化層45が形成されているので、HF処理によりこの表面酸化層を除去し、同時に格子緩和SiGe層44の表面をHF処理により水素終端させる。HF処理の条件は実施形態1と同様である。

【0093】

次に、図7(d)に示すように、この基板を再び薄膜成長装置に導入し、格子緩和したSiGe層46を再成長させ結晶性を整え、歪Si層47を最上層に成長する。このようにして歪Si層47/Si_{1-x}Ge_x層46、44/Si層43/Si酸化層42の積層構造が得られる。このようにして得られた構造では、熱処理温度が高い場合は、初期のSOI層中に、その後形成したSiGe層46中からGe原子が拡散するため、Ge濃度は平均的に薄くなり、上記の例では12.5%となる。

20

【0094】

また本実施形態では熱処理後に水素終端処理を施し歪Si層47の成長を開始しているが、格子緩和SiGe層44の一部表面をエッチング除去した後に水素終端処理を施し、歪Si層47を形成すれば極めて薄い格子緩和SiGe層44を得ることも可能である。例えば上記の例で熱処理後に形成された層厚120nm、Ge組成12.5%の緩和SiGe層44を表面から90nmエッチングにより除去し、層厚30nmを残し、さらに層厚15nmの歪Si層47を再成長すればよい。

【0095】

この方法においても、良質な格子緩和SiGe層44を得るためには高温熱処理工程が必要となり、表面層は酸化される。また仮に表面保護用にSiキャップ層を用意していてもSiGe層からのGeの多量の混入が起こり、Si層は保存されない。すなわち最終的に最上層に歪Si層を得るためには、高温熱処理工程後の再成長の過程が重要となる。

30

【0096】

(実施形態4)

次に、上記積層構造を用いてMOSFETを作製した例を示す。

【0097】

図6に示すように、Si基板31上に埋め込み酸化層32が形成されている。この埋め込み酸化層32上には、格子緩和SiGe層35、歪Si層34、ゲート酸化層35ゲート電極36が形成されている。歪Si層34にはゲート電極36の両側に、ソース・ドレイン37が形成されている。

40

【0098】

ここで格子緩和 $Si_{0.7}Ge_{0.3}$ 層35はGe組成30%、厚さ7nm、歪Si層34は初期厚さ6nmとした。ただしMOSFET作製工程において、歪Si層34の表面はゲート酸化層作成のため熱酸化され、結果として3nmの酸化層と4.5nmの歪Si層34が緩和SiGe/絶縁層(埋め込み酸化層)の上に積層された構造となっている。

【0099】

次に、本発明の第1、第2の発明を用い、上記のMOSFETを作成した。その方法を図8、図9を用いて述べる。

【0100】

50

先ず、図8(a)に示すように、Si基板81上に、Ge組成を徐々に増加した傾斜組成SiGe層82(厚さ2.5 μm)を形成し、この上に厚さ2 μm のSi_{0.7}Ge_{0.3}層83を積層する。次に、Si_{0.7}Ge_{0.3}層83上に厚さ20nmのSiキャップ層84を形成する。この積層構造はSi₂H₆およびGeH₄を原料とする超高真空CVD法を用いて形成する。

【0101】

次に、図8(b)に示すように、この積層基板に酸素イオン注入を施す。このときの加速エネルギーは180keV、注入ドーズ量は $4 \times 10^{17} \text{ cm}^{-2}$ とする。

【0102】

次に、酸素イオン注入された後、1350 $^{\circ}\text{C}$ 、4時間の熱処理を行う。この熱処理工程により、表面から400nmの深さを中心に厚さ100nmの埋め込み酸化層が形成される。この埋め込み酸化層によってSi_{0.7}Ge_{0.3}層83とSiGe傾斜組成層82の間には、埋め込み酸化層85が形成される。またこの熱処理工程によって、Si_{0.7}Ge_{0.3}層83は格子緩和する。

10

【0103】

次に、図8(c)に示すように、厚さ400nmのSi_{0.7}Ge_{0.3}層83の表面をHF:硝酸混合溶液で7nmまでエッチングする。このときSiキャップ層84もエッチングされる。ここでエッチングはこの他の方法を用いてもよい。

【0104】

次に、図8(d)に示すように、再び成膜装置に導入し、Si_{0.7}Ge_{0.3}層83上に、厚さ6nmの歪Si層86を形成する。

20

【0105】

次に、図8(e)に示すように、歪Si層86の表面を熱酸化する。形成された熱酸化層87は層厚3nmで、結果として3nmの酸化層87と4.5nmの歪Si層86が形成される。

【0106】

次に、図8(f)に示すように、酸化層87上に厚さ50nmの多結晶Si層88を堆積する。

【0107】

次に、図9(a)に示すように、基板全面に絶縁層を形成し、RIEによってエッチングしてゲート電極88の側面にゲート側壁89を形成する。

30

【0108】

次に、図9(b)に示すように、不純物をイオン注入し、多結晶Siゲートおよび、ゲート両端のソース・ドレイン90の低抵抗化をする。イオン注入後のラピッドサーマルアニールは、温度を850 $^{\circ}\text{C}$ 程度にとどめることが望ましい。温度が高すぎると歪Si層86内に形成されたチャンネル部の歪が緩和する恐れがある。また温度が高すぎるとSi/SiGe界面がGeの拡散により劣化することが懸念される。

【0109】

最後にソース・ドレイン90、ゲートにアルミニウムの電極を形成して素子が完成する。図9(b)に示す素子においては、埋め込み酸化層85が図6の埋め込み酸化層32に相当する。また、図9(b)における基板81及び傾斜組成SiGe層82は、図6における基板31に相当する。

40

【0110】

このようにして形成されたMOSFETは歪Si層をチャンネルとして用いているので、素子の高速化が図られる。

【0111】

【発明の効果】

本発明によれば、Si結晶上にSiGe層を積層した場合に格子緩和をする臨界膜厚に関係なく、薄い格子緩和したSiGe層を得ることができるため、歪Si/緩和SiGe/絶縁層の積層構造において、Si結晶上のSiGe層の臨界膜厚と同等あるいはそれ以

50

下の、きわめて薄い緩和SiGeを得ることが可能となる。また、歪シリコンが形成されているSiGe層が非常に薄いため素子分離などの微細加工が容易であり、接合容量も増大しない。

【0112】

また、格子緩和SiGe層の表面を水素終端したり酸化層を形成したりした後、エッチングして歪Si層を再形成しているため、これらの界面特性が良好となり素子特性を向上できる。

【図面の簡単な説明】

【図1】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造の作成方法説明するための断面図。

10

【図2】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造の作成方法を説明するための断面図。

【図3】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造の作成方法を説明するための断面図。

【図4】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造の作成方法を説明するための断面図。

【図5】 本発明による歪Si / 格子緩和SiGe / 絶縁層構造作成時の格子緩和SiGe層表面処理の条件を示すための表。

【図6】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造を用いたMOSFETの断面図。

20

【図7】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造の形成方法を説明するための各工程における断面図。

【図8】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造を用いたMOSFETの作成方法を説明するための各工程の断面図。

【図9】 本発明による歪Si / 格子緩和SiGe / 絶縁層の積層構造を用いたMOSFETの作成方法を説明するための各工程の断面図。

【符号の説明】

11 ... Si基板

12 ... SiGe傾斜組成層

13 ... SiGe固定組成層

30

13a ... SiGe層

13b ... 格子緩和SiGe層

14 ... Siキャップ層

15 ... 埋め込み酸化層

16 ... 再成長SiGe層

17 ... 歪Si層

31 ... 基板

32 ... 埋め込み酸化層

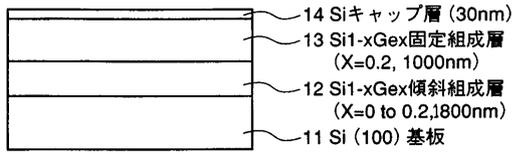
35 ... 格子緩和SiGe層

36 ... ゲート電極

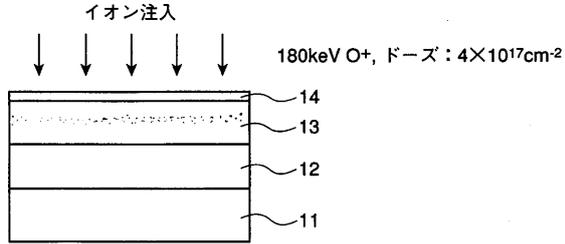
40

37 ... ソース・ドレイン

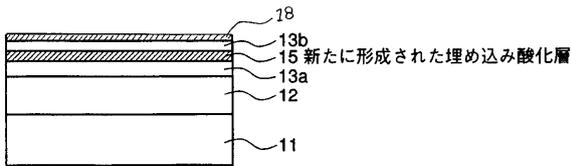
【図1】



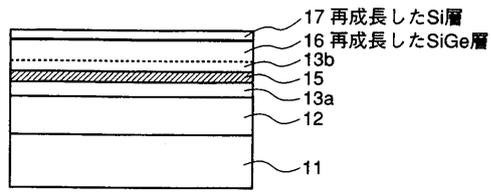
【図2】



【図3】



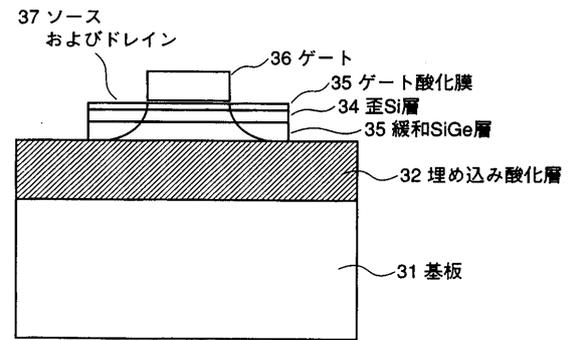
【図4】



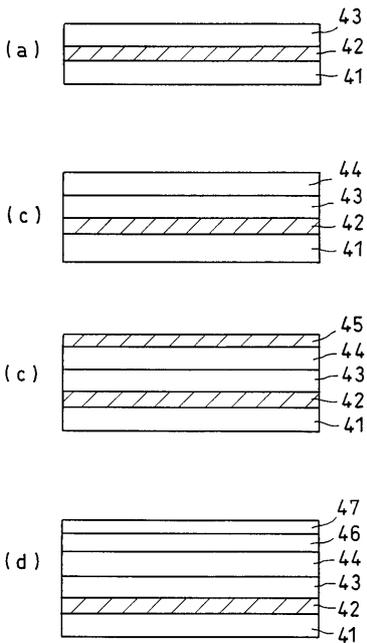
【図5】

Ge組成 (%)	0	10	20	30
要求されるHF溶液の最低濃度 (%)	0.5	1	1.5	2.5

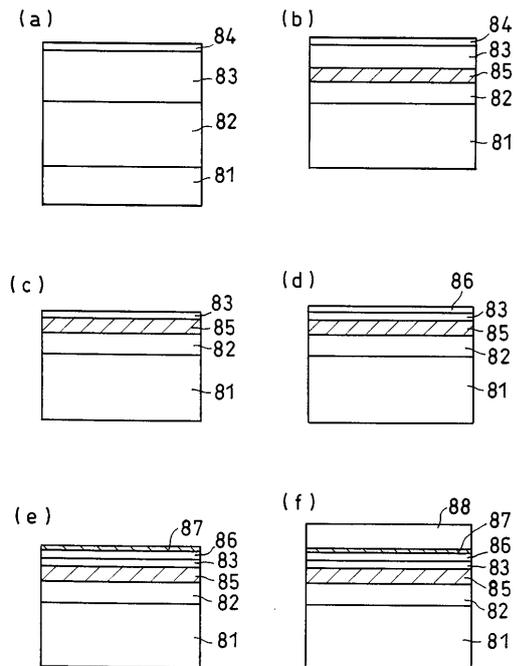
【図6】



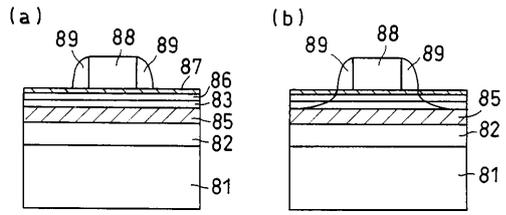
【図7】



【図8】



【 図 9 】



フロントページの続き

(72)発明者 高木 信一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

(72)発明者 黒部 篤

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 綿引 隆

(56)参考文献 特開平09-321307(JP,A)

特開平04-212413(JP,A)

特開平08-339996(JP,A)

特開平09-223668(JP,A)

特開平07-335847(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02

H01L 21/205

H01L 21/265

H01L 21/336

H01L 21/76

H01L 27/12

H01L 29/786