

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-21387
(P2020-21387A)

(43) 公開日 令和2年2月6日(2020.2.6)

(51) Int.Cl.

G06F 1/30 (2006.01)

F I

G06F 1/30

Z

テーマコード(参考)

5B011

審査請求 未請求 請求項の数 3 O L (全 17 頁)

(21) 出願番号 特願2018-146452 (P2018-146452)
(22) 出願日 平成30年8月3日(2018.8.3)

(71) 出願人 000003067
TDK株式会社
東京都中央区日本橋二丁目5番1号
(74) 代理人 100106909
弁理士 棚井 澄雄
(74) 代理人 100163496
弁理士 荒 則彦
(74) 代理人 100188558
弁理士 飯田 雅人
(74) 代理人 100169694
弁理士 荻野 彰広
(72) 発明者 伊藤 祐義
東京都港区芝浦三丁目9番1号 TDK株式会社内

最終頁に続く

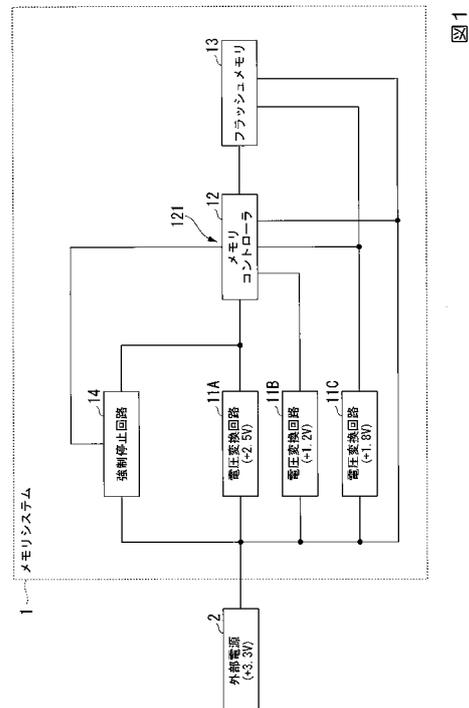
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】メモリシステムの内部で生成される電圧の不具合が発生した場合に当該不具合の影響を抑制することができるメモリシステムを提供する。

【解決手段】フラッシュメモリと、前記フラッシュメモリに対するアクセスを制御するメモリコントローラと、外部電源から供給される電力の電圧を所定の電圧に変換する電圧変換を行い、当該電圧変換後の電力を前記メモリコントローラに供給する電圧変換回路と、前記電圧変換回路から前記メモリコントローラに供給される電力の電圧が所定の電圧範囲から外れている場合に、非活性化信号を前記メモリコントローラに出力する強制停止回路と、を備え、前記メモリコントローラは、活性状態または非活性状態の指示を受ける入力端子を有し、前記入力端子に前記非活性化信号が入力された場合、非活性状態になる、メモリシステム。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

フラッシュメモリと、
前記フラッシュメモリに対するアクセスを制御するメモリコントローラと、
外部電源から供給される電力の電圧を所定の電圧に変換する電圧変換を行い、当該電圧変換後の電力を前記メモリコントローラに供給する電圧変換回路と、
前記電圧変換回路から前記メモリコントローラに供給される電力の電圧が所定の電圧範囲から外れている場合に、非活性化信号を前記メモリコントローラに出力する強制停止回路と、
を備え、
前記メモリコントローラは、活性状態または非活性状態の指示を受ける入力端子を有し、前記入力端子に前記非活性化信号が入力された場合、非活性状態になる、
メモリシステム。

10

【請求項 2】

前記電圧変換回路を、複数備え、
複数の前記電圧変換回路のうち、少なくとも 1 つの前記電圧変換回路から供給される電力の電圧が所定の電圧範囲から外れている場合に、前記強制停止回路が前記非活性化信号を前記メモリコントローラに出力する、
請求項 1 に記載のメモリシステム。

20

【請求項 3】

前記フラッシュメモリと、メモリコントローラと、前記電圧変換回路と、前記強制停止回路とが 1 つのパッケージに収納された、
請求項 1 または請求項 2 に記載のメモリシステム。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリシステムに関する。

【背景技術】**【0002】**

フラッシュメモリに関する技術についての研究や開発が行われている。
フラッシュメモリを使用してデータを記憶するメモリシステムが知られている。このようなメモリシステムは、外部電源から供給される電圧を各種の動作電圧に変換する複数の電圧変換回路を備える。これらの動作電圧は、メモリコントローラおよびフラッシュメモリのそれぞれに供給される。

30

【0003】

近年では、このようなメモリシステムを小型化するために、フラッシュメモリを制御するメモリコントローラのチップと当該フラッシュメモリのチップを 1 つのパッケージに組み込んだ IC (Integrated Circuit) パッケージが開発されている。

ここで、このような IC パッケージに外部から電圧を供給する場合、ユーザ(人)にとって、当該電圧を外部から供給させるための作業が必要になる。このため、このような IC パッケージでは、メモリコントローラとフラッシュメモリとこれらに所定電圧の電力を供給する電圧変換回路が、1 つの IC パッケージの中に組み込まれていることが多い。

40

【0004】

このようなメモリシステムでは、内蔵されている電圧変換回路の不具合により、フラッシュメモリに対するデータの書き込みあるいは読み出しに失敗する場合があった。

【0005】

例えば、メモリコントローラのプロセッサに供給されるコア電圧(例えば、+2.5 ボルト[V]の電圧)は、仕様上、所定の電圧範囲(例えば、+2.5 V ± 10%)に収まる電圧値である必要がある。

しかしながら、EOS (Electrical Over Stress) あるいは ESD (Electro Stati

50

c Discharge)等により、電圧変換回路で使用されている電源ICに異常等が発生した場合、電圧変換回路からは正常なコア電圧が供給されないことがある。

また、コア電圧の電圧値が所定の電圧範囲よりも高い電圧値である場合であっても、プロセッサは、見かけ上、動作してしまう場合がある。このような状態でメモリコントローラが動作し続けると、不具合が発生してしまう可能性が高い。

【0006】

また、所定の電圧が供給されていない状態でメモリシステムが動作してしまうと、フラッシュメモリに対するデータの書き込みあるいは読み出しが正常に行われていなくてもユーザがそれに気付かない場合があった。

この場合、例えば、メモリシステムの信頼性を確保することが困難となり、また、不具合品が流出してしまう恐れもあった。

【0007】

このような問題を解決するため、メモリコントローラとフラッシュメモリと電圧変換回路とが組み込まれたICパッケージでは、電圧変換回路の出力電圧を監視するための電圧モニターピンが設けられている場合があった。このようなICパッケージでは、当該電圧モニターピンを介して当該ICパッケージに組み込まれている電圧変換回路の出力電圧を監視することができる。

しかしながら、このような監視を行うためには、ICパッケージの外部に電圧を測定する回路を設ける必要がある。

【0008】

電圧を監視する回路の従来技術としては、特許文献1に、端子の電圧があらかじめ決められた上限値および下限値の間にあるか否かを判定する回路が開示されている(特許文献1参照)。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-304393号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、フラッシュメモリを使用するメモリシステムでは、当該メモリシステムの内部で生成される電圧が所定の電圧範囲から外れている場合に、それに対処する技術の具体化が不十分であった。

【0011】

本発明は、このような事情を考慮してなされたもので、メモリシステムの内部で生成される電圧が所定の電圧範囲から外れた場合、つまり、メモリシステムに組み込まれている電圧変換回路に不具合が発生した場合に、当該不具合の影響を抑制することができるメモリシステムを提供することを課題とする。

【課題を解決するための手段】

【0012】

本発明の一態様は、フラッシュメモリと、前記フラッシュメモリに対するアクセスを制御するメモリコントローラと、外部電源から供給される電力の電圧を所定の電圧に変換する電圧変換を行い、当該電圧変換後の電力を前記メモリコントローラに供給する電圧変換回路と、前記電圧変換回路から前記メモリコントローラに供給される電力の電圧が所定の電圧範囲から外れている場合に、非活性化信号を前記メモリコントローラに出力する強制停止回路と、を備え、前記メモリコントローラは、活性状態または非活性状態の指示を受ける入力端子を有し、前記入力端子に前記非活性化信号が入力された場合、非活性状態になる、メモリシステムである。

【発明の効果】

【0013】

10

20

30

40

50

本発明によれば、メモリシステムの内部で生成される電圧の不具合が発生した場合に当該不具合の影響を抑制することができる。

【図面の簡単な説明】

【0014】

【図1】実施形態に係るメモリシステムの構成の一例を示す図である。

【図2】強制停止回路の回路構成の一例を示す図である。

【図3】実施形態の変形例1に係る強制停止回路の一例を示す図である。

【図4】実施形態の変形例2に係る強制停止回路の一例を示す図である。

【図5】実施形態の変形例3に係るメモリシステムの構成の一例を示す図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態について、図面を参照して説明する。

【0016】

<メモリシステムの構成>

図1は、実施形態に係るメモリシステム1の構成の一例を示す図である。

なお、本実施形態および変形例では、各種の電圧の値を例示するが、それぞれの電圧の値は本実施形態および変形例の値に限定されず、他の値が用いられてもよい。

また、本実施形態および変形例で示される回路構成は一例であり、当該回路構成以外の回路構成が用いられてもよい。

【0017】

メモリシステム1は、3つの電圧変換回路11A、11B、11Cと、メモリコントローラ12と、フラッシュメモリ13と、強制停止回路14を備える。

本実施形態では、電圧変換回路11A、11B、11Cと、メモリコントローラ12と、フラッシュメモリ13と、強制停止回路14が1つのICパッケージに組み込まれている場合を示す。なお、他の例として、電圧変換回路11A、11B、11Cと、メモリコントローラ12と、フラッシュメモリ13と、強制停止回路14のうちの少なくとも一部が同一のICパッケージに組み込まれていない構成であってもよい。

【0018】

メモリシステム1は、ホストシステム（図示せず）とコマンドやデータ等の授受を行えるように接続されており、当該ホストシステムから与えられるコマンド等に当たって、当該ホストシステムから与えられるデータをフラッシュメモリ13に書き込む処理、あるいは、フラッシュメモリ13からデータを読み出す処理を行う。

【0019】

また、メモリシステム1は、外部電源2と接続されている。外部電源2は、例えば、メモリシステム1が接続されるホストシステムに備えられてもよい。なお、他の例として、外部電源2は、当該ホストシステム以外のところに備えられてもよい。

外部電源2は、例えば、+3.3Vの電圧を有する電力を供給する電源である。

外部電源2から供給される電力は、それぞれの電圧変換回路11A、11B、11C、メモリコントローラ12、フラッシュメモリ13及び強制停止回路14に供給される。

【0020】

電圧変換回路11Aは、外部電源2から供給される電力の電圧を変換して、電圧変換後の電力をメモリコントローラ12に供給する。例えば、電圧変換回路11Aにおいて、変換前の電圧は+3.3Vであり、変換後の電圧は+2.5Vである。

また、電圧変換回路11Aからメモリコントローラ12に供給される電力の一部が強制停止回路14に入力される構成となっている。

【0021】

電圧変換回路11Bは、外部電源2から供給される電力の電圧を変換して、電圧変換後の電力をメモリコントローラ12に供給する。例えば、電圧変換回路11Bにおいて、変換前の電圧は+3.3Vであり、変換後の電圧は+1.2Vである。

【0022】

10

20

30

40

50

電圧変換回路 11C は、外部電源 2 から供給される電力の電圧を変換して、電圧変換後の電力をメモリコントローラ 12 およびフラッシュメモリ 13 に供給する。例えば、電圧変換回路 11C において、変換前の電圧は +3.3V であり、変換後の電圧は +1.8V である。

【0023】

メモリコントローラ 12 は、外部電源 2 と電圧変換回路 11A、11B、11C から供給される電力により動作し、例えば、フラッシュメモリ 13 に対するアクセスを制御する。

また、メモリコントローラ 12 は、活性状態または非活性状態の指示を受け付ける入力端子 121 を有する。そして、メモリコントローラ 12 は、入力端子 121 に活性化信号が入力された場合、活性状態になる。また、メモリコントローラ 12 は、入力端子 121 に非活性化信号が入力された場合、非活性状態になる。

【0024】

ここで、活性状態は、メモリコントローラ 12 が外部から入力されたコマンド等に応じた処理を行うことが可能な状態であり、非活性状態は、メモリコントローラ 12 が外部から入力されたコマンド等に応じた処理を行うことができない状態である。例えば、活性状態は、メモリコントローラ 12 のリセット端子にリセット信号が入力されていない状態のことであり、非活性状態は、メモリコントローラ 12 のリセット端子にリセット信号が入力されて、メモリコントローラ 12 が動作することができない状態である。本実施形態では、入力端子 121 は、リセット信号が入力されるリセット端子である。

なお、本実施形態では、メモリコントローラ 12 に対するリセット信号あるいはリセット解除信号（リセット信号が入力されていない状態）によってメモリコントローラ 12 の活性状態と非活性状態を制御する構成を示すが、他の例として、イネーブル信号などによってメモリコントローラ 12 の活性状態と非活性状態を制御する構成が用いられてもよい。例えば、メモリコントローラ 12 のイネーブル端子にイネーブル信号が入力されたときにメモリコントローラ 12 が活性状態になる。

【0025】

フラッシュメモリ 13 は、外部電源 2 と電圧変換回路 11C から供給される電力により動作し、メモリコントローラ 12 によって制御されて、データを記憶する。フラッシュメモリ 13 は、様々な種類のフラッシュメモリであってもよい。例えば、フラッシュメモリ 13 が備える各セルは、SLC (Single Level Cell) であってもよく、MLC (Multi Level Cell) であってもよく、あるいは、TLC (Triple Level Cell) であってもよい。また、フラッシュメモリ 13 は、NAND 型のフラッシュメモリであってもよく、NOR 型のフラッシュメモリであってもよい。

【0026】

強制停止回路 14 は、外部電源 2 から供給される電力により動作する。

本実施形態では、強制停止回路 14 は、電圧変換回路 11A から供給される電力の電圧を監視する。強制停止回路 14 は、電圧変換回路 11A からメモリコントローラ 12 に供給される電力の電圧を検出し、検出された電圧（説明の便宜上、検出電圧ともいう。）が所定の範囲から外れている場合に、非活性化信号（リセット信号）をメモリコントローラ 12 に出力する。

【0027】

ここで、所定の電圧範囲は、メモリコントローラ 12 が正常に動作することができる電圧範囲に基づいて設定され、電圧変換回路 11A が正常に動作している場合に電圧変換回路 11A からメモリコントローラ 12 に供給される電圧の電圧範囲に対応する。本実施形態では、電圧変換回路 11A からメモリコントローラ 12 に供給される電力の電圧範囲はメモリコントローラ 12 の動作保証電圧に基づいて、例えば、2.25V から 2.75V までの電圧範囲（+2.5V を基準として上下 10% の範囲）に設定される。

なお、所定の電圧範囲としては、他の範囲が用いられてもよい。

【0028】

以上のように、メモリシステム 1 では、電圧変換回路 1 1 A から供給される電圧が所定の電圧範囲から外れている場合に、強制停止回路 1 4 が非活性化信号をメモリコントローラ 1 2 に出力する。

これにより、メモリシステム 1 では、電圧変換回路 1 1 A に生じた不具合などによって電圧変換回路 1 1 A から供給される電力の電圧が所定の範囲から外れた場合に、メモリコントローラ 1 2 の動作を停止させることで、当該不具合の影響を抑制することができる。

【0029】

< 強制停止回路の回路構成 >

図 2 は、強制停止回路 1 4 の回路構成の一例を示す図である。

強制停止回路 1 4 は、第 1 回路 1 5 と、第 2 回路 1 6 と、第 3 回路 1 7 を備える。

10

【0030】

第 1 回路 1 5 は、電圧変換回路 1 1 A からメモリコントローラ 1 2 に供給される電力の電圧（検出電圧）が所定の電圧範囲にあるか否かを判定する。そして、第 1 回路 1 5 は、当該検出電圧が所定の電圧範囲にある場合にはハイレベルの信号を第 3 回路 1 7 に出力し、当該検出電圧が所定の電圧範囲にない場合にはローレベルの信号を第 3 回路 1 7 に出力する。

第 2 回路 1 6 は、外部電源 2 から供給される電力の電圧（説明の便宜上、電源電圧ともいう。）が所定の電圧（例えば、2.7V）以上になったことを検出する回路である。本実施形態では、第 2 回路 1 6 は、電源電圧が 2.7V 未満のときにローレベルの信号を出力し、電源電圧が 2.7V 以上のときにハイレベルの信号を出力する。

20

第 3 回路 1 7 は、第 1 回路 1 5 から出力される信号と、第 2 回路 1 6 から出力される出力との論理積を行う回路であり、論理積の結果に応じたレベルの信号をメモリコントローラ 1 2 の入力端子 1 2 1 に出力する。

【0031】

第 1 回路 1 5 は、コンパレータ 1 5 1 と、コンパレータ 1 5 2 と、4 つの抵抗 R 1 1 ~ R 1 4 と、コンデンサ C 1 1 を備える。

【0032】

コンパレータ 1 5 1 は、オープンコレクタ出力方式のコンパレータである。コンパレータ 1 5 1 は、端子 1 5 1 P と、端子 1 5 1 N と、端子 1 5 1 + と、端子 1 5 1 - と、端子 1 5 1 O を有する。

30

端子 1 5 1 P は、正の電源端子であり、本実施形態では、外部電源 2 から供給される電力の電圧（+3.3V）が印加されている。

端子 1 5 1 N は、負の電源端子であり、本実施形態では、グラウンドに接続されている。

端子 1 5 1 + は、非反転入力端子であり、3 つの抵抗 R 1 1 ~ R 1 3 に応じた電圧（分圧）が印加されている。

端子 1 5 1 - は、反転入力端子であり、電圧変換回路 1 1 A から供給される電力の電圧が印加されている。

端子 1 5 1 O は、出力端子であり、端子 1 5 1 - に印加される電圧が端子 1 5 1 + に印加される電圧以下である場合にハイレベルの信号を出力し、端子 1 5 1 - に印加される電圧が端子 1 5 1 + に印加される電圧よりも高い場合にローレベルの信号を出力する。

40

【0033】

コンパレータ 1 5 2 は、オープンコレクタ出力方式のコンパレータである。コンパレータ 1 5 2 は、端子 1 5 2 P と、端子 1 5 2 N と、端子 1 5 2 + と、端子 1 5 2 - と、端子 1 5 2 O を有する。

端子 1 5 2 P は、正の電源端子であり、本実施形態では、外部電源 2 から供給される電力の電圧（+3.3V）が印加されている。本実施形態では、2 つのコンパレータ 1 5 1、1 5 2 に供給される当該電圧は共通となっている。

端子 1 5 2 N は、負の電源端子であり、本実施形態では、グラウンドに接続されている。

50

端子 152+ は、非反転入力端子であり、電圧変換回路 11A から供給される電力の電圧が印加されている。

端子 152- は、反転入力端子であり、3つの抵抗 R11 ~ R13 に応じた電圧（分圧）が印加されている。

端子 152O は、出力端子であり、端子 152+ に印加される電圧が端子 152- に印加される電圧以上である場合にハイレベルの信号を出力し、端子 152+ に印加される電圧が端子 152- に印加される電圧よりも低い場合にローレベルの信号を出力する。

【0034】

ここで、外部電源 2 から供給される電力の電圧（+3.3V）の電圧源（入力端）とコンパレータ 151 の端子 151+ との間に抵抗 R11 が接続されている。また、コンパレータ 151 の端子 151+ とコンパレータ 152 の端子 152- との間に抵抗 R12 が接続されている。また、コンパレータ 152 の端子 152- とグラウンドとの間に抵抗 R13 が接続されている。これにより、本実施形態では、コンパレータ 151 の端子 151+ に所定の上限値（+2.75V）の電圧が印加される構成となっており、コンパレータ 152 の端子 152- に所定の下限値（+2.25V）の電圧が印加される構成となっている。このような上限値および下限値は、例えば、3つの抵抗 R11 ~ R13 の抵抗値を調整することで実現される。

10

【0035】

また、コンデンサ C11 の一端はコンパレータ 151 の端子 151P およびコンパレータ 152 の端子 152P に接続されており、コンデンサ C11 の他端はグラウンドに接続されている。

20

また、抵抗 R14 の一端は、外部電源 2 から供給される電力の電圧（+3.3V）の電圧源（入力端）に接続されており、抵抗 R14 の他端は2つのコンパレータ 151、152 の出力の端子 151O、152O に接続されている。ここで、コンパレータ 151、152 はオープンコレクタ出力方式であるため、ワイヤードOR が構成されている。

従って、2つのコンパレータ 151、152 の出力の端子 151O、152O から出力される2つの出力信号が共にハイレベルのときだけ、第3回路 17 の端子 171A にハイレベルの信号が入力される。

【0036】

このような回路構成により、第1回路 15 では、電圧変換回路 11A からメモリコントローラ 12 に供給される電力の電圧が所定の電圧範囲の上限値よりも高い場合、コンパレータ 151 の端子 151O から出力される出力信号はローレベルになり、電圧変換回路 11A からメモリコントローラ 12 に供給される電力の電圧が所定の電圧範囲の下限値よりも低い場合、コンパレータ 152 の端子 152O から出力される出力信号はローレベルになる。そして、第1回路 15 は、コンパレータ 151 の端子 151O とコンパレータ 152 の端子 152O のいずれかの出力信号がローレベルになるときに第3回路 17 にローレベルの信号を出力する。つまり、メモリコントローラ 12 に供給される電力の電圧が所定の電圧範囲から外れた場合、第1回路 15 は第3回路 17 にローレベルの信号を出力する。

30

また、第1回路 15 では、電圧変換回路 11A からメモリコントローラ 12 に供給される電力の電圧が所定の電圧範囲の上限値と下限値との間にある場合、第3回路 17 にハイレベルの信号を出力する。

40

【0037】

第2回路 16 は、電圧検出回路 161 と、抵抗 R21 と、2つのコンデンサ C21 ~ C22 を備える。

【0038】

電圧検出回路 161 は、端子 161D と、端子 161S と、端子 161O と、端子 161C を備える。

端子 161D は、正の電源端子であり、本実施形態では、外部電源 2 から供給される電力の電圧（+3.3V）が印加されている。

端子 161S は、負の電源端子であり、グラウンドに接地されている。

50

端子 1610 は、出力端子であり、信号を第 3 回路 17 に出力する。

端子 161C は、外部容量端子であり、コンデンサ C22 の一方の端子に接続されている。このコンデンサ C22 の他方の端子はグラウンドに接続されている。

【0039】

ここで、外部電源 2 から供給される電力の電圧 (+3.3V) の電圧源 (入力端) は電圧検出回路 161 の端子 161D に接続され、電圧検出回路 161 の端子 161D と端子 161S との間にコンデンサ C21 が接続されている。

また、外部電源 2 から供給される電力の電圧 (+3.3V) の電圧源 (入力端) と電圧検出回路 161 の端子 161O との間に、抵抗 R21 が接続されている。

【0040】

10

このような回路構成により、電圧検出回路 161 は、端子 161D に印加される電圧と端子 161S に印加される電圧との差が、あらかじめ設定された電圧 (閾値) 以上である場合に、設定された遅延時間が経過した後に第 3 回路 17 にハイレベルの信号を出力する。なお、遅延時間はコンデンサ C22 の静電容量に応じて決まる。

また、電圧検出回路 161 は、端子 161D に印加される電圧と端子 161S に印加される電圧との差が、あらかじめ設定された電圧 (閾値) 未満である場合には、ローレベルの信号を端子 161O から第 3 回路 17 に出力する。

なお、本実施形態では、当該あらかじめ設定された電圧 (閾値) は、+2.7V である。

【0041】

20

第 3 回路 17 は、AND 回路 171 と、コンデンサ C31 を備える。

【0042】

AND 回路 171 は、端子 171A と、端子 171B と、端子 171P と、端子 171N と、端子 171O を備える。

端子 171A は、AND 回路 171 が有する 2 つの入力端子のうち的一方であり、第 1 回路 15 から出力される信号を入力する。

端子 171B は、AND 回路 171 が有する 2 つの入力端子のうちの他方であり、第 2 回路 16 から出力される信号を入力する。

端子 171P は、正の電源端子であり、本実施形態では、外部電源 2 から供給される電力の電圧 (+3.3V) が印加されている。

30

端子 171N は、負の電源端子であり、本実施形態では、グラウンドに接続されている。

端子 171O は、出力端子であり、信号をメモリコントローラ 12 の入力端子 121 に出力する。

【0043】

ここで、外部電源 2 から供給される電力の電圧 (+3.3V) の電圧源 (入力端) とグラウンドとの間にコンデンサ C31 が接続されている。

【0044】

40

AND 回路 171 は、第 1 回路 15 から出力される信号のレベルと、第 2 回路 16 から出力される信号のレベルとの両方がハイレベルである場合、端子 171O からハイレベルの信号をメモリコントローラ 12 の入力端子 121 に出力する。ここで、ハイレベルの信号は活性化信号に対応し、メモリコントローラ 12 は、入力端子 121 に活性化信号が入力された場合、活性化状態になる。

【0045】

一方、AND 回路 171 は、第 1 回路 15 から出力される信号のレベルと、第 2 回路 16 から出力される信号のレベルとのいずれか一方または両方がローレベルである場合、端子 171O からローレベルの信号をメモリコントローラ 12 の入力端子 121 に出力する。ここで、ローレベルの信号はリセット信号 (非活性化信号) に対応し、メモリコントローラ 12 は、入力端子 121 にリセット信号 (非活性化信号) が入力された場合、非活性化状態になる。

50

【 0 0 4 6 】

このように、強制停止回路 1 4 は、電圧変換回路 1 1 A からメモリコントローラ 1 2 に供給される電力の電圧が所定の電圧範囲から外れている場合に、リセット信号（非活性化信号）をメモリコントローラ 1 2 の入力端子 1 2 1 に出力する。そして、メモリコントローラ 1 2 は、入力端子 1 2 1 にリセット信号（非活性化信号）が入力された場合、非活性状態になる。これにより、メモリシステム 1 では、当該メモリシステム 1 の内部で生成される電圧（本実施形態では、電圧変換回路 1 1 A から供給される電力の電圧）の不具合が発生した場合に当該不具合の影響を抑制することができる。

【 0 0 4 7 】

例えば、メモリシステム 1 では、簡易かつ安価な強制停止回路 1 4 によって電圧変換回路 1 1 A からの電圧に生じた不具合を検出して、メモリコントローラ 1 2 の動作を停止させることができる。これにより、ユーザは、電圧変換回路 1 1 A から供給される電圧が不良なモジュールを簡易な検査によって取り除くことができる。また、不具合が発生した場合にメモリコントローラ 1 2 の動作が停止されるため、未然にその不具合を発見することが容易になり、ホストシステムの側でフラッシュメモリ 1 3 へのデータの書き込み等が失敗したことを見逃す可能性を抑制することができる。

10

【 0 0 4 8 】

また、強制停止回路 1 4 は、メモリシステム 1 の内部で起きている異常な動作電圧の供給を、外部からのモニターなしで検出することが可能であり、フェールセーフなメモリシステム 1 を実現することができる。

20

本実施形態に係るメモリシステム 1 により得られる効果は、例えば、メモリシステム 1 の出荷前に発揮することができ、また、メモリシステム 1 の出荷後に発揮することも可能である。

【 0 0 4 9 】

ここで、本実施形態では、図 2 に示されるように、強制停止回路 1 4 は、第 1 回路 1 5 と第 2 回路 1 6 と第 3 回路 1 7 を備えるが、他の例として、強制停止回路 1 4 は、第 1 回路 1 5 を備え、第 2 回路 1 6 および第 3 回路 1 7 を備えない構成が用いられてもよい。このような構成では、強制停止回路 1 4 は、第 1 回路 1 5 から出力される信号をメモリコントローラ 1 2 の入力端子 1 2 1 に出力する。このような構成では、第 1 回路 1 5 の出力端がメモリコントローラ 1 2 の入力端子 1 2 1 と接続される。

30

【 0 0 5 0 】

なお、強制停止回路 1 4 は、例えば、第 1 回路 1 5 と第 2 回路 1 6 と第 3 回路 1 7 といった本実施形態で示された回路以外の回路を備えてもよい。

【 0 0 5 1 】

また、メモリシステム 1 は、例えば、フラッシュメモリ 1 3 と、電圧変換回路 1 1 A と、強制停止回路 1 4 が 1 つの IC パッケージに収納される構成であってもよい。

また、メモリシステム 1 は、フラッシュメモリ 1 3 と、電圧変換回路 1 1 A と、強制停止回路 1 4 のうちの一部または全部が互いに異なる IC パッケージに収納される構成であってもよい。

40

【 0 0 5 2 】

また、メモリシステム 1 は、フラッシュメモリ 1 3 と、電圧変換回路 1 1 A と、強制停止回路 1 4 と、メモリコントローラ 1 2 が 1 つの IC パッケージに収納される構成であってもよい。

また、メモリシステム 1 は、フラッシュメモリ 1 3 と、電圧変換回路 1 1 A と、強制停止回路 1 4 と、メモリコントローラ 1 2 のうちの一部または全部が互いに異なる IC パッケージに収納される構成であってもよい。

【 0 0 5 3 】

ここで、本実施形態では、3 つの電圧変換回路 1 1 A、1 1 B、1 1 C のうちの一部である 1 つの電圧変換回路 1 1 A について強制停止回路 1 4 により電圧を監視する構成を示した。他の構成例として、強制停止回路 1 4 により電圧が監視されない他の電圧変換回路

50

11B、11Cのうち1以上についてはメモリシステム1の内部に備えられずに外部に備えられてもよい。さらに、他の構成例として、外部からメモリシステム1に電圧(本例では、例えば、+1.2Vの電圧、+1.8Vの電圧)が入力される場合には、外部の電源回路は、必ずしも電圧変換回路でなくてもよく、他の回路であってもよい。

【0054】

また、本実施形態では、メモリコントローラ12のリセット信号等を受け付ける入力端子121への信号のレベルを強制停止回路14により制御する構成を示したが、他の例として、イネーブル信号を受け付ける入力端子(説明の便宜上、イネーブル入力端子という。)への信号のレベルを強制停止回路14により制御する構成が用いられてもよい。このような構成では、メモリコントローラ12は、例えば、ハイレベルの信号がイネーブル入力端子に入力されると活性状態となり、ローレベルの信号がイネーブル入力端子に入力されると非活性状態となる。

10

【0055】

なお、ローレベルとハイレベルのそれぞれによって実現される動作は、例えば、逆になるように構成されてもよく、つまり、本実施形態におけるローレベルの代わりにハイレベルが用いられ、本実施形態におけるハイレベルの代わりにローレベルが用いられる構成とされてもよい。

【0056】

<実施形態の変形例1>

実施形態の変形例1では、説明の便宜上、実施形態と同様な構成部に同じ符号を付しており、実施形態と同様な部分について詳しい説明を省略する。なお、メモリシステム1については、内部の回路構成が異なるが、説明の便宜上から、メモリシステム1と示して説明する。

20

実施形態では、電圧変換回路11Aからの電圧を監視する構成を示したが、実施形態の変形例1では、3つの電圧変換回路11A~11Cのそれぞれからの電圧を監視する構成例を示す。

【0057】

図3は、実施形態の変形例1に係る強制停止回路14Aの一例を示す図である。

実施形態の変形例1では、強制停止回路14Aは、電圧変換回路11Aからの電圧を監視する第1回路15Aと、電圧変換回路11Bからの電圧を監視する第1回路15Bと、電圧変換回路11Cからの電圧を監視する第1回路15Cと、第2回路16と、第3回路17Xを備える。

30

【0058】

実施形態の変形例1では、メモリシステム1は、複数の電圧変換回路11A~11Cとともに、複数の電圧変換回路11A~11Cのそれぞれに対する強制停止回路14Aを備える。なお、実施形態の変形例1では、複数の電圧変換回路11A~11Cのそれぞれに対する強制停止回路14Aにおいて、複数の電圧変換回路11A~11Cについて共通化できる回路部分については共通化している。

【0059】

第1回路15Aの回路構成は、図2に示される第1回路15と同様な回路構成である。第1回路15Aのコンパレータ151およびコンパレータ152のそれぞれには、電圧変換回路11Aからメモリコントローラ12に供給される電力の電圧が供給される。第1回路15Aから出力される信号は、第3回路17Xに入力される。

40

また、第1回路15Aでは、抵抗R11、抵抗R12および抵抗R13のそれぞれの抵抗値が調整されており、端子151+に入力される電圧が所定の第1電圧範囲の上限値(+2.75V)と一致させられているとともに、端子152-に入力される電圧が所定の第1電圧範囲の下限値(+2.25V)と一致させられている。所定の第1電圧範囲は、+2.5Vを基準として上下10%の範囲となっている。なお、所定の第1電圧範囲は、他の範囲であってもよい。

【0060】

50

そして、第1回路15Aでは、電圧変換回路11Aからメモリコントローラ12に供給される電力の電圧が所定の第1電圧範囲にある場合にはハイレベルの信号を第3回路17Xに出力し、当該電圧が当該第1電圧範囲から外れている場合にはローレベルの信号を第3回路17Xに出力する。

【0061】

第1回路15Bの回路構成は、電圧変換回路11Aの代わりに電圧変換回路11Bからの電圧を監視するように調整されている点を除いて、第1回路15Aと同様な回路構成である。すなわち、第1回路15Bでは、所定の第1電圧範囲の代わりに所定の第2電圧範囲が用いられており、所定の第2電圧範囲は+1.2Vを基準として上下10%の範囲となっている。

10

なお、所定の第2電圧範囲は、他の範囲であってもよい。

【0062】

第1回路15Cの回路構成は、電圧変換回路11Aの代わりに電圧変換回路11Cからの電圧を監視するように調整されている点を除いて、第1回路15Aと同様な回路構成である。すなわち、第1回路15Cでは、所定の第1電圧範囲の代わりに所定の第3電圧範囲が用いられており、所定の第3電圧範囲は+1.8Vを基準として上下10%の範囲となっている。

なお、所定の第3電圧範囲は、他の範囲であってもよい。

【0063】

ここで、実施形態の変形例1では、電圧変換回路11Bから供給される電力の電圧が第1回路15Bに入力される構成となっている。

20

また、実施形態の変形例1では、電圧変換回路11Cから供給される電力の電圧が第1回路15Cに入力される構成となっている。

また、第2回路16については、実施形態と同様である。

【0064】

第3回路17Xは、実施形態におけるAND回路171に代えて、4つの入力端子を有するAND回路171Xを備える。

AND回路171Xは、第1回路15Aから出力される信号のレベルと、第1回路15Bから出力される信号のレベルと、第1回路15Cから出力される信号のレベルと、第2回路16から出力される信号のレベルとの全部がハイレベルである場合に、ハイレベルの信号をメモリコントローラ12の入力端子121に出力する。当該信号は活性化信号となる。

30

【0065】

一方、AND回路171Xは、第1回路15Aから出力される信号のレベルと、第1回路15Bから出力される信号のレベルと、第1回路15Cから出力される信号のレベルと、第2回路16から出力される信号のレベルのうち少なくとも1つがローレベルである場合には、ローレベルの信号をメモリコントローラ12の入力端子121に出力する。当該信号は非活性化信号となる。

【0066】

このように、実施形態の変形例1に係る強制停止回路14Aは、電圧変換回路11Aからメモリコントローラ12に供給される電力の電圧が所定の第1電圧範囲から外れていることと、電圧変換回路11Bからメモリコントローラ12に供給される電力の電圧が所定の第2電圧範囲から外れていることと、電圧変換回路11Cからメモリコントローラ12等に供給される電力の電圧が所定の第3電圧範囲から外れていること、第2回路16からローレベルの信号が出力されること、のうちの少なくとも1つが発生した場合に、非活性化信号(リセット信号)をメモリコントローラ12に出力する。

40

【0067】

これにより、メモリシステム1は、複数の電圧変換回路11A、11B、11Cを備える場合において、これら複数の電圧変換回路11A、11B、11Cからの電圧の異常を検出して、メモリコントローラ12の動作を停止させることができる。

50

したがって、メモリシステム 1 では、実施形態と同様な効果を得ることができる。

【0068】

ここで、図 3 の例では、複数の第 1 回路 15 A、15 B、15 C からの出力電圧とともに第 2 回路 16 からの出力電圧を第 3 回路 17 X に入力する構成を示したが、他の例として、強制停止回路 14 A が、第 2 回路 16 を備えずに、複数の第 1 回路 15 A、15 B、15 C からの出力電圧を第 3 回路 17 X に入力する構成が用いられてもよい。

また、図 3 の例では、3 つの電圧変換回路 11 A、11 B、11 C について電圧を監視する構成を示したが、他の例として、3 つの電圧変換回路 11 A、11 B、11 C のうちの任意の 2 つについて電圧を監視する構成が用いられてもよく、つまり、複数の電圧変換回路 11 A、11 B、11 C のうちの一部について電圧を監視する構成が用いられてもよい。

10

【0069】

< 実施形態の変形例 2 >

実施形態の変形例 2 では、説明の便宜上、実施形態と同様な構成部に同じ符号を付しており、実施形態と同様な部分について詳しい説明を省略する。なお、メモリシステム 1 については、内部の回路構成が異なるが、説明の便宜上から、メモリシステム 1 と示して説明する。

実施形態と比べて、実施形態の変形例 2 では、外部電源 2 から供給される電力の電圧 (+3.3 V) が過電圧となってしまう場合に対処する構成例を示す。

【0070】

20

図 4 は、実施形態の変形例 2 に係る強制停止回路 14 B の一例を示す図である。

実施形態の変形例 2 に係る強制停止回路 14 B では、図 2 に示される強制停止回路 14 の第 1 回路 15 と比べて、さらに、第 1 回路 15 Z において、外部電源 2 から供給される電力の電圧 (+3.3 V) の電圧源 (入力端) とグラウンド (接地端) との間にツェナーダイオード D 11 が接続されている。

【0071】

これにより、メモリシステム 1 において、強制停止回路 14 B では、外部電源 2 から供給される電力の電圧 (+3.3 V) が上昇した場合に、その電圧をツェナーダイオード D 11 のツェナー電圧以下に制限することができ、その結果、過電圧保護を実現することができる。

30

【0072】

ここで、実施形態の変形例 2 では、コンパレータ 15 1、15 2 の電源電圧に関してツェナーダイオード D 11 を備える構成を示したが、他の例として、ツェナーダイオード D 11 に代えて、シャントレギュレータなどのように基準電圧を発生させる IC を備える構成が用いられてもよい。例えば、シャントレギュレータからの基準電圧をコンパレータ 15 1 の端子 15 1 + に入力する構成、あるいは、シャントレギュレータからの基準電圧をコンパレータ 15 2 の端子 15 2 - に入力する構成が用いられてもよい。

【0073】

< 実施形態の変形例 3 >

実施形態の変形例 3 では、説明の便宜上、実施形態と同様な構成部に同じ符号を付しており、実施形態と同様な部分について詳しい説明を省略する。なお、メモリシステム 1 については、内部の回路構成が異なるが、説明の便宜上から、メモリシステム 1 と示して説明する。

40

実施形態と比べて、実施形態の変形例 3 では、強制停止回路 14 の部分が別の IC パッケージとして構成されている場合を示す。

【0074】

図 5 は、実施形態の変形例 3 に係るメモリシステム 1 の構成の一例を示す図である。

実施形態の変形例 3 では、メモリシステム 1 が備える強制停止回路 14 は、電圧変換回路 11 A、11 B、11 C とメモリコントローラ 12 とフラッシュメモリ 13 が備えられた IC パッケージとは異なる IC パッケージに備えられている。

50

【 0 0 7 5 】

具体的には、図 5 に示されるように、実施形態の変形例 3 に係るメモリシステム 1 は、第 1 I C パッケージ 1 A と、第 2 I C パッケージ 1 B を備える。

第 1 I C パッケージ 1 A は、3 つの電圧変換回路 1 1 A、1 1 B、1 1 C と、メモリコントローラ 1 2 と、フラッシュメモリ 1 3 を備える。

第 2 I C パッケージは、強制停止回路 1 4 を備える。

【 0 0 7 6 】

このように、実施形態の変形例 3 に係るメモリシステム 1 では、強制停止回路 1 4 が、電圧変換回路 1 1 A、1 1 B、1 1 C とメモリコントローラ 1 2 とフラッシュメモリ 1 3 が備えられた I C パッケージとは異なる I C パッケージに備えられる場合においても、実施形態と同様な効果を得ることができる。

なお、実施形態のように、メモリシステム 1 の全体が 1 つの I C パッケージに含まれる場合には、当該 I C パッケージの内部において、当該 I C パッケージの内部で生成される電圧の異常を検出して対処することができる。

【 0 0 7 7 】

< 実施形態の変形例 4 >

実施形態の変形例 4 では、説明の便宜上、実施形態と同様な構成部に同じ符号を付しており、実施形態と同様な部分について詳しい説明を省略する。なお、メモリシステム 1 については、内部の回路構成が異なるが、説明の便宜上から、メモリシステム 1 と示して説明する。

【 0 0 7 8 】

図示を省略するが、実施形態では、2 つのコンパレータ 1 5 1、1 5 2 と 3 つの抵抗 R 1 1、R 1 2、R 1 3 の両方に、共通の電圧源からの電圧が印加されるが、実施形態の変形例 4 では、2 つのコンパレータ 1 5 1、1 5 2 と 3 つの抵抗 R 1 1、R 1 2、R 1 3 のそれぞれに、別の電圧源からの電圧が印加される。

実施形態の変形例 4 では、2 つのコンパレータ 1 5 1、1 5 2 については、外部電源 2 から供給される電力の電圧 (+ 3 . 3 V) の電圧源 (入力端) が使用されている。

また、実施形態の変形例 4 では、3 つの抵抗 R 1 1、R 1 2、R 1 3 については、当該電圧源とは別に備えられた電圧源から供給される電圧 (説明の便宜上、リファレンス電圧という。) が供給される。実施形態の変形例 4 では、リファレンス電圧は、+ 3 . 3 V に設定される。

【 0 0 7 9 】

実施形態の変形例 4 では、例えば、リファレンス電圧を分圧することにより、コンパレータ 1 5 1、1 5 2 における電圧の閾値を分圧抵抗によって設定する構成が用いられてもよい。

【 0 0 8 0 】

以上のように、実施形態に係るメモリシステム (本実施形態では、メモリシステム 1) は、フラッシュメモリ (本実施形態では、フラッシュメモリ 1 3) と、フラッシュメモリに対するアクセスを制御するメモリコントローラ (本実施形態では、メモリコントローラ 1 2) と、外部電源 (本実施形態では、外部電源 2) から供給される電力の電圧を所定の電圧に変換する電圧変換を行い、当該電圧変換後の電力をメモリコントローラに供給する電圧変換回路 (本実施形態では、電圧変換回路 1 1 A) と、電圧変換回路からメモリコントローラに供給される電力の電圧が所定の電圧範囲から外れている場合に、非活性化信号 (リセット信号) をメモリコントローラに供給する強制停止回路 (本実施形態では、強制停止回路 1 4) と、を備え、メモリコントローラは、活性状態または非活性状態の指示を受け入力端子 (本実施形態では、入力端子 1 2 1) を有し、入力端子に非活性化信号 (リセット信号) が入力された場合、非活性状態になる。

これにより、メモリシステムでは、当該メモリシステムの内部で生成される電圧の不具合が発生した場合に当該不具合の影響を抑制することができる。例えば、メモリシステムでは、当該メモリシステムの内部で生成される電圧が所定の電圧範囲から外れた場合、つ

10

20

30

40

50

まり、メモリシステムに組み込まれている電圧変換回路に不具合が発生した場合に、当該不具合の影響を抑制することができる。

【0081】

また、メモリシステムは、電圧変換回路を、複数備え、複数の電圧変換回路（本実施形態および変形例1では、電圧変換回路11A、11B、11C）のうち、少なくとも1つの電圧変換回路から供給される電力の電圧が所定の電圧範囲から外れている場合に、非活性化信号をメモリコントローラに供給する、構成が用いられてもよい。

これにより、メモリシステムでは、複数の電圧変換回路が備えられる構成において、電圧の不具合が発生した場合に当該不具合の影響を抑制することができる。

【0082】

また、メモリシステムでは、フラッシュメモリと、電圧変換回路と、強制停止回路とが1つのICパッケージに収納された、構成が用いられてもよい。

これにより、コンパクトなメモリシステムを実現することができる。

【0083】

以上、この発明の実施形態を、図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない限り、変更、置換、削除等されてもよい。

【符号の説明】

【0084】

1...メモリシステム、1A...第1ICパッケージ、1B...第2ICパッケージ、2...外部電源、11A、11B、11C...電圧変換回路、12...メモリコントローラ、13...フラッシュメモリ、14、14A、14B...強制停止回路、15、15A、15B、15C、15Z...第1回路、16...第2回路、17、17X...第3回路、121...入力端子、151、152...コンパレータ、151P、151N、151O、151+、151-、152P、152N、152O、152+、152-、161D、161S、161O、161C、171A、171B、171P、171N、171O...端子、161...電圧検出回路、171、171X...AND回路、C11、C21~C22、C31...コンデンサ、D11...ツェナーダイオード、R11~R14、R21...抵抗

10

20

【図1】

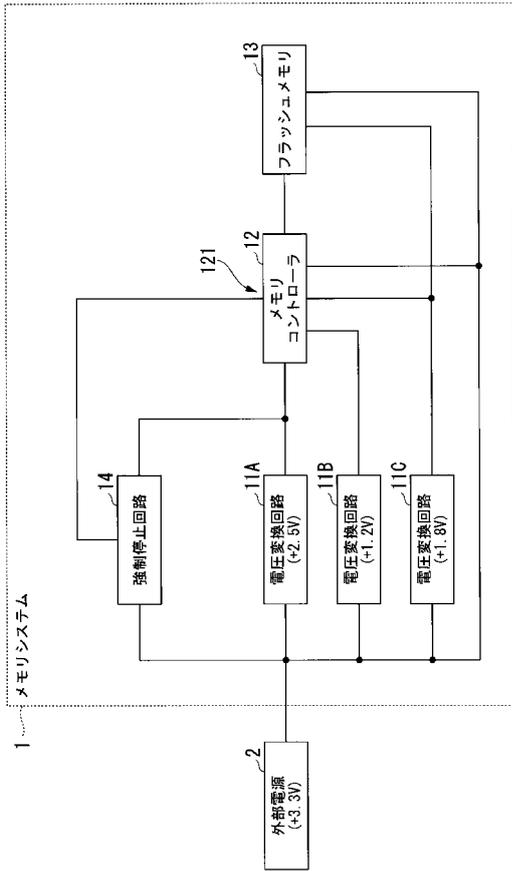
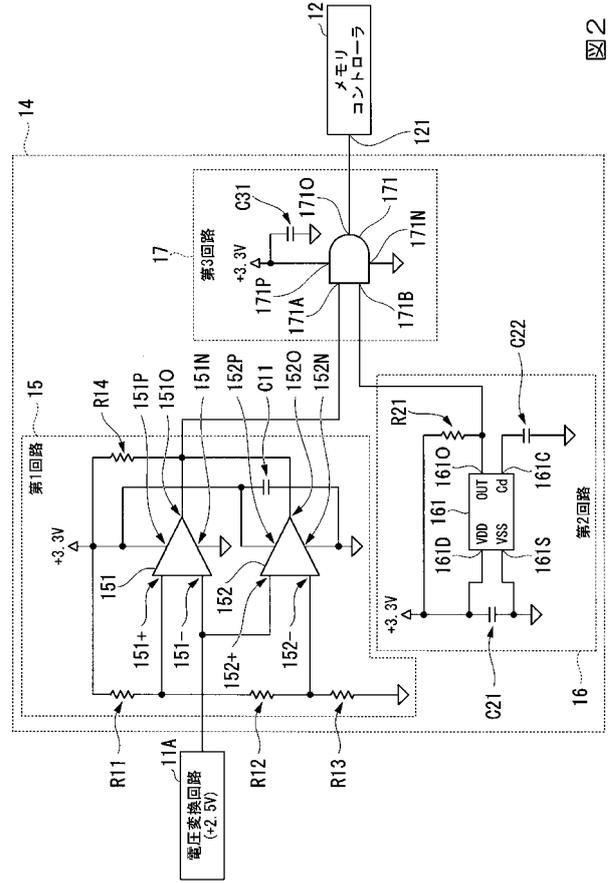


図1

【図2】



【 図 5 】

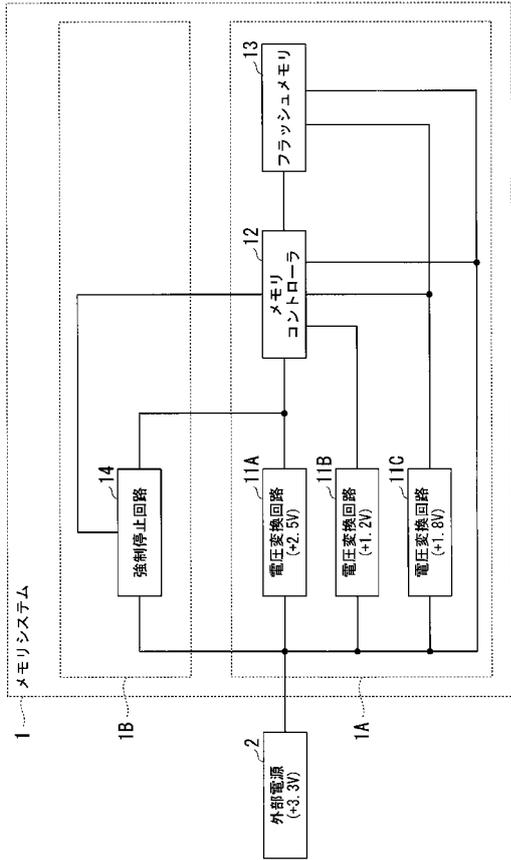


図5

フロントページの続き

- (72)発明者 岡固 典和
東京都港区芝浦三丁目9番1号 TDK株式会社内
- (72)発明者 信太 和夫
東京都港区芝浦三丁目9番1号 TDK株式会社内
- Fターム(参考) 5B011 EB01 GG03 JA11 MB16