

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/00010	(11) 공개번호 특 1995-0034729	(43) 공개일자 1995년 12월 28일
(21) 출원번호 특 1994-0010272	(22) 출원일자 1994년 05월 11일	
(71) 출원인 현대전자산업 주식회사 김주용	(72) 발명자 경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860) 전용주	
(74) 대리인 이권희, 이정훈	(74) 대리인 경기도 성남시 수정구 신흥3동 주공아파트 124-1402	

심사청구 : 없음

(54) 반도체소자의 스택 캐패시터 제조방법

요약

본 발명은 고집적 반도체소자의 스택 캐패시터 제조방법에 관한 것으로, 고집적도가 높은 반도체소자에 캐패시터를 적용하기 위하여 종래의 저장전극에 선택적으로 표면에 요철이 심한 다결정실리콘층을 증착시켜 단차완화와 더불어 캐패시터의 면적을 증가시켜 충분한 캐패시터의 용량을 얻을 수 있도록 하는 기술이다.

대표도

도 1

명세서

[발명의 명칭]

반도체소자의 스택 캐패시터 제조방법

[도면의 간단한 설명]

제1도 내지 제5도는 본 발명에 의해 반도체소자의 스택 캐패시터를 제조하는 단계를 도시한 단면도이다.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체소자의 스택캐패시터 제조방법에 있어서, 실리콘기판에 형성하고, 게이트 절연막, 게이트전극, 소오스전극, 드레인 전극으로 이루어지는 MOSFET을 형성하는 단계와, 전체구조상부에 평탄화 절연막, 제1 절연막을 순차적으로 형성하고, 저장전극 콘택마스크를 사용하여 소오스/드레인전극이 노출된 콘택홀을 형성하는 단계와, 전체적으로 저장전극용 제1다결정실리콘층을 증착한 후, 저장전극마스크를 이용한 식각공정으로 제1다결정실리콘층패턴을 형성하는 단계와, 전체적으로 제2 절연막을 일정두께 증착한 후 상기 저장전극 콘택마스크를 사용하여 상기 제1다결정실리콘층패턴이 노출된 콘택홀을 형성하는 단계와, 제2다결정실리콘층을 선택적으로 과잉성장시켜 상기 콘택홀을 매립하는 동시에 상기 제2 절연막에 충분히 오버랩 되도록하는 단계와, 상기 저장전극용 제2다결정실리콘층을 마스크로하여 상기 제2 절연막을 습식식각하는 단계와, 상기 제1 다결정실리콘층패턴과 제2 다결정실리콘층이 전기적으로 접속된 저장전극의 표면적을 높이기 위해 저장전극의 저부에 있는 제1 절연막을 습식식각으로 제거하는 단계와, 저장전극의 표면에 유전체막과 플레이트전극을 형성하여 스택 캐패시터를 형성하는 단계를 포함하는 반도체소자의 스택 캐패시터 제조방법.

청구항 2

제1항에 있어서, 상기 평탄화 절연막과 제1 절연막은 예정된 식각용액에서 식각비율이 다른 물질을 사용하는 것을 특징으로 하는 반도체소자의 스택 캐패시터 제조방법.

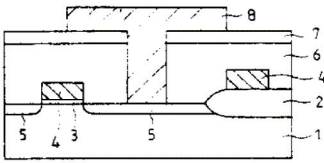
청구항 3

제1항에 있어서, 상기 제2 다결정실리콘층 대신에 텅스텐을 선택적으로 증착하는 것을 특징으로 하는 반도체소자의 스택 캐패시터 제조방법.

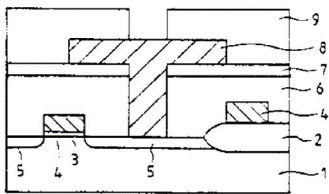
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

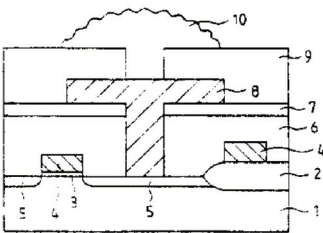
도면1



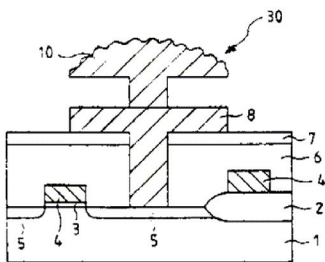
도면2



도면3



도면4



도면5

