

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 18.03.20.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 24.09.21 Bulletin 21/38.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

Demande(s) d'extension :

71 Demandeur(s) : IDEMIA STARCHIP SAS — FR.

72 Inventeur(s) : LESNE Samuel, LAMBERT Cyrille et
BRUDER Bertrand.

73 Titulaire(s) : IDEMIA STARCHIP SAS.

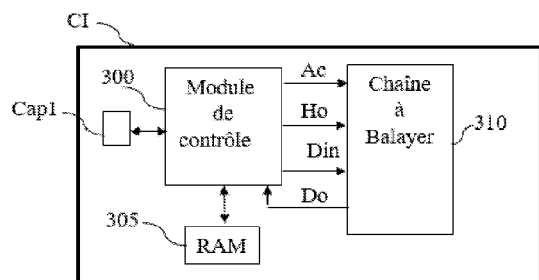
74 Mandataire(s) : LE GUEN & ASSOCIES.

54 Procédé et circuit intégré pour le test du circuit intégré disposé sur une galette de silicium.

57 L'invention concerne un circuit intégré constitué de
bascules logiques et de portes logiques, le circuit intégré
comporte une unique connexion entrée sortie pour le test du
circuit intégré et comporte :

- des moyens (300) de détection d'une commande pré-déterminée reçue par une unique connexion entrée sortie,
- des moyens (300) de mémorisation dans une mémoire volatile (305) du circuit intégré, d'un vecteur de données reçu par l'unique connexion entrée sortie,
- des moyens (300) de lecture dans la mémoire volatile du vecteur mémorisé uniquement lorsque la totalité du vecteur a été mémorisée,
- des moyens (300) de chargement d'au moins une chaîne de balayage avec le vecteur lu,
- des moyens (300) de capture de la sortie de la dernière bascule logique de la chaîne de balayage,
- des moyens de génération (300) d'une information représentative du fonctionnement d'un circuit intégré,
- des moyens de transfert (300), de l'information représentative du fonctionnement d'un circuit intégré.

Fig. 3



Description

Titre de l'invention : Procédé et circuit intégré pour le test du circuit intégré disposé sur une galette de silicium.

Domaine technique

[0001] La présente invention concerne un procédé et un circuit intégré pour le test du circuit intégré disposé sur une galette de silicium.

ETAT DE LA TECHNIQUE ANTERIEURE

[0002] Les circuits intégrés sont fabriqués sur des galettes de silicium (en anglais wafer). Une galette de silicium comporte un grand nombre de circuits intégrés, typiquement des milliers.

[0003] Les testeurs utilisés pour tester les circuits intégrés comportent une quantité limitée de connexions entrée/sortie avec la galette de silicium qui ne peut être augmentée. Le testeur se connecte au travers de pointes métalliques (probe en anglais) à la galette de silicium.

[0004] Le test d'un circuit intégré consiste à vérifier sa fonctionnalité en s'assurant que les transistors soient bien connectés entre eux pour former la fonction recherchée. Le processus de fabrication d'un circuit intégré peut induire différentes fautes sur un ou plusieurs transistors ou au niveau des connexions. Ces fautes doivent être détectées car elles peuvent altérer le comportement du circuit intégré.

[0005] Le testeur permet de tester un nombre limité de circuits intégrés en même temps. La capacité d'un testeur à tester en parallèle un grand nombre de circuits intégrés est directement liée au nombre de pointes métalliques qui sont à sa disposition et au nombre de connexions (pads en anglais) du circuit intégré.

[0006] Plus le nombre de circuits intégrés testés en parallèle est grand, plus le temps de test de la galette de silicium est court. Plus le nombre de pointes de test utilisées pour tester un circuit intégré est important, moins le nombre de circuits intégrés testés en parallèle est important du fait de la limitation imposée par le nombre de connexions et de pointes de test du testeur.

[0007] L'ajout de connexions aux circuits intégrés fait augmenter la surface des circuits intégrés, ce qui réduit le nombre de circuits intégrés que l'on peut disposer sur une galette de silicium.

Exposé de l'invention

[0008] La présente invention a pour but de résoudre les inconvénients de l'art antérieur en proposant un procédé et un circuit intégré pour le test du circuit intégré constitué de bascules logiques et de portes logiques dans lequel une seule connexion entrée/sortie est nécessaire au test d'un circuit intégré et qui permet de tester un nombre important

de circuits intégrés en parallèle.

- [0009] A cette fin, selon un premier aspect, l'invention propose un circuit intégré constitué de bascules logiques et de portes logiques, caractérisé en ce qu'il comporte une unique connexion entrée sortie pour le test du circuit intégré et en ce qu'il comporte :
- [0010] - des moyens de réception de commandes par l'unique connexion entrée sortie,
- [0011] - des moyens de détection d'une commande prédéterminée reçue par l'unique connexion entrée sortie,
- [0012] - des moyens de mémorisation, si la commande prédéterminée est détectée, dans une mémoire volatile du circuit intégré, d'un vecteur de données reçu par l'unique connexion entrée sortie,
- [0013] - des moyens de lecture, si la commande prédéterminée est détectée, dans la mémoire volatile du vecteur mémorisé uniquement lorsque la totalité du vecteur a été mémorisée,
- [0014] - des moyens de chargement, si la commande prédéterminée est détectée, d'au moins une chaîne de balayage constituée d'un ensemble de bascules logiques réalisant une fonction du circuit intégré avec le vecteur lu, l'entrée de la première bascule logique recevant le vecteur lu, et la sortie de la première bascule logique étant reliée à l'entrée de la seconde bascule de la chaîne de balayage, la sortie de la dernière bascule de la chaîne de balayage n'étant pas reliée à une entrée d'une bascule logique de la chaîne de balayage, les sorties des autres bascules logiques étant reliées à l'entrée de la bascule logique suivante dans la chaîne de balayage,
- [0015] - des moyens de capture, si la commande prédéterminée est détectée, de la sortie de la dernière bascule logique de la chaîne de balayage en reliant les entrées des bascules logiques de la chaîne de balayage à des portes logiques,
- [0016] - des moyens de génération, si la commande prédéterminée est détectée, d'une information représentative du fonctionnement d'un circuit intégré pendant un déchargement de la chaîne de balayage,
- [0017] - des moyens de transfert, si la commande prédéterminée est détectée, de l'information représentative du fonctionnement d'un circuit intégré au testeur.
- [0018] La présente invention concerne aussi un procédé de test d'un circuit intégré constitué de bascules logiques et de portes logiques, le circuit intégré comportant une unique connexion entrée sortie pour le test du circuit intégré, caractérisé en ce que le procédé comporte les étapes, exécutées par le circuit intégré de :
- [0019] - réception de commandes par l'unique connexion entrée sortie,
- [0020] - détection d'une commande prédéterminée reçue par l'unique connexion entrée sortie,
- [0021] - mémorisation, si la commande prédéterminée est détectée, dans une mémoire volatile du circuit intégré, d'un vecteur de données reçu par l'unique connexion entrée

- sortie,
- [0022] - lecture, si la commande prédéterminée est détectée, dans la mémoire volatile du vecteur mémorisé uniquement lorsque la totalité du vecteur a été mémorisée,
 - [0023] - chargement, si la commande prédéterminée est détectée, d'au moins une chaîne de balayage constituée d'un ensemble de bascules logiques réalisant une fonction du circuit intégré avec le vecteur lu, l'entrée de la première bascule logique recevant le vecteur lu, et la sortie de la première bascule logique étant reliée à l'entrée de la seconde bascule de la chaîne de balayage, la sortie de la dernière bascule de la chaîne de balayage n'étant pas reliée à une entrée d'une bascule logique de la chaîne de balayage, les sorties des autres bascules logiques étant reliées à l'entrée de la bascule logique suivante dans la chaîne de balayage,
 - [0024] - capture, si la commande prédéterminée est détectée, de la sortie de la dernière bascule logique de la chaîne de balayage en reliant les entrées des bascules logiques de la chaîne de balayage à des portes logiques,
 - [0025] - génération, si la commande prédéterminée est détectée, d'une information représentative du fonctionnement d'un circuit intégré pendant le déchargement de la chaîne de balayage,
 - [0026] - transfert, si la commande prédéterminée est détectée, de l'information représentative du fonctionnement d'un circuit intégré au testeur.
 - [0027] Ainsi, en utilisant une seule connexion entrée/sortie pour le test du circuit intégré constitué de bascules logiques et de portes logiques, il est possible de tester un nombre important de circuits intégrés en parallèle.
 - [0028] De plus, en mémorisant le vecteur de données dans une mémoire volatile du circuit intégré, il est possible de pallier la faible bande passante du circuit intégré et d'effectuer les différentes opérations de test des fonctionnalités du circuit intégré en parallèle de la réception de nouvelles commandes ou de vecteurs.
 - [0029] Enfin, en exécutant séquentiellement les différentes actions relatives au test de la fonctionnalité lorsque la commande prédéterminée est reçue, le temps de test de la galette de silicium est réduit.
 - [0030] Selon un mode particulier de l'invention, l'information représentative du fonctionnement d'un circuit intégré est le résultat d'une comparaison d'un contrôle de redondance cyclique calculé en sortie de la dernière bascule logique de la chaîne de balayage avec une valeur reçue du testeur.
 - [0031] Ainsi, le testeur est informé de l'état de fonctionnement du circuit intégré sans avoir à effectuer de calcul.
 - [0032] Selon un mode particulier de l'invention, l'information représentative du fonctionnement d'un circuit intégré est un contrôle de redondance cyclique calculé en sortie de la dernière bascule logique de la chaîne de balayage.

- [0033] Selon un mode particulier de l'invention, chaque commande reçue est précédée d'un signal de référence pour synchroniser le testeur et le circuit intégré.
- [0034] Selon un mode particulier de l'invention, le circuit intégré comporte en outre des moyens de déchargement de la ou de chaque chaîne de balayage en mettant les entrées des bascules logiques dans la même configuration que pendant le chargement de la chaîne de balayage.
- [0035] Selon un mode particulier de l'invention, le circuit intégré comporte en outre des moyens d'exécution d'une autre commande reçue du testeur si la commande prédéterminée n'est pas détectée.
- [0036] Selon un mode particulier de l'invention, l'autre commande reçue est une commande de mémorisation du vecteur dans la mémoire volatile, une commande de chargement ou de capture ou de déchargement de la chaîne de balayage.
- [0037] L'invention concerne aussi les programmes d'ordinateur stockés sur un support d'informations, lesdits programmes comportant des instructions permettant de mettre en œuvre les procédés précédemment décrits, lorsqu'ils sont chargés et exécutés par un système informatique.
- [0038] Les caractéristiques de l'invention mentionnées ci-dessus, ainsi que d'autres, apparaîtront plus clairement à la lecture de la description suivante d'un exemple de réalisation, ladite description étant faite en relation avec les dessins joints, parmi lesquels :
- [0039] [fig.1] représente un système de test de circuits intégré sur galette de silicium ;
- [0040] [fig.2] représente une architecture de dispositif de test selon la présente invention ;
- [0041] [fig.3] représente une architecture de circuit intégré sur une galette de silicium selon la présente invention ;
- [0042] [fig.4a] représente un exemple d'une configuration de chargement d'une chaîne de balayage d'un ensemble de bascules logiques réalisant une fonction d'un circuit intégré ;
- [0043] [fig.4b] représente un exemple d'une configuration de capture d'une chaîne de balayage d'un ensemble de bascules logiques réalisant une fonction d'un circuit intégré ;
- [0044] [fig.4c] représente un exemple d'une configuration de déchargement d'une chaîne de balayage d'un ensemble de bascules logiques réalisant une fonction d'un circuit intégré ;
- [0045] [fig.5] représente un algorithme de test exécuté par un circuit intégré selon la présente invention ;
- [0046] [fig.6] représente un exemple d'une implémentation d'un module génération d'une information représentative du fonctionnement d'un circuit intégré à l'issue du test du circuit intégré ;
- [0047] [fig.7] représente un exemple de signaux reçus par un circuit intégré lors du test du

circuit intégré dans un mode de test appelé direct et d'actions effectuées par le circuit intégré pendant le test du circuit intégré ;

[0048] [fig.8] représente un exemple de signaux reçus par un circuit intégré lors du test du circuit intégré dans un mode de test appelé indirect et d'actions effectuées par le circuit intégré pendant le test du circuit intégré.

[0049] EXPOSE DETAILLE DE MODES DE REALISATION

[0050] La Fig. 1 représente un système de test de circuits intégré sur galette de silicium.

[0051] Dans la Fig. 1, un testeur Te teste les circuits intégrés CI d'une galette de silicium DUT à l'aide d'une pluralité de cartes à pointe venant en contact des zones rectangulaires d'un groupe de circuits intégrés qui sont testés en parallèle.

[0052] Le testeur Te est par exemple un ordinateur qui pilote une ou plusieurs cartes à pointes. Le testeur Te teste si les circuits intégrés sont conformes à un cahier des charges et permet de configurer et d'ajuster des paramètres des circuits intégrés.

[0053] Selon la présente invention, chaque circuit intégré dispose d'une unique zone de contact représentée par un carré noir dans la Fig. 1 qui est utilisée pour le test du circuit intégré. Une seule pointe est utilisée par le testeur Te pour tester un circuit intégré en sus des pointes d'alimentation des circuits intégrés. Lorsqu'une pointe est en contact avec la zone de contact, une connexion entrée sortie est réalisée selon la présente invention.

[0054] Dans la Fig. 1, trois circuits intégrés sont testés en parallèle à l'aide d'une carte à pointe comportant les pointes Cap1 à Cap3. Bien entendu, un nombre plus important de circuits intégrés sont testés en parallèle, l'exemple de la Fig. 1 n'étant qu'une simplification de conditions réelles.

[0055] De même, seulement sept circuits intégrés sont représentés dans la Fig. 1 par souci de simplification. Bien entendu, un nombre plus important de circuits intégrés sont présents sur la galette de silicium DUT.

[0056] L'utilisation d'une unique zone de contact selon la présente invention est possible grâce à un ajout, dans chaque circuit intégré, d'un module de contrôle qui sera décrit en référence à la Fig. 3 et à une utilisation par le module de contrôle d'une mémoire vive comprise dans le circuit intégré.

[0057] Pour détecter les fautes d'un circuit intégré, il faut vérifier le comportement des fonctions du circuit intégré. Une fonction est réalisée par un ensemble de portes logiques et de connections. Le comportement d'une fonction est déterminé par les signaux à ses entrées.

[0058] Une méthode consiste à chaîner, toutes ou une partie des bascules d'une ou plusieurs fonctions du circuit intégré, l'une à la suite des autres dans un état particulier du circuit intégré. Ce regroupement sera appelé « chaîne de balayage ». Comme il s'agit de bascules, leurs mises à jour se feront à chaque évènement d'une horloge par exemple.

Ainsi, la bascule mettra à jour celle qui la suit et sera mise à jour par celle qui la précède : cette action sera appelée « chargement de balayage ».

- [0059] En fixant les valeurs des bascules, on peut fixer les entrées des différents nuages combinatoires du circuit intégré. Un nuage combinatoire est constitué d'un ensemble de portes logiques ne réalisant pas la fonction de bascule.
- [0060] Pour capturer les sorties des nuages combinatoires, il suffit de désactiver le chaînage des bascules pour que leurs entrées soient directement connectées aux sorties des nuages combinatoires. En appliquant un évènement sur toutes les bascules comme celui d'une horloge, on met à jour toutes ces bascules : cette action sera appelée « capture de balayage ».
- [0061] Pour extraire le contenu des bascules mises à jour, on réactive leur chaînage et on applique autant d'évènements à la « chaîne de balayage » qu'il y a de bascules : cette action sera appelée « déchargement de balayage ». Il est à remarquer ici qu'un déchargement de balayage peut correspondre à un chargement de balayage d'une chaîne de balayage suivante.
- [0062] Les valeurs à appliquer pendant le « chargement de balayage », le moment d'appliquer la « capture de balayage » et les valeurs attendues pendant le « déchargement de balayage » sont données par un outil de génération automatique des vecteurs de test (ATPG en anglais, Automatic Test Pattern Generator).
- [0063] La Fig. 2 représente une architecture de dispositif de test ou testeur selon la présente invention.
- [0064] Le testeur Te comprend :
- [0065] - un processeur, micro-processeur, ou microcontrôleur 200 ;
- [0066] - une mémoire volatile 203 ;
- [0067] - une mémoire ROM 202 ;
- [0068] - une interface 205 qui comporte au moins une carte à pointe ;
- [0069] - un bus de communication 201 reliant le processeur 200 à la mémoire ROM 202, à la mémoire RAM 203 et à l'interface 205.
- [0070] Le processeur 200 est capable d'exécuter des instructions chargées dans la mémoire volatile 203 à partir de la mémoire ROM 202, d'une mémoire externe (non représentée), d'un support de stockage. Lorsque le testeur Te est mis sous tension, le processeur 200 est capable de lire de la mémoire volatile 203 des instructions et de les exécuter. Ces instructions forment un programme d'ordinateur qui cause la mise en œuvre, par le processeur 200, du programme de test de circuits intégrés.
- [0071] Tout ou partie du programme de test peut être implémenté sous forme logicielle par exécution d'un ensemble d'instructions par une machine programmable, telle qu'un DSP (*Digital Signal Processor* en anglais ou *Unité de Traitement de Signal Numérique* en français) ou un microcontrôleur ou être implémenté sous forme matérielle par une

machine ou un composant dédié, tel qu'un FPGA (*Field-Programmable Gate Array* en anglais ou *Matrice de Portes Programmable sur le Terrain* en français) ou un ASIC (*Application-Specific Integrated Circuit* en anglais ou *Circuit Intégré Spécifique à une Application* en français).

- [0072] La Fig. 3 représente une architecture de circuit intégré sur une galette de silicium selon la présente invention.
- [0073] Le circuit intégré CI comprend une unique entrée/sortie Cap1 reliée à un module de contrôle 300. Le module de contrôle 300 est capable de lire des instructions et de les exécuter. Ces instructions forment un programme d'ordinateur qui cause la mise en œuvre, par le module de contrôle 300, de tout ou partie du procédé décrit en relation avec la Fig. 5.
- [0074] Tout ou partie des procédés décrits en relation avec la Fig. 5 peut être implémenté sous forme logicielle par exécution d'un ensemble d'instructions par une machine programmable, telle qu'un DSP (*Digital Signal Processor* en anglais ou *Unité de Traitement de Signal Numérique* en français) ou un microcontrôleur ou être implémenté sous forme matérielle par une machine ou un composant dédié.
- [0075] Le module de contrôle 300 reçoit par l'intermédiaire de l'unique entrée sortie Cap1, des commandes du testeur TE. Le module de contrôle 300 génère à destination d'au moins une chaîne de bascules à balayer 310 et en fonction des commandes reçues, un signal d'activation Ac (ou *strobe* en anglais) et une horloge Ho. Le module de contrôle 300 est configuré pour transférer des données reçues par l'intermédiaire de l'unique entrée sortie Cap1 à au moins une chaîne de bascules à balayer 310.
- [0076] Le module de contrôle 300 est configuré pour recevoir des données de la au moins une chaîne de bascules à balayer 310.
- [0077] Le module de contrôle 300 est configuré pour mémoriser dans une mémoire volatile RAM 305 des données reçues par l'intermédiaire de l'unique entrée sortie Cap1.
- [0078] Le module de contrôle 300 est configuré pour lire dans la mémoire volatile RAM 305 des données préalablement mémorisées.
- [0079] Il est à remarquer ici que la mémoire volatile RAM 305 est une mémoire non dédiée au test du circuit intégré CI. La mémoire volatile RAM 305 est aussi utilisée par le circuit intégré CI lors du fonctionnement pour lequel il a été conçu.
- [0080] La Fig. 4a représente un exemple d'une configuration de chargement d'une chaîne de balayage d'un ensemble de bascules logiques réalisant une fonction d'un circuit intégré.
- [0081] La chaîne de balayage 310 comporte une pluralité de bascules notées D1, D2, DN-1 à DN. La mise à jour des bascules D1 à DN est effectuée à chaque événement de l'horloge Ho. Ainsi, chaque bascule met à jour la bascule suivante dans la chaîne de balayage et est mise à jour par la bascule la précédant dans la chaîne de balayage. Les

données de mises à jour sont notées Din et les données de sorties sont notées Do.

[0082] En fixant les valeurs des bascules, on peut fixer les entrées des différents nuages combinatoires de la puce.

[0083] La Fig. 4b représente un exemple d'une configuration de capture d'une chaîne de balayage d'un ensemble de bascules logiques réalisant une fonction d'un circuit intégré.

[0084] Pour capturer les sorties des nuages combinatoires Nc1, Nc2, NcN-1 à NcN, il suffit de désactiver le chaînage des bascules pour que leurs entrées soient directement connectées aux sorties des nuages combinatoires.

[0085] L'entrée de la bascule D1 est reliée au nuage combinatoire Nc1, l'entrée de la bascule D2 est reliée au nuage combinatoire Nc2, l'entrée de la bascule DN-1 est reliée au nuage combinatoire NcN-1 et l'entrée de la bascule DN est reliée au nuage combinatoire NcN.

[0086] En appliquant un évènement sur toutes les bascules comme celui d'une horloge, on met à jour toutes les bascules D1 à DN, c'est la capture de balayage.

[0087] La Fig. 4c représente un exemple d'une configuration de déchargement d'une chaîne de balayage d'un ensemble de bascules logiques réalisant une fonction d'un circuit intégré.

[0088] Pour extraire le contenu des bascules mises à jour, on réactive leur chaînage et on applique autant d'évènements à la chaîne de balayage qu'il y a de bascules.

[0089] La Fig. 5 représente un algorithme de test exécuté par un circuit intégré selon la présente invention.

[0090] Plus précisément, le présent algorithme est exécuté par le module de contrôle 300 de chaque circuit intégré.

[0091] A l'étape E50, le module de contrôle 300 est dans un état inactif.

[0092] A l'étape suivante E51, le module de contrôle 300 vérifie si un message est reçu du testeur par l'intermédiaire de l'unique entrée sortie Cap1.

[0093] Dans l'affirmative, le module de contrôle 300 passe à l'étape E52. Dans la négative, le module de contrôle retourne à l'étape E50.

[0094] Selon l'invention, chaque message comprend un signal de référence qui permet au dispositif de contrôle de se synchroniser avec le testeur Te et une commande ou des données. Le signal de référence est par exemple une séquence de bits prédéterminée.

[0095] A l'étape E52, le module de contrôle 300 vérifie si la commande suivant le signal de référence est une commande de test dans un mode dit direct ou dans un mode dit indirect.

[0096] Le mode direct est un mode dans lequel le test d'une chaîne de bascules à balayer 310 est effectué de manière automatique. Le mode indirect permet d'envoyer des commandes les unes après les autres, par exemple, pour déterminer précisément quelle

partie d'un circuit est défectueuse.

- [0097] Si la commande suivant le signal de référence est une commande de test dans le mode direct, le module de contrôle 300 passe à l'étape E53. Dans la négative, le module de contrôle 300 passe à l'étape E58.
- [0098] A l'étape E53, le module de contrôle 300 commande la mémorisation des données suivant le signal de référence suivant dans la mémoire volatile 305. Les données ont une taille prédéterminée connue du module de contrôle. L'ensemble des données est appelé vecteur. La taille du vecteur correspond au nombre de bascules de la chaîne de bascules.
- [0099] A l'étape suivante E54, le module de contrôle 300 vérifie si la totalité du vecteur est reçue.
- [0100] Dans l'affirmative, le module de contrôle 300 passe à l'étape E55. Dans la négative, le module de contrôle 300 retourne à l'étape E53.
- [0101] A l'étape E55, le module de contrôle 300 lit le vecteur mémorisé dans la mémoire volatile RAM 305 et applique le vecteur à la chaîne de balayage. En d'autres mots, le module de contrôle procède au chargement de la chaîne de balayage de l'ensemble de bascules logiques.
- [0102] Si, à une précédente itération du présent algorithme, un vecteur a été appliqué à la chaîne de balayage et une capture de la chaîne de balayage a été effectuée, on effectue à cette même étape un déchargement de balayage de la chaîne de balayage de la précédente itération. Lors du déchargement de balayage, on extrait le contenu des bascules mises à jour, on réactive leur chaînage et on applique autant d'évènements à la chaîne de balayage qu'il y a de bascules.
- [0103] A l'étape suivante E56, le module de contrôle 300 vérifie si la totalité du vecteur est lue.
- [0104] Dans l'affirmative, le module de contrôle 300 passe à l'étape E57. Dans la négative, le module de contrôle 300 retourne à l'étape E55.
- [0105] A l'étape E57, le module de contrôle 300 lance l'exécution de la capture de la chaîne de balayage de l'ensemble de bascules logiques réalisant une fonction d'un circuit intégré.
- [0106] Ainsi, lors de la capture de balayage, on désactive le chaînage des bascules pour que leurs entrées soient directement connectées aux sorties des nuages combinatoires et en appliquant un évènement, comme celui d'une horloge, sur toutes les bascules, on met à jour toutes ces bascules.
- [0107] La Fig. 6 représente un exemple d'une implémentation d'un module génération d'une information représentative du fonctionnement d'un circuit intégré à l'issue du test du circuit intégré.
- [0108] Le module génération d'une information représentative du fonctionnement d'un

circuit intégré 600 calcule par exemple une signature pendant le déchargement de la chaîne de balayage. Le module génération d'une information représentative du fonctionnement d'un circuit intégré 600 est connecté à la sortie de la dernière bascule de la chaîne de bascules. Ainsi, pendant le déchargement de la chaîne de bascules, les données en sortie des bascules sont propagées vers le module génération d'une information représentative du fonctionnement d'un circuit intégré 600.

- [0109] La signature est par exemple, un bit de parité ou un contrôle de redondance cyclique.
- [0110] L'information représentative du fonctionnement d'un circuit intégré est le contrôle de redondance cyclique ou le résultat de la comparaison de la signature avec une signature reçue du testeur Te.
- [0111] La Fig. 7 représente un exemple de signaux reçus par un circuit intégré lors du test du circuit intégré dans un mode de test appelé direct et d'actions effectuées par le circuit intégré pendant le test du circuit intégré.
- [0112] Dans l'exemple de la Fig. 7, le module de contrôle 300 reçoit un signal de référence 701 suivi d'un vecteur de référence 702.
- [0113] Le module de contrôle 300 commande, pendant la durée notée 703, la mémorisation du vecteur 701 dans la mémoire volatile 305 et le chargement du vecteur 701 dans la chaîne de balayage pendant la durée 704 de l'ensemble de bascules logiques.
- [0114] Le module de contrôle 300 reçoit un signal de référence 705 suivi d'une commande 706 d'initialisation du module de génération d'une information représentative du fonctionnement d'un circuit intégré 600.
- [0115] Le module de contrôle 300 reçoit un signal de référence 707 suivi d'un nouveau vecteur de référence 708.
- [0116] Le module de contrôle 300 commande, pendant la durée notée 709, la mémorisation du vecteur 708 dans la mémoire volatile 305, le déchargement du vecteur 702 pendant le chargement du vecteur 708 de la chaîne de balayage de l'ensemble de bascules logiques. La capture du vecteur 708 est effectuée à la fin du chargement du vecteur 708.
- [0117] Le module de contrôle 300 reçoit un signal de référence 711 suivi d'une commande 712 de génération d'une information représentative du fonctionnement d'un circuit intégré 600.
- [0118] Le module de contrôle 300 commande le transfert au testeur Te de l'information représentative du fonctionnement d'un circuit intégré 600 pendant la durée 713.
- [0119] La Fig. 8 représente un exemple de signaux reçus par un circuit intégré lors du test du circuit intégré dans un mode de test appelé indirect et d'actions effectuées par le circuit intégré pendant le test du circuit intégré.
- [0120] Dans l'exemple de la Fig. 8, le module de contrôle 300 reçoit un signal de référence 800 suivi d'une commande de mémorisation 801 dans la mémoire volatile 305 et d'un

vecteur de référence 802.

- [0121] Le module de contrôle 300 commande, pendant la durée notée 803, la mémorisation du vecteur 802 dans la mémoire volatile 305.
- [0122] Le module de contrôle 300 reçoit un signal de référence 804 suivi d'une commande de chargement 805 avec le vecteur 802 de la chaîne de balayage de l'ensemble de bascules logiques.
- [0123] Le module de contrôle 300 procède pendant la durée 806 au chargement du vecteur 802 pour la chaîne de balayage de l'ensemble de bascules logiques.
- [0124] Le module de contrôle 300 reçoit un signal de référence 807 suivi d'une commande 808 d'initialisation du module de génération d'une information représentative du fonctionnement d'un circuit intégré 600.
- [0125] Le module de contrôle 300 reçoit un signal de référence 809 suivi d'une commande 810 de capture de la chaîne de balayage de l'ensemble de bascules logiques.
- [0126] Le module de contrôle 300 procède pendant la durée 811 à la capture de la chaîne de balayage de l'ensemble de bascules logiques.
- [0127] Le module de contrôle 300 reçoit un signal de référence 812 suivi d'une commande 813 de déchargement de la chaîne de balayage de l'ensemble de bascules logiques.
- [0128] Le module de contrôle 300 procède pendant la durée 814 au déchargement de la chaîne de balayage de l'ensemble de bascules logiques vers la mémoire volatile RAM 305 et au calcul de l'information représentative du fonctionnement du circuit intégré.
- [0129] Le module de contrôle 300 reçoit un signal de référence 815 suivi d'une commande 816 de génération d'une information représentative du fonctionnement d'un circuit intégré 600.
- [0130] Le module de contrôle 300 commande le transfert au testeur Te de l'information représentative du fonctionnement d'un circuit intégré 600 pendant la durée 817.
- [0131] En variante, le module de contrôle 300 commande le transfert au testeur Te de la chaîne de balayage de l'ensemble de bascules logiques capturé.

Revendications

[Revendication 1] Circuit intégré constitué de bascules logiques et de portes logiques, caractérisé en ce qu'il comporte une unique connexion entrée sortie pour le test du circuit intégré et en ce qu'il comporte :

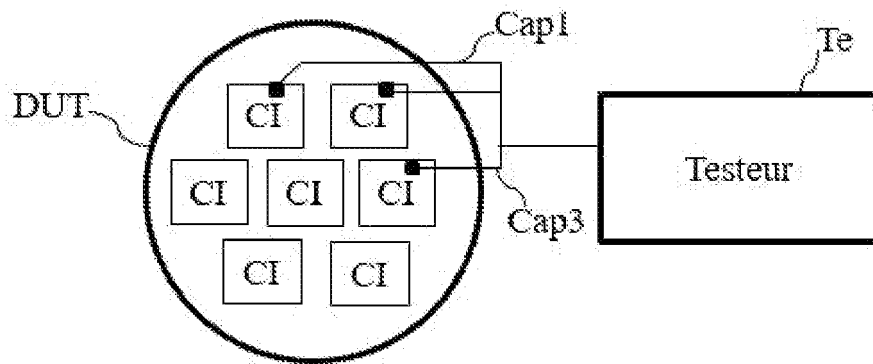
- des moyens (300) de réception de commandes par l'unique connexion entrée sortie,
- des moyens (300) de détection d'une commande prédéterminée reçue par l'unique connexion entrée sortie,
- des moyens (300) de mémorisation, si la commande prédéterminée est détectée, dans une mémoire volatile (305) du circuit intégré, d'un vecteur de données reçu par l'unique connexion entrée sortie,
- des moyens (300) de lecture, si la commande prédéterminée est détectée, dans la mémoire volatile du vecteur mémorisé uniquement lorsque la totalité du vecteur a été mémorisée,
- des moyens (300) de chargement, si la commande prédéterminée est détectée, d'au moins une chaîne de balayage constituée d'un ensemble de bascules logiques réalisant une fonction du circuit intégré avec le vecteur lu, l'entrée de la première bascule logique recevant le vecteur lu, et la sortie de la première bascule logique étant reliée à l'entrée de la seconde bascule de la chaîne de balayage, la sortie de la dernière bascule de la chaîne de balayage n'étant pas reliée à une entrée d'une bascule logique de la chaîne de balayage, les sorties des autres bascules logiques étant reliées à l'entrée de la bascule logique suivante dans la chaîne de balayage,
- des moyens (300) de capture, si la commande prédéterminée est détectée, de la sortie de la dernière bascule logique de la chaîne de balayage en reliant les entrées des bascules logiques de la chaîne de balayage à des portes logiques,
- des moyens de génération (300), si la commande prédéterminée est détectée, d'une information représentative du fonctionnement d'un circuit intégré pendant un chargement d'une chaîne de balayage suivante ou un déchargement de la chaîne de balayage,
- des moyens de transfert (300), si la commande prédéterminée est détectée, de l'information représentative du fonc-

tionnement d'un circuit intégré à un testeur.

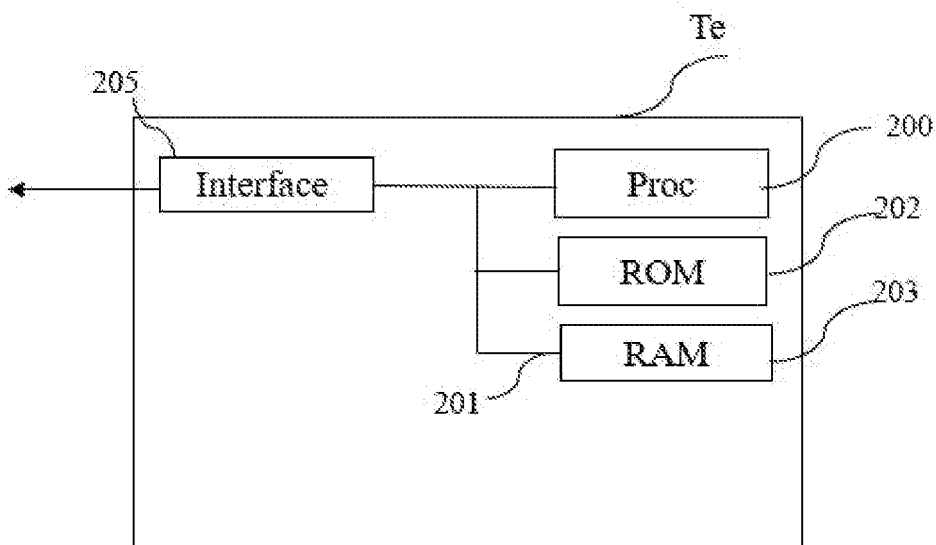
- [Revendication 2] Circuit intégré selon la revendication 1, caractérisé en ce que l'information représentative du fonctionnement d'un circuit intégré est le résultat d'une comparaison d'un contrôle de redondance cyclique calculé en sortie de la dernière bascule logique de la chaîne de balayage avec une valeur reçue du testeur.
- [Revendication 3] Circuit intégré selon la revendication 1, caractérisé en ce que l'information représentative du fonctionnement d'un circuit intégré est un contrôle de redondance cyclique calculé en sortie de la dernière bascule logique de la chaîne de balayage.
- [Revendication 4] Circuit intégré selon l'une quelconque des revendications précédentes, caractérisé en ce que chaque commande reçue est précédée d'un signal de référence pour synchroniser le testeur et le circuit intégré.
- [Revendication 5] Circuit intégré selon l'une quelconque des revendications précédentes, caractérisé en ce que le circuit intégré comporte en outre des moyens de déchargement de la ou chaque chaîne de balayage en mettant les entrées des bascules logiques dans la même configuration que pendant le chargement de la chaîne de balayage.
- [Revendication 6] Circuit intégré selon la revendication 5, caractérisé en ce que le circuit intégré comporte en outre des moyens d'exécution d'une autre commande reçue du testeur si la commande prédéterminée n'est pas détectée.
- [Revendication 7] Circuit intégré selon la revendication 6, caractérisé en ce que l'autre commande reçue est une commande de mémorisation du vecteur dans la mémoire volatile, une commande de chargement ou de capture ou de déchargement de la chaîne de balayage.
- [Revendication 8] Procédé de test d'un circuit intégré constitué de bascules logiques et de portes logiques, le circuit intégré comportant une unique connexion entrée sortie pour le test du circuit intégré, caractérisé en ce que le procédé comporte les étapes, exécutées par le circuit intégré de :
- réception de commandes par l'unique connexion entrée sortie,
 - détection d'une commande prédéterminée reçue par l'unique connexion entrée sortie,
 - mémorisation, si la commande prédéterminée est détectée, dans une mémoire volatile du circuit intégré, d'un vecteur de données reçu par l'unique connexion entrée sortie,

- lecture, si la commande prédéterminée est détectée, dans la mémoire volatile du vecteur mémorisé uniquement lorsque la totalité du vecteur a été mémorisée,
- chargement, si la commande prédéterminée est détectée, d'une chaîne de balayage constituée d'un ensemble de bascules logiques réalisant une fonction du circuit intégré avec le vecteur lu, l'entrée de la première bascule logique recevant le vecteur lu, et la sortie de la première bascule logique étant reliée à l'entrée de la seconde bascule de la chaîne de balayage, la sortie de la dernière bascule de la chaîne de balayage n'étant pas reliée à une entrée d'une bascule logique de la chaîne de balayage, les sorties des autres bascules logiques étant reliées à l'entrée de la bascule logique suivante dans la chaîne de balayage,
- capture, si la commande prédéterminée est détectée, de la sortie de la dernière bascule logique de la chaîne de balayage en reliant les entrées des bascules logiques de la chaîne de balayage à des portes logiques,
- génération, si la commande prédéterminée est détectée, d'une information représentative du fonctionnement d'un circuit intégré pendant un déchargement de la chaîne de balayage,
- transfert, si la commande prédéterminée est détectée, de l'information représentative du fonctionnement d'un circuit intégré à un testeur.

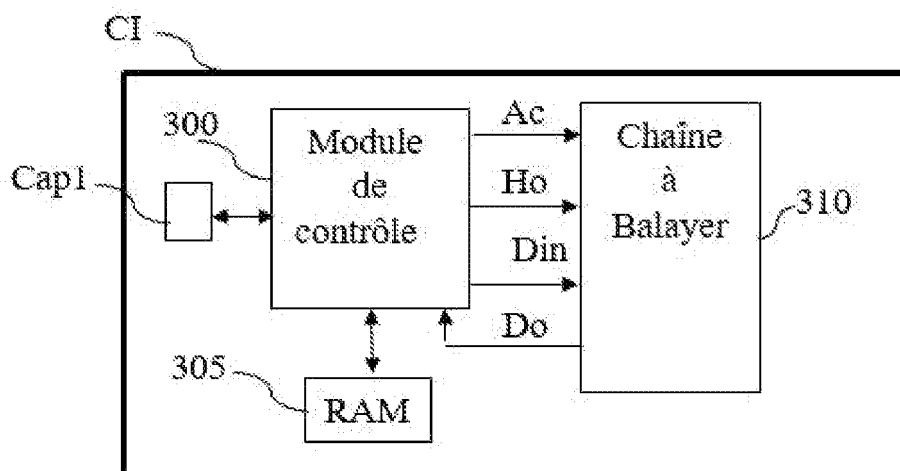
[Fig. 1]



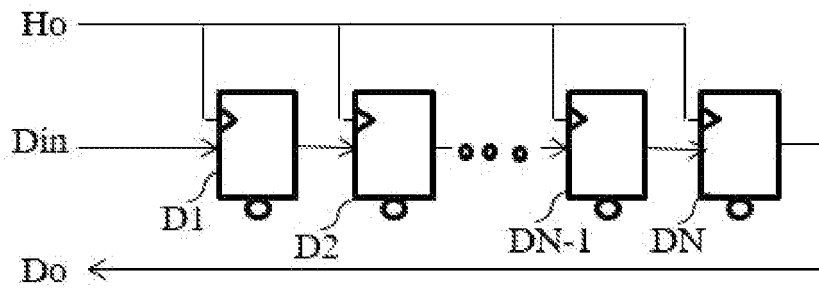
[Fig. 2]



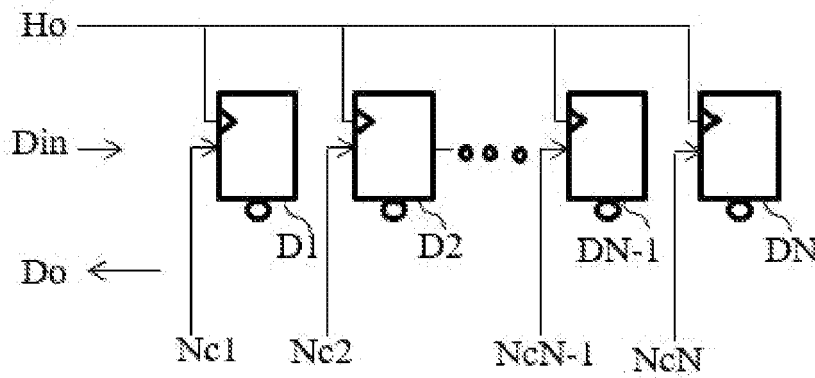
[Fig. 3]



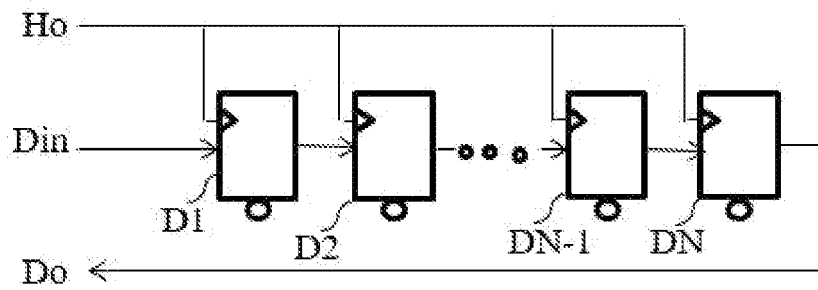
[Fig. 4a]



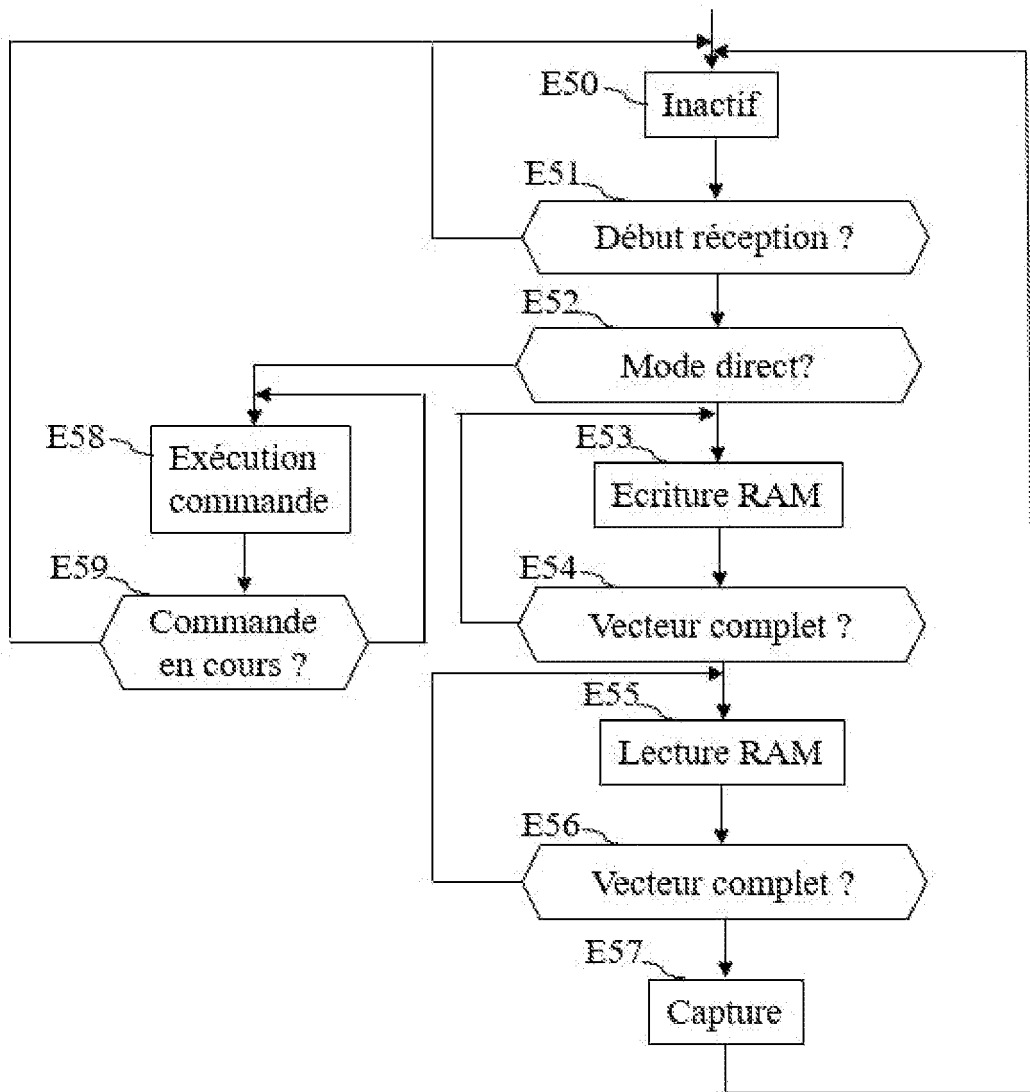
[Fig. 4b]



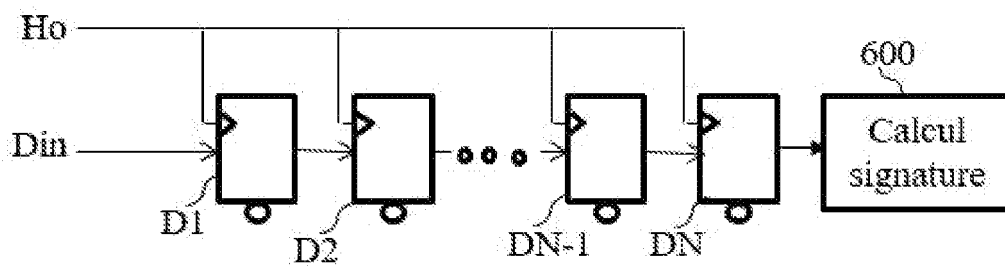
[Fig. 4c]



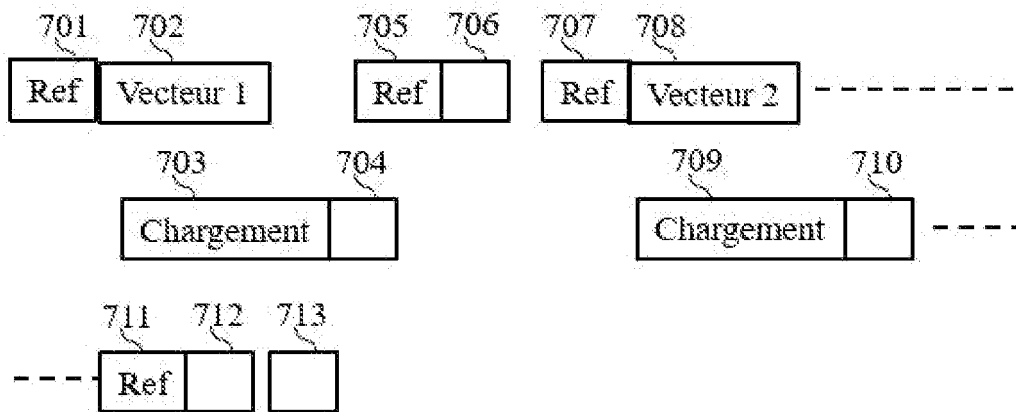
[Fig. 5]



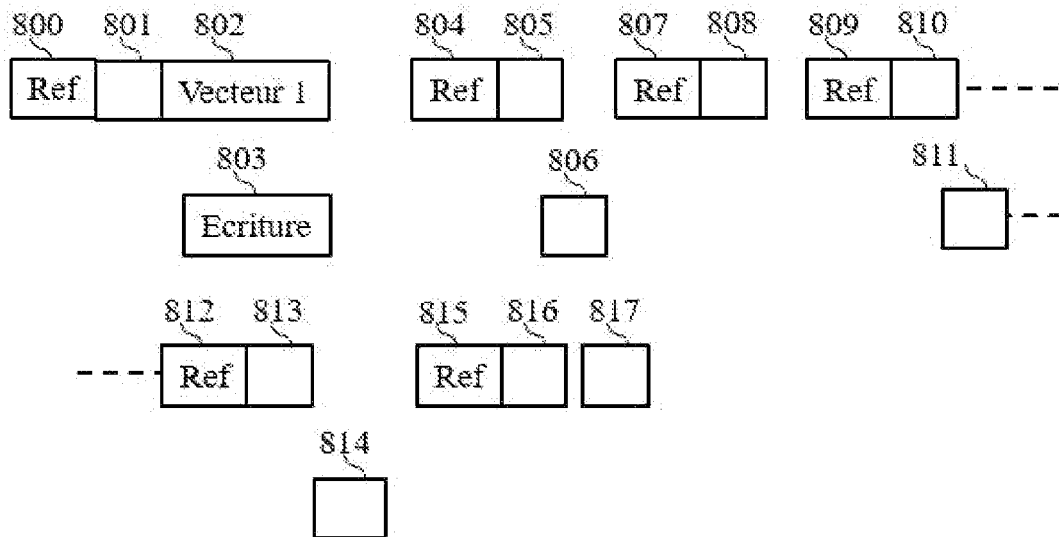
[Fig. 6]



[Fig. 7]



[Fig. 8]



**RAPPORT DE RECHERCHE
 PRÉLIMINAIRE**

 établi sur la base des dernières revendications
 déposées avant le commencement de la recherche

 N° d'enregistrement
 national

 FA 880865
 FR 2002671

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 6 321 354 B1 (PRUNIER JACQUES [FR]) 20 novembre 2001 (2001-11-20) * abrégé; revendications 1-6; figures 1-6B * * colonne 1, ligne 65 - colonne 2, ligne 45 * * colonne 3, ligne 6 - colonne 7, ligne 37 * -----	1-8	H01L21/66 H01L23/50
X	US 2012/166901 A1 (KIM EUI SEUNG [KR]) 28 juin 2012 (2012-06-28) * abrégé; revendications 1-20; figures 1-9 * * colonne 5 - colonne 30 * * alinéa [0045] - alinéa [0095] * -----	1-8	
X	US 2006/087307 A1 (DE WINTER RUDI [BE]) 27 avril 2006 (2006-04-27) * abrégé; revendications 1-6; figures 1-9 * * alinéa [0020] - alinéa [0039] * -----	1-8	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
X	US 2004/044936 A1 (REARICK JEFFREY R [US] ET AL) 4 mars 2004 (2004-03-04) * abrégé; revendications 1-20; figures 1-12 * * alinéa [0006] - alinéa [0011] * * alinéa [0082] - alinéa [0086] * -----	1-8	G01R
Date d'achèvement de la recherche		Examineur	
1 décembre 2020		Nadal, Rafael	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2002671 FA 880865**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **01-12-2020**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6321354	B1	20-11-2001	DE 69811760 T2	19-02-2004
			EP 0875830 A1	04-11-1998
			FR 2762683 A1	30-10-1998
			US 6321354 B1	20-11-2001

US 2012166901	A1	28-06-2012	KR 20120073434 A	05-07-2012
			US 2012166901 A1	28-06-2012

US 2006087307	A1	27-04-2006	AU 2003240198 A1	06-01-2004
			EP 1520183 A2	06-04-2005
			US 2006087307 A1	27-04-2006
			WO 2004001568 A2	31-12-2003

US 2004044936	A1	04-03-2004	DE 10255113 A1	16-10-2003
			JP 2004003985 A	08-01-2004
			SG 137646 A1	28-12-2007
			US 2003172332 A1	11-09-2003
			US 2004044936 A1	04-03-2004
