



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0091404
(43) 공개일자 2021년07월22일

(51) 국제특허분류(Int. Cl.)
G11C 8/12 (2006.01) G11C 11/408 (2006.01)
G11C 8/08 (2006.01) G11C 8/10 (2006.01)
(52) CPC특허분류
G11C 8/12 (2013.01)
G11C 11/4085 (2013.01)
(21) 출원번호 10-2020-0004421
(22) 출원일자 2020년01월13일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
권상혁
서울특별시 강남구 도곡로43길 20 208동 402호
(역삼동, 래미안그레이튼아파트)
김남승
경기도 용인시 수지구 신봉1로 110
(뒷면에 계속)
(74) 대리인
특허법인 고려

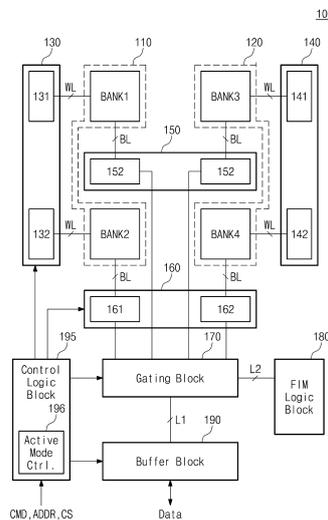
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 메모리 장치, 메모리 모듈 및 메모리 장치의 동작 방법

(57) 요약

본 발명은 메모리 장치에 관한 것이다. 본 발명의 메모리 장치는 복수의 बैं크들을 포함하고, 복수의 बैं크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 그리고 복수의 बैं크들과 연결되는 행 디코더 블록을 포함한다. 행 디코더 블록은 제1 동작 모드에서 활성화 명령과 함께 제1 행 주소 및 제1 बैं크 주소를 수신하고, 그리고 복수의 बैं크들 중에서 제1 बैं크 주소에 의해 선택된 बैं크에서, 복수의 워드 라인들 중에서 제1 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되고, 그리고 제2 동작 모드에서, 활성화 명령과 함께 제2 행 주소 및 제2 बैं크 주소를 수신하고, 그리고 복수의 बैं크들 중 적어도 두 개의 बैं크들의 각각에서, 복수의 워드 라인들 중에서 제2 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성된다.

대표도 - 도1



(52) CPC특허분류

G11C 11/4087 (2013.01)

G11C 8/08 (2013.01)

G11C 8/10 (2013.01)

(72) 발명자

손교민

경기도 용인시 수지구 진산로66번길 10 521동 80
4호 (풍덕천동, 삼성5차아파트)

오성일

경기도 수원시 영통구 영통로514번길 53 (영통동,
황골마을주공2단지아파트) 104동 904호

이해석

경기도 성남시 중원구 성남대로 1000 309동 804호
(여수동, 성남센트럴타운)

명세서

청구범위

청구항 1

복수의 뱅크들을 포함하고, 상기 복수의 뱅크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 그리고

상기 복수의 뱅크들과 연결되는 행 디코더 블록을 포함하고,

상기 행 디코더 블록은:

제1 동작 모드에서 활성화 명령과 함께 제1 행 주소 및 제1 뱅크 주소를 수신하고, 그리고 상기 복수의 뱅크들 중에서 상기 제1 뱅크 주소에 의해 선택된 뱅크에서, 상기 복수의 워드 라인들 중에서 상기 제1 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되고, 그리고

제2 동작 모드에서, 상기 활성화 명령과 함께 제2 행 주소 및 제2 뱅크 주소를 수신하고, 그리고 상기 복수의 뱅크들 중 적어도 두 개의 뱅크들의 각각에서, 상기 복수의 워드 라인들 중에서 상기 제2 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되는 메모리 장치.

청구항 2

제1항에 있어서,

외부의 호스트 장치로부터 주소 및 명령을 수신하고, 그리고 상기 활성화 명령이 수신되기 전에 상기 주소의 신호들 중 적어도 하나의 신호의 토글에 응답하여 상기 제2 모드로 진입함을 판단하도록 구성되는 제어 로직 블록을 더 포함하는 메모리 장치.

청구항 3

제2항에 있어서,

상기 적어도 하나의 신호는 상기 제1 행 주소 및 상기 제2 행 주소를 구성하는 신호들 중 적어도 하나를 포함하는 메모리 장치.

청구항 4

제2항에 있어서,

상기 제어 로직 블록은 상기 활성화 명령이 수신되기 전에, 상기 적어도 하나의 신호의 토글이 검출되지 않는 것에 응답하여 상기 제1 모드로 진입함을 판단하도록 더 구성되는 메모리 장치.

청구항 5

제1항에 있어서,

상기 제2 동작 모드에서, 추가적인 활성화 명령 없이 서로 다른 뱅크들의 메모리 셀들을 액세스하도록 구성되는 비트 라인 액세스 블록을 더 포함하는 메모리 장치.

청구항 6

제1항에 있어서,

상기 제2 동작 모드에서, 상기 활성화 명령에 후속하여 쓰기 명령 또는 읽기 명령이 연관된 열 주소와 함께 연속적으로 수신될 때, 상기 선택된 워드 라인을 액세스하기 위한 내부 열 주소를 생성하도록 구성되는 제어 로직 블록을 더 포함하는 메모리 장치.

청구항 7

제6항에 있어서,

상기 제어 로직 블록은 상기 연관된 열 주소와 무관하게 상기 내부 열 주소를 생성하는 메모리 장치.

청구항 8

제6항에 있어서,

상기 제어 로직 블록은 상기 복수의 बैं크들 중 하나의 बैं크의 상기 선택된 워드 라인의 메모리 셀들을 순차적으로 액세스한 후에 다른 बैं크의 상기 선택된 워드 라인의 메모리 셀들을 순차적으로 액세스하도록 상기 내부 열 주소 및 내부 बैं크 주소를 생성하는 메모리 장치.

청구항 9

복수의 बैं크들을 포함하고, 상기 복수의 बैं크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 메모리 장치의 동작 방법에 있어서:

제1 동작 모드에서, 상기 복수의 बैं크들 중 하나의 बैं크를 활성화하고, 그리고 상기 활성화된 बैं크를 액세스하는 단계; 그리고

제2 동작 모드에서, 상기 복수의 बैं크들 중 적어도 두 개의 बैं크들을 하나의 가상 बैं크로 활성화하고, 그리고 상기 활성화된 가상 बैं크를 액세스하는 단계를 포함하는 동작 방법.

청구항 10

복수의 메모리 장치들; 그리고

외부의 호스트 장치로부터 명령 및 주소를 수신하고, 상기 명령 및 상기 주소를 상기 복수의 메모리 장치들에 전달하도록 구성되는 드라이버를 포함하고,

상기 복수의 메모리 장치들의 각각은:

복수의 बैं크들을 포함하고, 상기 복수의 बैं크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 그리고

상기 복수의 बैं크들과 연결되는 행 디코더 블록을 포함하고,

상기 행 디코더 블록은:

제1 동작 모드에서 활성화 명령과 함께 상기 주소로서 제1 행 주소 및 제1 बैं크 주소를 수신하고, 그리고 상기 복수의 बैं크들 중에서 상기 제1 बैं크 주소에 의해 선택된 बैं크에서, 상기 복수의 워드 라인들 중에서 상기 제1 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되고, 그리고

제2 동작 모드에서, 상기 활성화 명령과 함께 상기 주소로서 제2 행 주소 및 제2 बैं크 주소를 수신하고, 그리고 상기 복수의 बैं크들 중 적어도 두 개의 बैं크들의 각각에서, 상기 복수의 워드 라인들 중에서 상기 제2 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되는 메모리 모듈.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 향상된 속도를 갖는 메모리 장치, 메모리 모듈 및 메모리 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 메모리 장치는 데이터를 저장하는데 사용된다. 메모리 장치들 중에서 임의의 저장소에 대한 임의의 접근을 허용하는 장치들은 랜덤 액세스 메모리라 불릴 수 있다. 랜덤 액세스 메모리는 다른 메모리들보다 빠른 동작 속도를 갖는다. 따라서, 컴퓨팅 장치에서, 랜덤 액세스 메모리는 중앙 처리부(CPU)에 의해 직접 액세스되는 주 메모리로 사용된다.

[0003] 컴퓨팅 장치에서, 중앙 처리부와 랜덤 액세스 메모리 사이의 통신 속도가 병목으로 작용하고 있다. 중앙 처리부

와 랜덤 액세스 메모리 사이의 통신 속도는 중앙 처리부의 연산 속도 및 랜덤 액세스 메모리의 동작 속도보다 느리다. 이러한 문제를 해결하기 위해, 중앙 처리부가 수행하는 연산들 중 일부를 랜덤 액세스 메모리에 위임하는 시도가 진행되고 있다.

[0004] 랜덤 액세스 메모리가 일부 연산들을 수행하는 것은 PIM(Processor In Memory) 또는 FIM(Function In Memory)이라 불린다. 랜덤 액세스 메모리가 일부 연산들을 수행함으로써, 중앙 처리부와 랜덤 액세스 메모리 사이의 통신이 감소하고, 병목이 해소될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 내장된 연산 기능들을 지원하는 동작 모드를 구비한 메모리 장치, 메모리 모듈 및 메모리 장치의 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 메모리 장치는 복수의 बैं크들을 포함하고, 복수의 बैं크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 그리고 복수의 बैं크들과 연결되는 행 디코더 블록을 포함한다. 행 디코더 블록은 제1 동작 모드에서 활성화 명령과 함께 제1 행 주소 및 제1 बैं크 주소를 수신하고, 그리고 복수의 बैं크들 중에서 제1 बैं크 주소에 의해 선택된 बैं크에서, 복수의 워드 라인들 중에서 제1 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되고, 그리고 제2 동작 모드에서, 활성화 명령과 함께 제2 행 주소 및 제2 बैं크 주소를 수신하고, 그리고 복수의 बैं크들 중 적어도 두 개의 बैं크들의 각각에서, 복수의 워드 라인들 중에서 제2 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성된다.

[0007] 복수의 बैं크들을 포함하고, 복수의 बैं크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은, 제1 동작 모드에서, 복수의 बैं크들 중 하나의 बैं크를 활성화하고, 그리고 활성화된 बैं크를 액세스하는 단계, 그리고 제2 동작 모드에서, 복수의 बैं크들 중 적어도 두 개의 बैं크들을 하나의 가상 बैं크로 활성화하고, 그리고 활성화된 가상 बैं크를 액세스하는 단계를 포함한다.

[0008] 본 발명의 실시 예에 따른 메모리 모듈은: 복수의 메모리 장치들, 그리고 외부의 호스트 장치로부터 명령 및 주소를 수신하고, 명령 및 주소를 복수의 메모리 장치들에 전달하도록 구성되는 드라이버를 포함한다. 복수의 메모리 장치들의 각각은 복수의 बैं크들을 포함하고, 복수의 बैं크들 각각은 복수의 워드 라인들에 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 그리고 복수의 बैं크들과 연결되는 행 디코더 블록을 포함한다. 행 디코더 블록은 제1 동작 모드에서 활성화 명령과 함께 주소로서 제1 행 주소 및 제1 बैं크 주소를 수신하고, 그리고 복수의 बैं크들 중에서 제1 बैं크 주소에 의해 선택된 बैं크에서, 복수의 워드 라인들 중에서 제1 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성되고, 그리고 제2 동작 모드에서, 활성화 명령과 함께 주소로서 제2 행 주소 및 제2 बैं크 주소를 수신하고, 그리고 복수의 बैं크들 중 적어도 두 개의 बैं크들의 각각에서, 복수의 워드 라인들 중에서 제2 행 주소에 의해 선택된 워드 라인을 활성화하도록 구성된다.

발명의 효과

[0009] 본 발명에 따르면, 둘 이상의 बैं크들의 워드 라인들이 동시에 활성화되는 동작 모드가 지원된다. 따라서, 내장된 연산들을 수행하는 속도가 향상된 메모리 장치, 메모리 모듈 및 메모리 장치의 동작 방법이 제공된다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시 예에 따른 메모리 장치를 보여준다.
- 도 2는 메모리 장치의 동작 방법의 예를 보여준다.
- 도 3은 제1 동작 모드에 의해 선택된 बैं크의 워드 라인이 활성화된 예를 보여준다.
- 도 4는 제2 동작 모드에 의해 선택된 बैं크의 워드 라인이 활성화된 예를 보여준다.
- 도 5는 제2 동작 모드에서 बैं크들을 액세스하는 예를 보여준다.
- 도 6은 제2 동작 모드에서 बैं크들을 액세스하는 예를 보여준다.

도 7은 메모리 장치가 제2 동작 모드에서 내부 어드레스를 생성하는 예를 보여준다.

도 8은 제1 규칙에 따라 내부 주소들이 생성되는 예를 보여준다.

도 9는 제2 규칙에 따라 내부 주소들이 생성되는 예를 보여준다.

도 10은 제3 규칙에 따라 내부 주소들이 생성되는 예를 보여준다.

도 11은 제2 동작 모드에서 일부 페이지들의 액세스가 금지되는 예를 보여준다.

도 12는 가상 뱅크에 포함되는 뱅크들의 수가 가변되는 예를 보여준다.

도 13은 본 발명의 실시 예에 따른 메모리 모듈을 보여준다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0012] 도 1은 본 발명의 실시 예에 따른 메모리 장치(100)를 보여준다. 메모리 장치(100)는 동적 랜덤 액세스 메모리(DRAM)일 수 있지만, 한정되지 않는다. 메모리 장치(100)는 정적 랜덤 액세스 메모리(SRAM), 자기 랜덤 액세스 메모리(MRAM), 상 변화 랜덤 액세스 메모리(PRAM), 강유전체 랜덤 액세스 메모리(FRAM), 저항성 랜덤 액세스 메모리(RRAM) 등과 같은 다양한 랜덤 액세스 메모리들 중 하나일 수 있다.
- [0013] 도 1을 참조하면, 메모리 장치(100)는 제1 뱅크 그룹(110), 제2 뱅크 그룹(120), 제1 디코더 블록(130), 제2 디코더 블록(140), 제1 액세스 블록(150), 제2 액세스 블록(160), 게이팅 블록(170), 버퍼 블록(180), FIM 로직 블록(190)(FIM, Function In Memory), 그리고 제어 로직 블록(195)을 포함할 수 있다.
- [0014] 제1 뱅크 그룹(110) 및 제2 뱅크 그룹(120)의 각각은 둘 이상의 뱅크들을 포함할 수 있다. 제1 뱅크 그룹(110)은 제1 뱅크(BANK1) 및 제2 뱅크(BANK2)를 포함할 수 있고, 제2 뱅크 그룹(120)은 제3 뱅크(BANK3) 및 제4 뱅크(BANK4)를 포함할 수 있다.
- [0015] 제1 내지 제4 뱅크들(BANK1~BANK4)의 각각은 복수의 워드 라인들(WL)에 연결된 복수의 메모리 셀들을 포함할 수 있다. 각 워드 라인(WL)은 복수의 메모리 셀들에 연결될 수 있다. 하나의 워드 라인(WL)에 연결된 메모리 셀들은 둘 이상의 페이지들에 대응할 수 있다.
- [0016] 페이지는 외부의 호스트 장치(예를 들어, 중앙 처리부(CPU))가 메모리 장치(100)를 액세스하는 단위일 수 있다. 페이지는 복수의 메모리 셀들에 대응할 수 있다. 페이지의 사이즈는 메모리 장치(100)의 데이터의 입력 및 출력의 단위의 사이즈와 다를 수 있다.
- [0017] 외부의 호스트 장치는 페이지의 단위로 메모리 장치(100)에 쓰기 또는 읽기를 요청할 수 있다. 외부의 호스트 장치의 요청에 따라, 메모리 장치(100)에서 페이지의 단위의 메모리 셀들에 대한 쓰기 또는 읽기가 연속적으로 수행될 수 있다.
- [0018] 제1 디코더 블록(130)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. 디코더 블록(130)은 제1 워드 라인 디코더 블록(131) 및 제2 워드 라인 디코더 블록(132)을 포함할 수 있다. 제1 워드 라인 디코더 블록(131)은 제1 뱅크(BANK1)가 액세스의 대상으로 선택된 때에, 제1 뱅크(BANK1)에 연결된 워드 라인들(WL) 중에서 액세스의 대상으로 선택된 워드 라인을 활성화할 수 있다. 예를 들어, 제1 워드 라인 디코더 블록(131)은 선택된 워드 라인에 선택 전압을 인가할 수 있다.
- [0019] 제2 워드 라인 디코더 블록(132)은 제2 뱅크(BANK2)가 액세스의 대상으로 선택된 때에, 제2 뱅크(BANK2)에 연결된 워드 라인들(WL) 중에서 액세스의 대상으로 선택된 워드 라인을 활성화할 수 있다.
- [0020] 제2 디코더 블록(140)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. 제2 디코더 블록(140)은 제3 워드 라인 디코더 블록(141) 및 제4 워드 라인 디코더 블록(142)을 포함할 수 있다. 제3 워드 라인 디코더 블록(141)은 제3 뱅크(BANK3)가 액세스의 대상으로 선택된 때에, 제3 뱅크(BANK3)에 연결된 워드 라인들(WL) 중에서 액세스의 대상으로 선택된 워드 라인을 활성화할 수 있다.
- [0021] 제4 워드 라인 디코더 블록(142)은 제4 뱅크(BANK4)가 액세스의 대상으로 선택된 때에, 제4 뱅크(BANK4)에 연결된 워드 라인들(WL) 중에서 액세스의 대상으로 선택된 워드 라인을 활성화할 수 있다.

- [0022] 제1 액세스 블록(150)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. 제1 액세스 블록(150)은 제1 비트 라인 액세스 블록(151) 및 제2 비트 라인 액세스 블록(152)을 포함할 수 있다. 제1 비트 라인 액세스 블록(151)은 비트 라인들(BL)을 통해 제1 뱅크(BANK1)에 연결될 수 있다. 제1 비트 라인 액세스 블록(151)은 활성화된 워드 라인에 연결된 메모리 셀들에 데이터를 기입하는 쓰기 드라이버, 그리고 활성화된 워드 라인에 연결된 메모리 셀들로부터 데이터를 읽는 감지 증폭기를 포함할 수 있다.
- [0023] 제2 비트 라인 액세스 블록(152)은 비트 라인들(BL)을 통해 제3 뱅크(BANK3)에 연결될 수 있다. 제2 비트 라인 액세스 블록(152)은 쓰기 드라이버 및 감지 증폭기를 포함할 수 있다.
- [0024] 제2 액세스 블록(160)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. 제2 액세스 블록(160)은 제3 비트 라인 액세스 블록(161) 및 제4 비트 라인 액세스 블록(162)을 포함할 수 있다. 제3 비트 라인 액세스 블록(161)은 비트 라인들(BL)을 통해 제2 뱅크(BANK2)에 연결될 수 있다. 제3 비트 라인 액세스 블록(161)은 쓰기 드라이버 및 감지 증폭기를 포함할 수 있다.
- [0025] 제4 비트 라인 액세스 블록(162)은 비트 라인들(BL)을 통해 제4 뱅크(BANK4)에 연결될 수 있다. 제4 비트 라인 액세스 블록(162)은 쓰기 드라이버 및 감지 증폭기를 포함할 수 있다.
- [0026] 게이팅 블록(170)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. 게이팅 블록(170)은 제1 액세스 블록(150), 제2 액세스 블록(160), 버퍼 블록(180), 그리고 FIM 로직 블록(190) 사이의 연결들을 제어할 수 있다. 예를 들어, 제1 동작 모드에서, 게이팅 블록(170)은 버퍼 블록(180)과 연결되는 제1선들(L1)을 제1 내지 제4 비트 라인 액세스 블록들(151, 152, 161, 162) 중 하나와 연결할 수 있다.
- [0027] 예를 들어, 제1 내지 제4 비트 라인 액세스 블록들(151, 152, 161, 162) 중 하나와 게이팅 블록(170)을 연결하는 선들의 수는 제1선들(L1)의 수보다 많을 수 있다. 게이팅 블록(170)은 제1 내지 제4 비트 라인 액세스 블록들(151, 152, 161, 162) 중 하나와 게이팅 블록(170)을 연결하는 선들 중 일부를 선택하여 제1선들(L1)과 연결할 수 있다.
- [0028] 제2 동작 모드에서, 게이팅 블록(170)은 제1 내지 제4 비트 라인 액세스 블록들(151, 152, 161, 162) 중 적어도 두 개와 제2선들(L2)을 전기적으로 연결할 수 있다. 예를 들어, 제2선들(L2)의 수는 제1선들(L1)의 수보다 많을 수 있다. 따라서, FIM 로직 블록(190)은 메모리 장치(100)가 외부의 장치와 통신하는 대역폭보다 높은 대역폭을 이용할 수 있다.
- [0029] 예시적으로, 제2선들(L2)의 수는 제1 내지 제4 비트 라인 액세스 블록들(151, 152, 161, 162) 중 적어도 하나와 게이팅 블록(170)을 연결하는 선들의 수와 같거나, 그보다 적거나 또는 그보다 많을 수 있다. 제2선들(L2)의 수는 제1 내지 제4 비트 라인 액세스 블록들(151, 152, 161, 162)과 게이팅 블록(170)을 연결하는 선들의 수와 같거나, 그보다 적을 수 있다.
- [0030] 버퍼 블록(180)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. 버퍼 블록(180)은 제1선들(L1)을 통해 게이팅 블록(170)에 연결될 수 있다. 버퍼 블록(180)은 외부의 호스트 장치와 데이터를 교환할 수 있다.
- [0031] FIM 로직 블록(190)은 제어 로직 블록(195)의 제어에 응답하여 동작할 수 있다. FIM 로직 블록(190)은 게이팅 블록(170)으로부터 수신되는 데이터에 대해 연산들을 수행할 수 있다. 예를 들어, 연산들은 덧셈, 곱셈, 뺄셈 등을 포함할 수 있다. FIM 로직 블록(190)은 연산의 결과를 게이팅 블록(170)을 통해 버퍼 블록(180)으로 전달하거나 또는 버퍼 블록(180)으로 직접 전달할 수 있다.
- [0032] 제어 로직 블록(195)은 메모리 장치(100)의 구성 요소들의 동작들을 제어할 수 있다. 제어 로직 블록(195)은 외부의 호스트 장치로부터 명령(CMD), 주소(ADDR) 및 제어 신호들(CS)을 수신할 수 있다. 제어 로직 블록(195)은 주소(ADDR)가 가리키는 메모리 셀들에 대해 명령(CMD)이 요청한 동작을 수행하도록 메모리 장치(100)의 구성 요소들을 제어할 수 있다.
- [0033] 제어 로직 블록(195)은 활성화 모드 제어 블록(196)을 포함할 수 있다. 활성화 모드 제어 블록(196)은 제1 디코더 블록(130) 및 제2 디코더 블록(140)이 제1 내지 제4 뱅크들(BANK1~BANK4)의 행들(예를 들어, 워드 라인들(WL))을 활성화하는 방식을 조절할 수 있다.
- [0034] 제1 동작 모드에서, 메모리 장치(100)는 제1 내지 제4 뱅크들(BANK1~BANK4) 중 주소(ADDR)(예를 들어, 뱅크 주소)에 의해 선택된 뱅크에서, 워드 라인들(WL) 중 주소(ADDR)(예를 들어, 행 주소)에 의해 선택된 워드 라인(WL)을 활성화할 수 있다.

- [0035] FIM 로직 블록(190)은 외부의 호스트 장치의 요청에 따라 다양한 연산들을 수행할 수 있다. 연산들에 사용되는 데이터는 외부의 호스트 장치에 의해 제1 내지 제4 뱅크들(BANK1~BANK4)에 저장될 수 있다. 외부의 호스트 장치의 연산 요청에 따라, 메모리 장치(100)는 제1 내지 제4 뱅크들(BANK1~BANK4)로부터 데이터를 읽고, FIM 로직 블록(190)은 읽혀진 데이터를 이용하여 연산들을 수행할 수 있다.
- [0036] 연산에 사용되는 데이터의 사이즈는 일반적으로 하나의 뱅크의 하나의 워드 라인에 연결된 메모리 셀들의 저장 용량보다 크다. 즉, 호스트 장치의 연산 요청에 응답하여 연산을 위한 데이터를 연속적으로 읽을 때, 적어도 두 번의 행들의 활성화들이 수행되어야 한다. 이는 FIM 로직 블록(190)의 동작 속도를 저해할 수 있다.
- [0037] 활성화 모드 제어 블록(196)은 FIM 로직 블록(190)의 연산을 가속하는 제2 동작 모드를 지원할 수 있다. 외부의 호스트 장치의 요청에 따라, 활성화 모드 제어 블록은 제1 동작 모드 및 제2 동작 모드의 사이를 천이할 수 있다. 따라서, 메모리 장치(100)는 통상의 액세스 및 연산 동작에 최적화된 서로 다른 동작 모드들을 지원할 수 있다.
- [0038] 도 2는 메모리 장치(100)의 동작 방법의 예를 보여준다. 도 1 및 도 2를 참조하면, S110 단계에서, 메모리 장치(100)는 제1 동작 모드로 진입할 수 있다. S120 단계에서, 제어 로직 블록(195)은 활성화 명령을 수신할 수 있다. S130 단계에서, 활성화 명령에 응답하여, 메모리 장치(100)는 선택된 뱅크의 워드 라인을 활성화할 수 있다. S110 단계 내지 S130 단계는 제1 동작 모드 또는 정상 뱅크 모드일 수 있다.
- [0039] 제1 동작 모드에 의해 선택된 뱅크의 워드 라인이 활성화된 예가 도 3에 도시된다. 도 1, 도 2 및 도 3을 참조하면, 예시적으로, 제1 뱅크(BANK1)의 세 번째 행(또는 워드 라인(WL))이 활성화된 것으로 표시(점으로 채워짐)된다. 도 3에 도시된 사각형들의 각각은 동일한 워드 라인에 연결된 복수의 메모리 셀들을 포함하며, 하나의 페이지에 대응할 수 있다.
- [0040] 다시 도 1 및 도 2를 참조하면, S140 단계에서, 메모리 장치(100)는 제2 동작 모드로 진입할 수 있다. S150 단계에서, 제어 로직 블록(195)은 활성화 명령을 수신할 수 있다. S160 단계에서, 활성화 명령에 응답하여, 메모리 장치(100)는 적어도 두 개의 뱅크들의 워드 라인들을 활성화할 수 있다. S140 단계 내지 S160 단계는 제2 동작 모드 또는 가상 뱅크 모드일 수 있다.
- [0041] 제2 동작 모드에 의해 선택된 뱅크의 워드 라인이 활성화된 예가 도 4에 도시된다. 도 1, 도 2 및 도 4를 참조하면, 예시적으로, 제1 내지 제4 뱅크들(BANK1~BANK4)의 세 번째 행들(또는 워드 라인들(WL))이 활성화된 것으로 표시(점으로 채워짐)된다. 도 4에 도시된 사각형들의 각각은 동일한 워드 라인에 연결된 복수의 메모리 셀들을 포함하며, 하나의 페이지에 대응할 수 있다.
- [0042] 제2 동작 모드에서, 둘 이상의 뱅크들의 워드 라인들이 함께 활성화되므로, 둘 이상의 뱅크들이 하나의 가상 뱅크를 형성하는 것으로 해석될 수도 있다. 따라서, 제2 동작 모드는 가상 뱅크 모드라 불릴 수 있다.
- [0043] 도 5는 제1 동작 모드에서 뱅크들을 액세스하는 예를 보여준다. 도 1, 도 2, 도 3 및 도 5를 참조하면, 명령(CMD), 주소(ADDR) 및 데이터(Data)가 도시된다. 주소(ADDR)는 뱅크 그룹 주소(BG), 뱅크 주소(BA), 그리고 잔여 주소(RMA)를 포함할 수 있다.
- [0044] 메모리 장치(100)는 첫 번째 활성화 명령(ACT)과 함께 제1 뱅크 그룹 주소(BG1), 제1 뱅크 주소(BA1), 그리고 행 주소(RA)를 수신할 수 있다. 메모리 장치(100)는 제1 뱅크 그룹 주소(BG1) 및 제1 뱅크 주소(BA1)에 의해 선택된 뱅크에서, 행 주소(RA)에 의해 선택된 워드 라인(WL)을 활성화할 수 있다. 이후에, 동일한 뱅크의 동일한 행에 대한 액세스들은 별도의 활성화 없이 수행될 수 있다.
- [0045] 예를 들어, 메모리 장치(100)는 읽기 명령(READ), 제1 뱅크 그룹 주소(BG1), 제1 뱅크 주소(BA1) 및 열 주소(CA)를 수신할 수 있다. 메모리 장치(100)는 활성화된 행의 메모리 셀들 중에서 열 주소(CA)에 의해 선택된 메모리 셀들에 대해 읽기를 수행할 수 있다. 메모리 장치(100)는 읽혀진 데이터(Data)를 외부의 호스트 장치로 출력할 수 있다.
- [0046] 두 번째의 활성화 명령(ACT)은 제1 뱅크 그룹 주소(BG1), 제2 뱅크 주소(BA2) 및 행 주소(RA)와 함께 수신될 수 있다. 메모리 장치(100)는 제1 뱅크 그룹 주소(BG1) 및 제2 뱅크 주소(BA2)에 의해 선택된 뱅크에서, 행 주소(RA)에 의해 선택된 워드 라인을 활성화할 수 있다.
- [0047] 이후에, 메모리 장치(100)는 읽기 명령(READ), 제1 뱅크 그룹 주소(BG1), 제2 뱅크 주소(BA2) 및 열 주소(CA)를 수신할 수 있다. 메모리 장치(100)는 활성화된 행의 메모리 셀들 중에서 열 주소(CA)에 의해 선택된 메모리 셀들에 대해 읽기를 수행할 수 있다. 메모리 장치(100)는 읽혀진 데이터(Data)를 외부의 호스트 장치로 출력할 수

있다.

- [0048] 도 6은 제2 동작 모드에서 뱅크들을 액세스하는 예를 보여준다. 도 1, 도 2, 도 3 및 도 6을 참조하면, 명령 (CMD), 주소(ADDR) 및 데이터(Data)가 도시된다. 주소(ADDR)는 뱅크 그룹 주소(BG), 뱅크 주소(BA), 그리고 잔여 주소(RMA)를 포함할 수 있다.
- [0049] 메모리 장치(100)는 첫 번째 활성화 명령(ACT)과 함께 제1 뱅크 그룹 주소(BG1), 제1 뱅크 주소(BA1), 그리고 행 주소(RA)를 수신할 수 있다. 네 개의 뱅크들이 하나의 가상 뱅크를 형성하므로, 메모리 장치(100)는 제1 내지 제4 뱅크들(BANK1~BANK4)에서 행 주소(RA)에 의해 선택된 워드 라인들(WL)을 활성화할 수 있다. 이후에, 제1 내지 제4 뱅크들(BANK1~BANK4)의 동일한 행들에 대한 액세스들은 별도의 활성화 없이 수행될 수 있다.
- [0050] 예를 들어, 메모리 장치(100)는 읽기 명령(READ), 제1 뱅크 그룹 주소(BG1), 제1 뱅크 주소(BA1) 및 열 주소(CA)를 수신할 수 있다. 메모리 장치(100)는 활성화된 행의 메모리 셀들 중에서 열 주소(CA)에 의해 선택된 메모리 셀들에 대해 읽기를 수행할 수 있다. 메모리 장치(100)는 읽혀진 데이터(Data)를 FIM 로직 블록(190)으로 전달할 수 있다.
- [0051] 이후에, 메모리 장치(100)는 읽기 명령(READ), 제1 뱅크 그룹 주소(BG1), 제2 뱅크 주소(BA2) 및 열 주소(CA)를 수신할 수 있다. 메모리 장치(100)는 활성화된 행의 메모리 셀들 중에서 열 주소(CA)에 의해 선택된 메모리 셀들에 대해 읽기를 수행할 수 있다. 메모리 장치(100)는 읽혀진 데이터(Data)를 FIM 로직 블록(190)으로 전달할 수 있다.
- [0052] 서로 다른 뱅크들을 액세스할 때에 활성화 명령(ACT)이 사용되지 않으므로, FIM 로직 블록(190)이 연산 속도가 향상될 수 있다. 외부의 호스트 장치는 FIM 로직 블록(190)을 이용하여 연산할 데이터를 가상 뱅크를 형성하는 뱅크들의 동일한 주소의 행들에 저장함으로써, FIM 로직 블록(190)의 연산을 가속할 수 있다.
- [0053] 예시적으로, 데이터를 FIM 로직 블록(190)으로 전달하는 것을 유발하는 읽기 명령(READ) 또는 주소(ADDR)는 외부의 호스트 장치로 데이터를 전달하는 것을 유발하는 읽기 명령(READ) 또는 주소(ADDR)와 다를 수 있다. 메모리 장치(100)는 읽기 명령(READ) 및 주소(ADDR)에 기반하여, 데이터를 FIM 로직 블록(190)으로 전달할지 또는 외부의 호스트 장치로 출력할지 판단할 수 있다.
- [0054] 예시적으로, 제2 동작 모드에서, 메모리 장치(100)는 뱅크 그룹 주소(BG), 뱅크 주소(BA) 및 열 주소(CA)에 기반하여 읽기 또는 쓰기를 수행할 수 있다. 뱅크 그룹 주소(BG) 및 뱅크 주소(BA)는 가상 뱅크의 활성화된 행에서 메모리 셀들의 위치들을 식별하기 위한 확장 열 주소로 사용되는 것으로 해석될 수 있다.
- [0055] 예시적으로, 해머링(hammering) 등과 같은 스트레스가 집중되는 것을 방지하기 위해, 제1 내지 제4 뱅크들(BANK1~BANK4)에서 동일한 행 주소에 의해 활성화되는 행들의 위치들이 달라질 수 있다. 본 발명의 기술적 사상은 제2 동작 모드에서 적어도 두 개의 뱅크들의 동일한 위치의 행들이 활성화되는 것으로 한정되지 않는다. 본 발명의 기술적 사상은 제2 동작 모드에서 적어도 두 개의 뱅크들에서 동일한 행 주소에 대응하는 행들이 활성화되는 것으로 해석되어야 한다.
- [0056] 예시적으로, 제1 동작 모드 및 제2 동작 모드는 활성화 명령(ACT) 이전에 정해진 신호의 토글이 존재하는지에 따라 판단될 수 있다. 활성화 명령(ACT) 이전에 정해진 신호가 토글하지 않으면, 해당 활성화 명령(ACT) 및 후속하는 액세스 명령들은 제1 동작 모드에 속한 것으로 판단될 수 있다. 활성화 명령 이전에 정해진 신호가 토글하면, 해당 활성화 명령(ACT) 및 후속하는 액세스 명령들은 제2 동작 모드에 속한 것으로 판단될 수 있다.
- [0057] 정해진 신호가 정해진 패턴에 따라 적어도 한 번 토글할 때, 정해진 신호의 토글이 판단될 수 있다. 정해진 신호는 주소(ADDR)를 형성하는 신호들 중 적어도 하나일 수 있다. 정해진 신호는 주소(ADDR) 중에서 활성화 명령(ACT)과 연관된 신호들 중 적어도 하나일 수 있다. 정해진 신호는 뱅크 그룹 주소(BG), 뱅크 주소(BA) 및 행 주소(RA)의 신호들 중 적어도 하나를 포함할 수 있다.
- [0058] 예시적으로, 읽기 명령을 통해 데이터가 FIM 로직 블록(190)으로 전달되는 예가 설명되었다. 그러나 쓰기 명령을 통해 데이터를 제1 내지 제4 뱅크들(BANK1~BANK4)에 기입할 때에도 가상 뱅크에 기반할 수 있다.
- [0059] 예를 들어, 외부의 호스트 장치가 FIM 로직 블록(190)의 연산에 사용될 데이터를 기입할 때, 가상 뱅크가 사용될 수 있다. 활성화 모드 제어 블록(196)은 제3 동작 모드를 더 지원할 수 있다. 제3 동작 모드에서, 적어도 두 개의 뱅크들이 가상 뱅크를 형성하고, 게이팅 블록(170)은 버퍼 블록(180)에 연결된 제1선들(L1)을 제1 내지 제4 뱅크들(BANK1~BANK4)과 연결된 선들에 연결할 수 있다.

- [0060] 외부의 호스트 장치는 첫 번째의 활성화 명령(ACT)을 제외하면 별도의 활성화 명령 없이 적어도 두 개의 뱅크들을 포함하는 가상 뱅크의 행에 데이터를 기입할 수 있다. 따라서, 데이터 기입 속도가 향상될 수 있다.
- [0061] 도 7은 메모리 장치(100)가 제2 동작 모드에서 내부 어드레스를 생성하는 예를 보여준다. 도 1 및 도 7을 참조하면, S210 단계에서, 메모리 장치(100)는 명령들 및 주소들을 수신할 수 있다. 명령들은 읽기 명령들 또는 쓰기 명령들일 수 있다. 제2 동작 모드에서, 읽기 명령 및 쓰기 명령 중 하나의 종류만 허용되고, 읽기 명령 및 쓰기 명령의 조합은 허용되지 않을 수 있다.
- [0062] S220 단계에서, 메모리 장치(100)는 내부 주소들을 생성하여 페이지들을 액세스할 수 있다. 예를 들어, 메모리 장치(100)는 S210 단계에서 수신된 주소들과 무관하게, 정해진 규칙에 따라 내부 주소들을 생성할 수 있다.
- [0063] 도 8은 제1 규칙에 따라 내부 주소들이 생성되는 예를 보여준다. 도 1 및 도 8을 참조하면, 제1 뱅크(BANK1)가 선택되고, 그리고 제1 뱅크(BANK1)의 페이지들이 순차적으로 액세스될 수 있다(1~8). 이후에, 제2 뱅크(BANK2)가 선택되고, 그리고 제2 뱅크(BANK2)의 페이지들이 순차적으로 액세스될 수 있다(9~16).
- [0064] 이후에, 제3 뱅크(BANK3)가 선택되고, 그리고 제3 뱅크(BANK3)의 페이지들이 순차적으로 액세스될 수 있다(17~24). 이후에, 제4 뱅크(BANK4)가 선택되고, 그리고 제4 뱅크(BANK4)의 페이지들이 순차적으로 액세스될 수 있다(25~32). 즉, 메모리 장치(100)는 제1 내지 제4 뱅크(BANK1~BANK4)의 페이지들을 순차적으로 스캔하는 방식으로 내부 주소들을 생성할 수 있다.
- [0065] 도 9는 제2 규칙에 따라 내부 주소들이 생성되는 예를 보여준다. 도 1 및 도 9를 참조하면, 제1 및 제3 뱅크들(BANK1, BANK3)이 선택되고, 그리고 제1 및 제3 뱅크들(BANK1, BANK3)의 페이지들이 교대로 순차적으로 액세스될 수 있다(1~16). 이후에, 제2 및 제4 뱅크들(BANK2, BANK2)이 선택되고, 그리고 제2 및 제4 뱅크들(BANK2, BANK4)의 페이지들이 교대로 순차적으로 액세스될 수 있다(17~32).
- [0066] 즉, 메모리 장치(100)는 서로 다른 뱅크 그룹들에 속한 페이지들을 교대로 액세스하도록 내부 주소들을 생성할 수 있다. 서로 다른 뱅크 그룹들을 교대로 액세스할 때의 속도는 동일한 뱅크 그룹을 액세스할 때의 속도보다 빠르다. 따라서, 메모리 장치(100)의 제2 동작 모드의 속도가 더 가속될 수 있다.
- [0067] 도 10은 제2 규칙에 따라 내부 주소들이 생성되는 예를 보여준다. 도 1 및 도 10을 참조하면, S310 단계에서, 메모리 장치(100)는 열 주소(CA) 및 뱅크 주소(BA)를 수신할 수 있다. 외부의 호스트 장치는 제2 동작 모드에서 가상 뱅크에 하나의 뱅크 주소를 할당할 수 있다. 따라서, 외부의 호스트 장치로부터 수신되는 뱅크 주소는 고정(예를 들어, 'BA1')될 수 있다.
- [0068] S320 단계에서, 메모리 장치(100)는 열 주소(CA) 및 뱅크 주소(BA)의 페이지가 이미 액세스 되었는지 판단할 수 있다. 해당 페이지가 액세스 되지 않았으면, S330 단계에서, 메모리 장치(100)는 열 주소(CA) 및 뱅크 주소(BA)의 페이지를 액세스할 수 있다.
- [0069] 해당 페이지가 액세스 되지 않았으면, S340 단계에서, 메모리 장치(100)는 열 주소(CA) 및 아직 액세스 되지 않은 실제 뱅크 주소(BA)(가상 뱅크의 뱅크 주소가 아닌)의 페이지를 액세스할 수 있다.
- [0070] 예를 들어, 메모리 장치(100)는 카운터를 구비할 수 있다. 외부의 호스트 장치로부터 특정한 열 주소(CA) 및 특정한 뱅크 주소(BA)(예를 들어, 가상 뱅크의 뱅크 주소)의 액세스가 요청될 때, 메모리 장치(100)는 카운트를 높일 수 있다. 메모리 장치(100)는 카운트를 실제의 뱅크 주소로 사용할 수 있다.
- [0071] 도 11은 제2 동작 모드에서, 일부 페이지들의 액세스가 금지되는 예를 보여준다. 도 1 및 도 11을 참조하면, 제1 내지 제4 뱅크들(BANK1~BANK4)의 세 번째 행들이 활성화될 수 있다. 활성화된 행들에서, 절반의 페이지들의 액세스가 허용되고, 절반의 페이지들의 액세스가 금지될 수 있다.
- [0072] 예를 들어, 메모리 장치(100)는 절반의 페이지들에 대해서만 내부 주소들을 생성할 수 있다. 제2 동작 모드에서 액세스가 금지되는 페이지들의 수 또는 비율은 외부의 호스트 장치에 의해 정해질 수 있다.
- [0073] 도 12는 가상 뱅크에 포함되는 뱅크들의 수가 가변되는 예를 보여준다. 도 1 및 도 12를 참조하면, 메모리 장치(100)는 제1 내지 제4 뱅크들(BANK1~BANK4) 중에서 세 개의 제1 내지 제3 뱅크들(BANK1~BANK3)의 행들을 활성화할 수 있다. 가상 뱅크에 포함되는 뱅크들의 수는 외부의 호스트 장치에 의해 정해질 수 있다.
- [0074] 외부의 호스트 장치는 FIM 로직 블록(190)에 의해 연산될 데이터가 저장된 뱅크들에 기반하여, 가상 뱅크에 포함될 뱅크들의 수를 조절할 수 있다. 제4 뱅크(BANK4)가 활성화되지 않음으로써, 메모리 장치(100)의 전력 소비가 절감될 수 있다. 예시적으로, 메모리 장치(100)는 활성화 명령(ACT)의 이전에 수신되는 신호들에 기반하여, 가

상 बैं크에 포함되는 बैं크들의 수를 식별할 수 있다.

- [0075] 도 13은 본 발명의 실시 예에 따른 메모리 모듈(200)을 보여준다. 도 13을 참조하면, 메모리 모듈(200)은 메모리 장치들(210), 버퍼들(220), 클럭 드라이버(230), 그리고 PMIC(240)(Power Management Integrated Circuit)를 포함할 수 있다.
- [0076] 메모리 장치들(210)의 각각은 도 1 내지 도 12를 참조하여 설명된 메모리 장치(100)를 포함할 수 있다. 메모리 장치들(210)의 각각은 하나의 बैं크의 행을 활성화하는 제1 동작 모드, 그리고 둘 이상의 बैं크들로 가상 बैं크를 형성하고, 가상 बैं크의 행을 활성화하는 제2 동작 모드를 지원할 수 있다. 메모리 장치들(210)의 각각은 제2 동작 모드에서 정해진 연산들을 수행하는 FIM 로직 블록들을 포함할 수 있다.
- [0077] 버퍼들(220)은 외부의 호스트 장치와 메모리 장치들(210)의 사이에서 데이터(Data)를 교환할 수 있다. 버퍼들(220)은 클럭 드라이버(230)의 제어에 따라 동작할 수 있다.
- [0078] 클럭 드라이버(230)는 외부의 호스트 장치로부터 명령(CMD), 주소(ADDR) 및 제어 신호들(CS)을 수신할 수 있다. 클럭 드라이버(230)는 명령(CMD), 주소(ADDR) 및 제어 신호들(CS)을 메모리 장치들(210)에 전달할 수 있다.
- [0079] PMIC(240)는 외부의 호스트 장치로부터 제1 전압들(V1)을 수신할 수 있다. PMIC(240)는 제1 전압들(V1)로부터 제2 전압들(V2)을 생성할 수 있다. PMIC(240)는 제2 전압들(V2)을 메모리 장치들(210), 버퍼들(220), 그리고 클럭 드라이버(230)에 공급할 수 있다. 예시적으로, PMIC(240)은 옵션일 수 있으며, 생략될 수 있다.
- [0080] 예시적으로, 메모리 모듈(200)은 LRDIMM(Load Reduced Dual In-line Memory Module)에 기반할 수 있다. 버퍼들(220)이 제거되고 메모리 장치들(210)이 외부의 호스트 장치와 직접 데이터(Data)를 교환하도록 수정될 때, 메모리 모듈(200)은 RDIMM(Registered DIMM)에 기반할 수 있다.
- [0081] 클럭 드라이버(230)가 생략되고, 메모리 장치들(210)이 외부의 호스트 장치로부터 명령(CMD), 주소(ADDR) 및 제어 신호들(CS)을 직접 수신하도록 수정될 때, 메모리 모듈(200)은 UDIMM(Unbuffered DIMM)에 기반할 수 있다.
- [0082] 상술된 실시 예들에서, 제1, 제2, 제3 등의 용어들을 사용하여 본 발명의 기술적 사상에 따른 구성 요소들이 설명되었다. 그러나 제1, 제2, 제3 등과 같은 용어들은 구성 요소들을 서로 구별하기 위해 사용되며, 본 발명을 한정하지 않는다. 예를 들어, 제1, 제2, 제3 등과 같은 용어들은 순서 또는 임의의 형태의 수치적 의미를 내포하지 않는다.
- [0083] 상술된 실시 예들에서, 블록들을 사용하여 본 발명의 실시 예들에 따른 구성 요소들이 참조되었다. 블록들은 IC(Integrated Circuit), ASIC(Application Specific IC), FPGA(Field Programmable Gate Array), CPLD(Complex Programmable Logic Device) 등과 같은 다양한 하드웨어 장치들, 하드웨어 장치들에서 구동되는 펌웨어, 응용과 같은 소프트웨어, 또는 하드웨어 장치와 소프트웨어가 조합된 형태로 구현될 수 있다. 또한, 블록들은 IC 내의 반도체 소자들로 구성되는 회로들 또는 IP(Intellectual Property)로 등록된 회로들을 포함할 수 있다.
- [0084] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

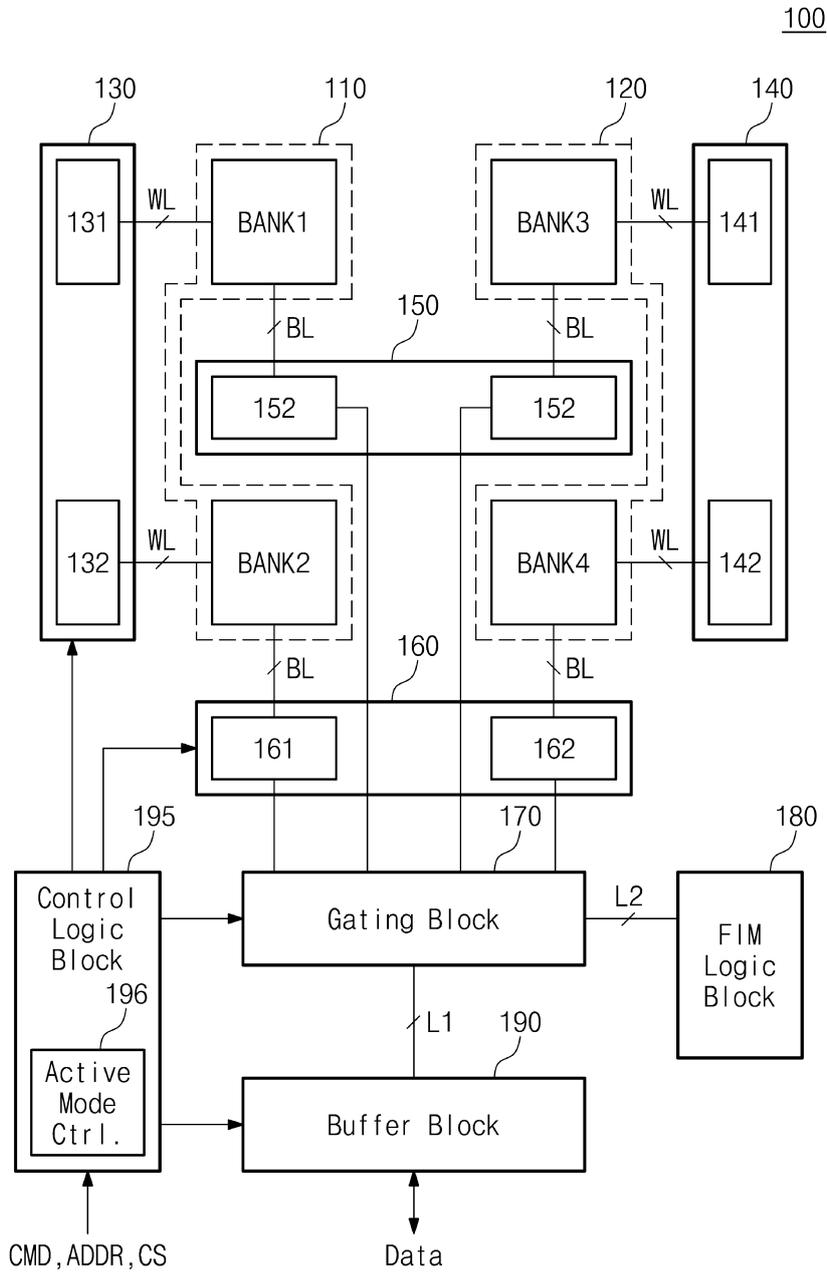
- [0085] 100: 메모리 장치
- 110, 120: बैं크 그룹들
- 130, 140: 디코더 블록들
- 150, 160: 액세스 블록들
- 170: 게이팅 블록
- 180: 버퍼 블록
- 190: FIM 로직 블록

195: 제어 로직 블록

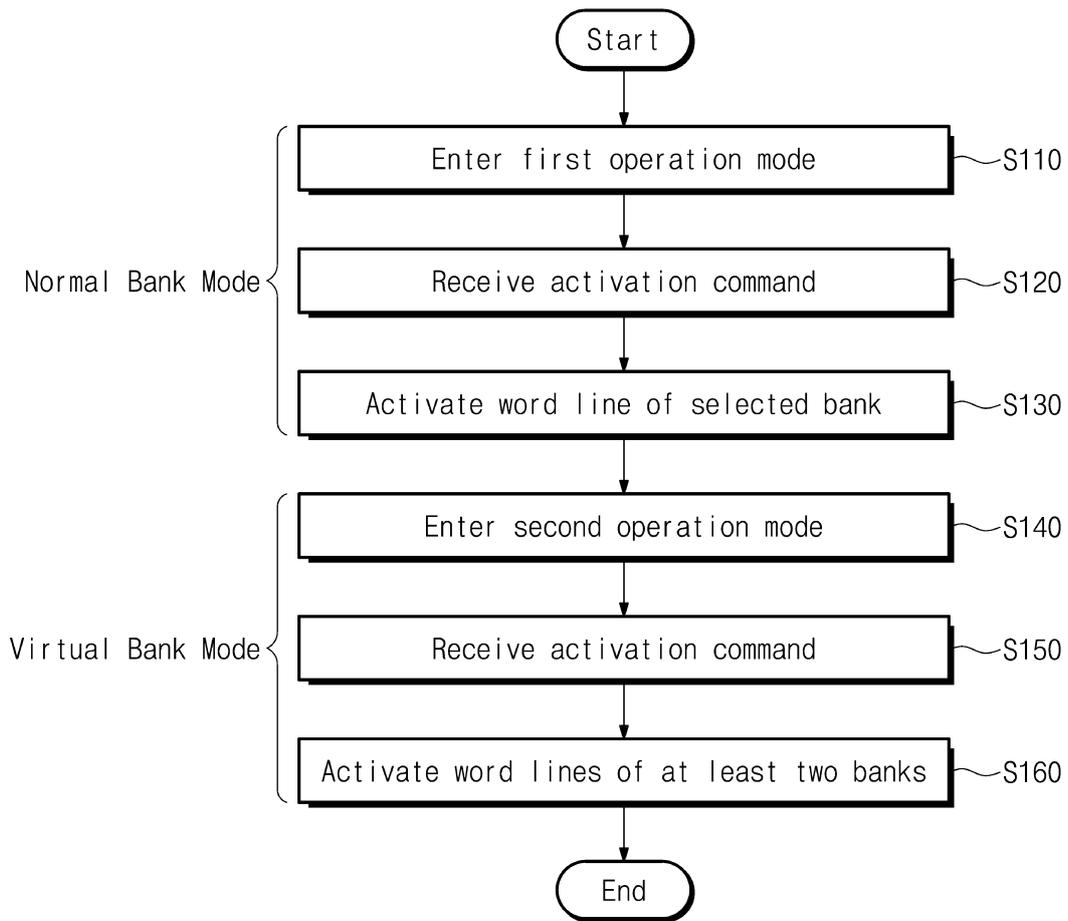
196: 활성 모드 제어 블록

도면

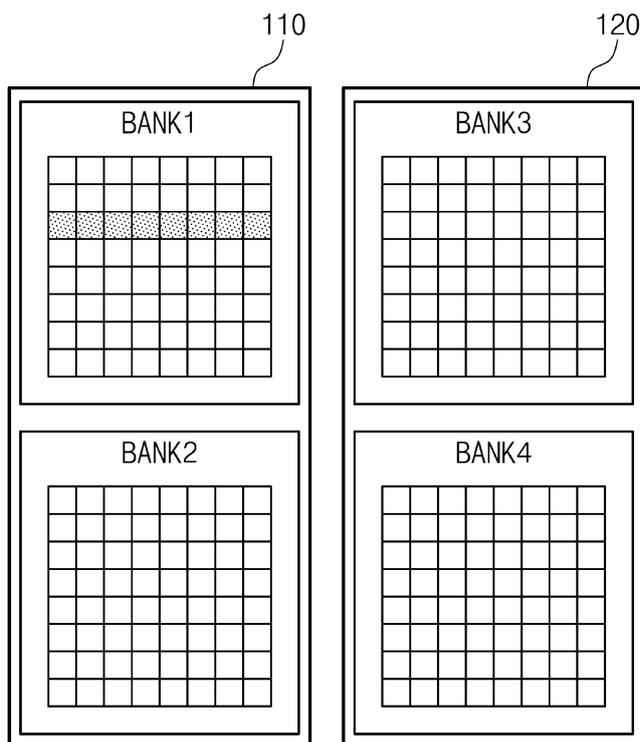
도면1



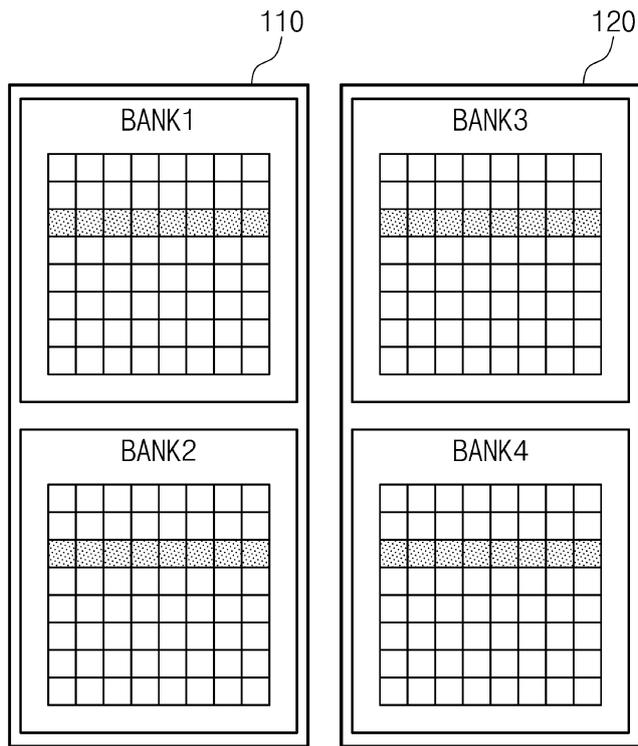
도면2



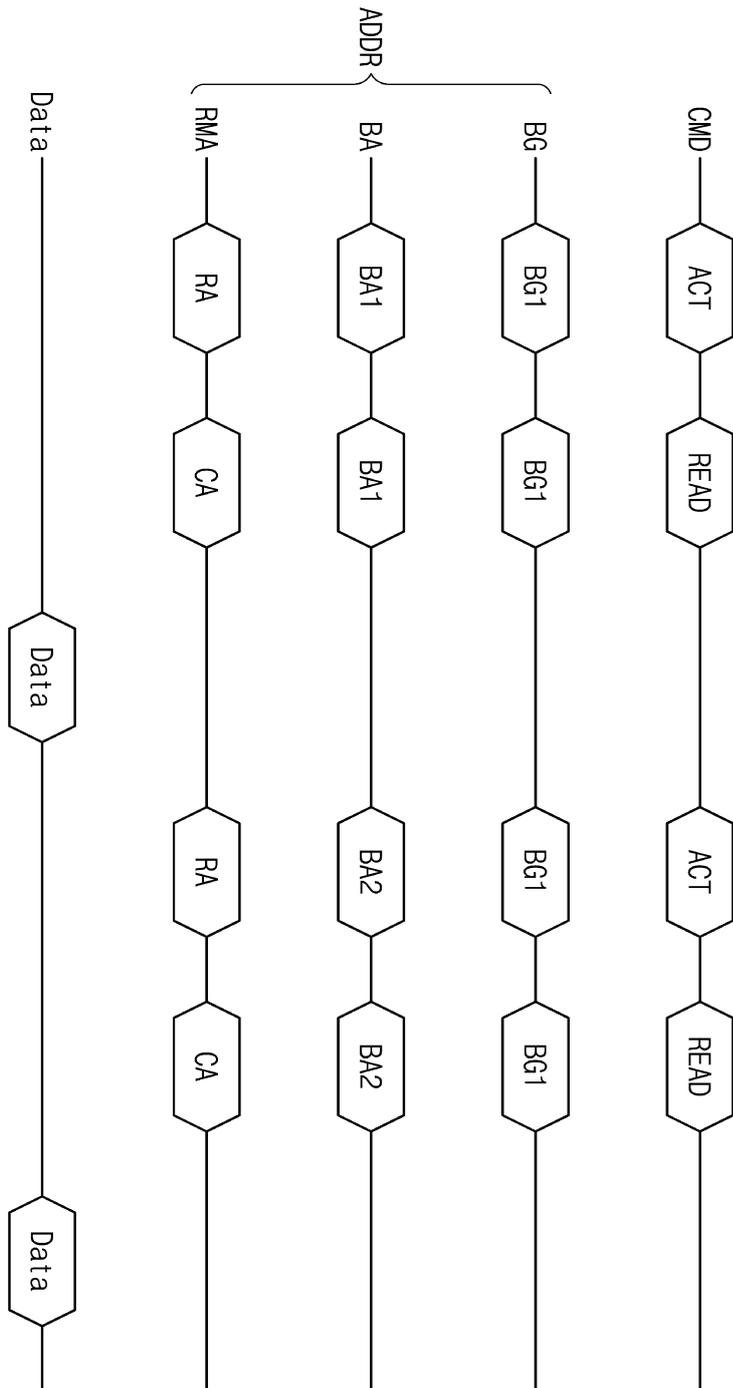
도면3



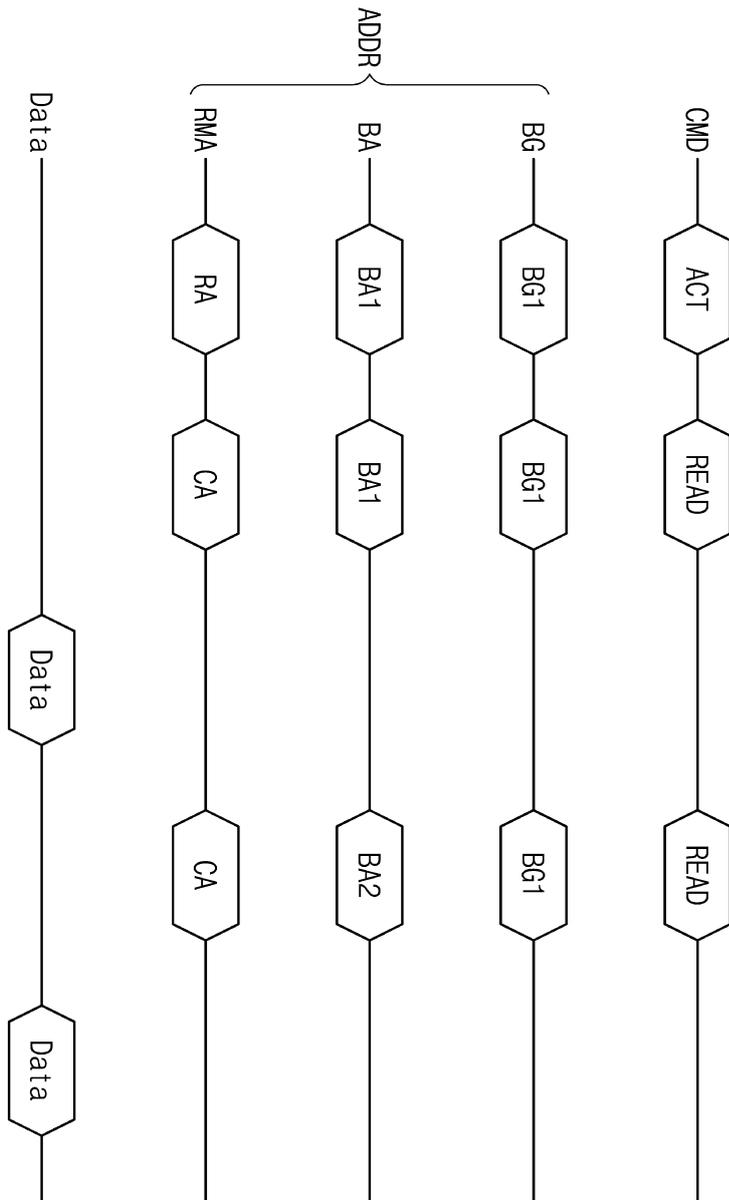
도면4



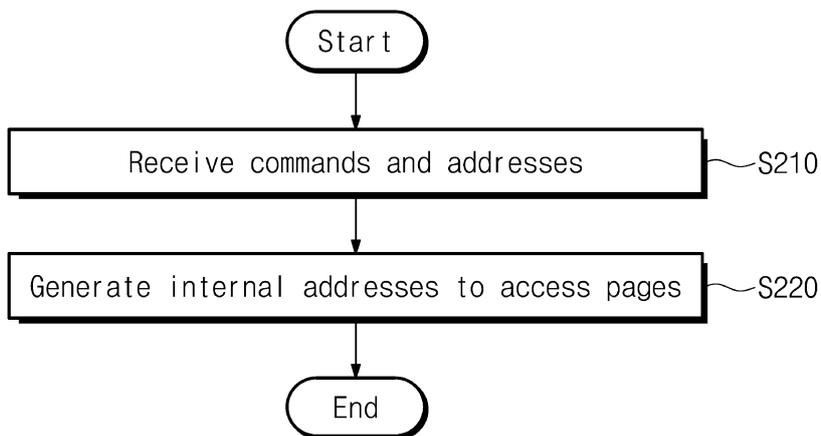
도면5



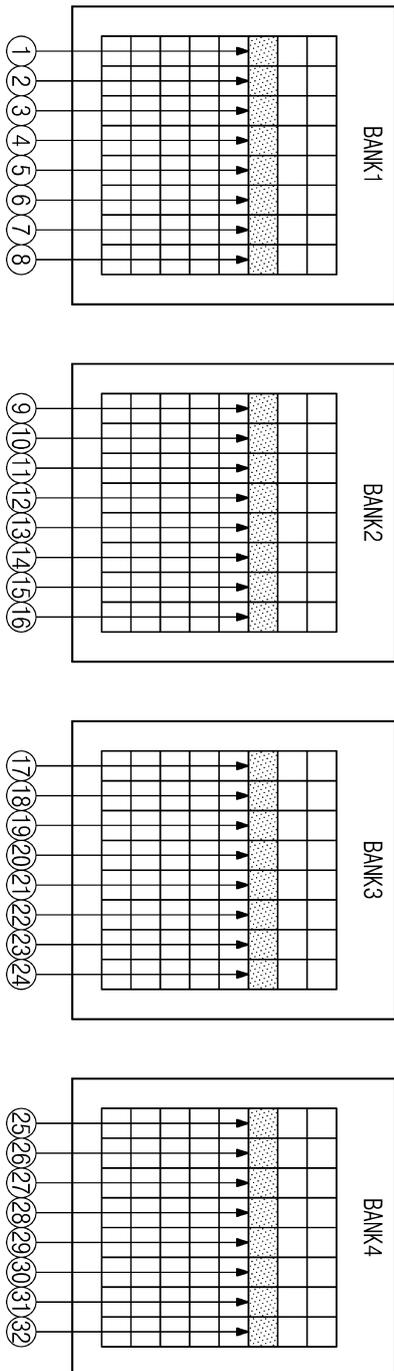
도면6



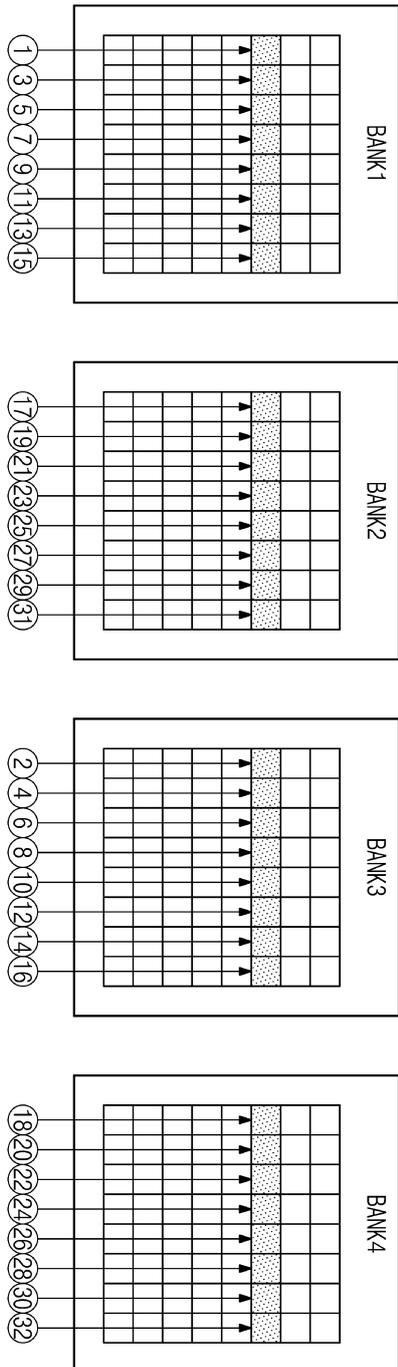
도면7



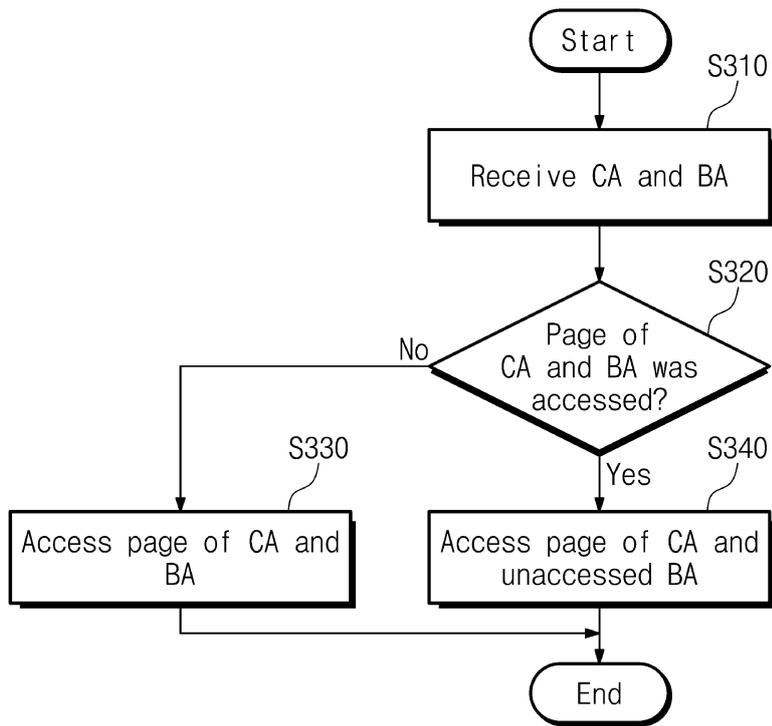
도면8



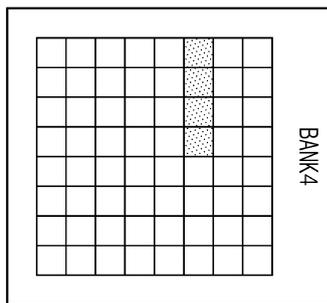
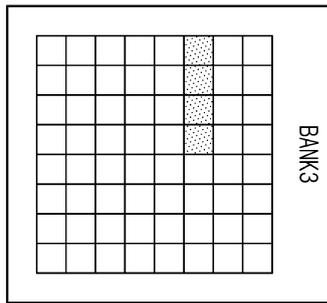
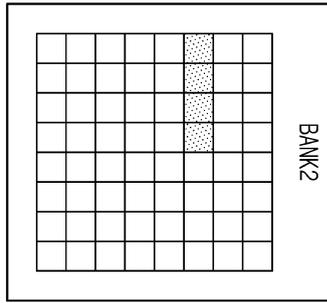
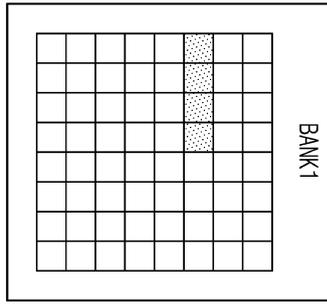
도면9



도면10



도면11



도면12

