

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4547247号
(P4547247)

(45) 発行日 平成22年9月22日(2010.9.22)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int.Cl.		F I		
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	5 O 1 P	
HO 1 L 21/82	(2006.01)	HO 1 L 21/82	F	

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2004-366370 (P2004-366370)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成16年12月17日(2004.12.17)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2006-173476 (P2006-173476A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成18年6月29日(2006.6.29)	(72) 発明者	秋葉 俊彦 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
審査請求日	平成19年12月11日(2007.12.11)	(72) 発明者	佐藤 俊彦 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	内藤 孝洋 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

- (a) 半導体チップの主面上に形成された半導体素子と、
- (b) 前記半導体チップの主面上に形成されたヒューズと、
- (c) 前記半導体素子よりも上層に形成された一層以上の第1配線と、
- (d) 前記第1配線のうち、最上層の配線と同層の配線によって形成された内部接続端子と、
- (e) 前記第1配線および前記ヒューズを覆うように形成され、前記内部接続端子を選択的に露出する第1パッシベーション膜と、
- (f) 前記第1パッシベーション膜上に形成され、前記内部接続端子を選択的に露出する第2パッシベーション膜と、
- (g) 前記ヒューズの真上にある前記第2パッシベーション膜を選択的に除去して形成された溝と、
- (h) 前記第1パッシベーション膜および前記第2パッシベーション膜に形成されたチップング防止溝と、
- (i) 前記溝および前記チップング防止溝を埋め込むように前記第2パッシベーション膜上に形成され、かつ前記内部接続端子を選択的に露出する第3パッシベーション膜と、
- (j) 前記第3パッシベーション膜上に形成され、一端が前記内部接続端子に電気的に接続された第2配線と、
- (k) 前記第2配線を覆うように形成され、前記第2配線の他端部を選択的に露出する

10

20

第4パッシベーション膜と、

(1)前記第2配線の他端部上に形成された外部接続端子とを備えることを特徴とする半導体装置。

【請求項2】

前記チップング防止溝は、前記半導体チップのスクライブ領域とガードリング領域との間に設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記外部接続端子はバンプ電極からなることを特徴とする請求項1記載の半導体装置。

【請求項4】

(a)半導体チップの主面上に形成された半導体素子と、
(b)前記半導体素子よりも上層に形成された一層以上の第1配線と、
(c)前記第1配線のうち、最上層の配線と同層の配線によって形成された内部接続端子と、

10

(d)前記第1配線を覆うように形成され、前記内部接続端子を選択的に露出する第1パッシベーション膜と、

(e)前記第1パッシベーション膜上に形成され、前記内部接続端子を選択的に露出する第2パッシベーション膜と、

(f)前記第1パッシベーション膜および前記第2パッシベーション膜を貫通するように設けられたチップング防止溝と、

(g)前記チップング防止溝を埋め込むように前記第2パッシベーション膜上に形成され、かつ前記内部接続端子を選択的に露出する第3パッシベーション膜と、

20

(h)前記第3パッシベーション膜上に形成され、一端が前記内部接続端子に電氣的に接続された第2配線と、

(i)前記第2配線を覆うように形成され、前記第2配線の他端部を選択的に露出する第4パッシベーション膜と、

(j)前記第2配線の他端部上に形成された外部接続端子とを備えることを特徴とする半導体装置。

【請求項5】

前記チップング防止溝は、前記半導体チップのスクライブ領域とガードリング領域との間に設けられていることを特徴とする請求項4記載の半導体装置。

30

【請求項6】

前記外部接続端子はバンプ電極からなることを特徴とする請求項4記載の半導体装置。

【請求項7】

(a)半導体チップの主面上に形成された半導体素子と、
(b)前記半導体素子よりも上層に形成された一層以上の第1配線と、
(c)前記第1配線のうち、最上層の配線と同層の配線によって形成された内部接続端子と、

(d)前記第1配線を覆うように形成され、前記内部接続端子を選択的に露出するパッシベーション用第1絶縁膜と、

(e)前記パッシベーション用第1絶縁膜の一部を除去して形成されたチップング防止溝と、

40

(f)前記チップング防止溝を覆うように前記パッシベーション用第1絶縁膜上に形成され、かつ前記内部接続端子を選択的に露出するパッシベーション用第2絶縁膜と、

(g)前記パッシベーション用第2絶縁膜上に形成され、一端が前記内部接続端子に電氣的に接続された第2配線と、

(h)前記第2配線を覆うように形成され、前記第2配線の他端部を選択的に露出するパッシベーション用第3絶縁膜とを備えることを特徴とする半導体装置。

【請求項8】

前記チップング防止溝は、前記半導体チップのスクライブ領域とガードリング領域との間に設けられていることを特徴とする請求項7記載の半導体装置。

50

【請求項 9】

前記第 2 配線の前記他端部上に外部接続端子が形成されており、
前記外部接続端子はバンプ電極からなることを特徴とする請求項 7 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、ウェハプロセスを応用してパッケージ工程を完了する CSP (Chip Size Package) 技術に適用して有効な技術に関するものである。

【背景技術】

10

【0002】

特開 2003 - 092353 号公報 (特許文献 1) には、CSP 技術を使用してヒューズを備えた半導体装置を形成する技術が開示されている。具体的には、抵抗体につながるポリシリコン膜の上層に、第 1 層間絶縁膜を介して金属材料からなるヒューズを形成する。抵抗体とヒューズを別々の層に配置することによりチップ面積を小さくできる。さらに、ヒューズ上に第 2 層間絶縁膜を設け、この第 2 層間絶縁膜にトリミング用開口部を形成する。このとき、ヒューズ下には第 1 層間絶縁膜が形成されているので、トリミング用開口部からの水分の浸入を防止でき、信頼性を向上できる。そして、トリミング用開口部を形成した第 2 層間絶縁膜上に金属材料層をヒューズと同じ材料で形成した後、第 2 金属材料層をパターニングして再配線層を形成する。このとき、ヒューズの切断も同時に行なう。その後、トリミング用開口部を埋め込むように再配線層上に最終保護膜を形成する。このように、ヒューズは、再配線層と同じ材料で形成されるようにしたので、再配線層の形成と同時にヒューズの切断を行なうことができ、製造工程を短縮することができる。

20

【0003】

特開平 08 - 203876 号公報 (特許文献 2) には、配線上にホールを形成する技術が開示されている。具体的には、配線上に第 1 酸化シリコン膜 (PE-TEOS 膜) を形成し、さらに第 1 酸化シリコン膜上に感光性 SOG (Spin On Glass) 膜を形成する。そして、感光性 SOG 膜に対して露光・現像処理を行なうことにより、配線上に第 1 酸化シリコン膜を介してホールを形成する。続いて、ホールを含む感光性 SOG 膜上に第 2 酸化シリコン膜 (PE-TEOS 膜) を形成する。この第 2 酸化シリコン膜により、ホールの側壁に露出していた感光性 SOG 膜が被覆される。その後、第 2 酸化シリコン膜を異方性エッチングすることにより、ホールの側壁に酸化シリコン膜を残しつつ、ホールの底部において配線表面を露出させる。これにより、配線を露出したホールを形成できる。

30

【0004】

この技術によれば、SOG 膜が絶縁膜に被膜された状態でホールを形成できる。このため、ホールの側壁における SOG 膜の露出が発生しないので、信頼性を向上することができる。さらに、絶縁膜のエッチバックによりホールを形成するので、リソグラフィの解像限界よりも小さいホールを形成することができる。

【特許文献 1】特開 2003 - 092353 号公報

【特許文献 2】特開平 08 - 203876 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

パッケージプロセス (後工程) とウェハプロセス (前工程) とを一体化し、ウェハ状態でパッケージングを完了する技術、いわゆるウェハレベル (Wafer Level) CSP と呼ばれる技術は、ウェハプロセスを応用してパッケージプロセスまで処理する技術である。このため、半導体ウェハ (以下、ウェハという) から切断した半導体チップ (以下、チップという) 毎にパッケージプロセスを処理する従来の方法に比べて工程数を大幅に削減できるという利点がある。ウェハレベル CSP は、ウェハプロセス・パッケージ (Wafer Process Package ; WPP) とも呼ばれる。

50

【 0 0 0 6 】

また、ウェハレベルC S Pは、ボンディングパッドのピッチをパンプ電極のピッチに変換するインターポーザと呼ばれるC S P内部の配線層を、ウェハ上に形成した再配線層によって代用できるため、工程数削減を図ることができるとともにC S Pの製造コストを低減することができる。

【 0 0 0 7 】

ウェハレベルC S Pでは、例えば以下に示すような工程を経ることにより半導体装置を形成する。まず、ウェハの主面上にM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)などの半導体素子を形成し、続いて半導体素子の上部に複数層の配線層を形成する。この配線層の最上層配線を形成する工程でボンディングパッドおよびヒューズを形成する。次に、ボンディングパッドおよびヒューズを含む最上層配線上に順次、酸化シリコン膜、窒化シリコン膜を形成する。そして、窒化シリコン膜上に感光性ポリイミド樹脂膜を形成した後、この感光性ポリイミド樹脂膜に対して露光・現像処理を施すことによりパターニングする。パターニングは、ボンディングパッド上を開口するとともにヒューズ上を開口するように行なわれる。

10

【 0 0 0 8 】

続いて、パターニングした感光性ポリイミド樹脂膜およびこの感光性ポリイミド樹脂膜上に形成したレジスト膜をマスクにして窒化シリコン膜、酸化シリコン膜を順次エッチングすることにより、ボンディングパッドを露出するとともにチップング防止溝を形成する。ここで、ヒューズ上に形成されている窒化シリコン膜も開口部(溝)を通じてエッチングされるが、ヒューズに形成されている窒化シリコン膜はすべて除去せず、一部が残存するように制御される。例えば、エッチングをする際に使用するマスクにおける開口部の大きさにより制御される。

20

【 0 0 0 9 】

その後、露出したボンディングパッド上に探針を接触させてプローブ検査を行い、欠陥がある場合には、ヒューズをレーザーで切断することにより抵抗値を変換して欠陥救済を行なう。

【 0 0 1 0 】

次に、チップング防止溝およびヒューズ上の開口部を形成した感光性ポリイミド樹脂膜上に電極層(シード層)を形成する。この電極層はボンディングパッド上に接続している。続いて、電極層上にめっき法を使用して再配線を形成する。そして、再配線上に感光性ポリイミド樹脂を形成した後、パターニングして再配線の一端部を露出させる。そして、露出した再配線の一端部上にパンプ電極を形成する。その後、ウェハをダイシングすることにより個々のチップを得ることができる。

30

【 0 0 1 1 】

ここで、再配線を形成するための電極層は、チップング防止溝やヒューズ上の開口部が形成された感光性ポリイミド樹脂膜上に形成される。チップング防止溝やヒューズ上の開口部は、垂直形状あるいは逆テーパ状の溝となっている。電極層は、例えばスパッタリング法を使用して形成されるが、上述したように垂直形状の溝があると溝の底部には電極層が形成されるが、溝の側面には電極層が形成されにくい。したがって、感光性ポリイミド樹脂膜上に形成される電極層が溝の側面で途切れてしまい、電極層の形成不良が発生する問題点がある。

40

【 0 0 1 2 】

電極層の形成不良が発生すると、この電極層上に形成される再配線がウェハ上で均一に形成されず、さらには、電極層の断線により再配線が形成されない不具合が生じる。また、ヒューズを切断した場合、ヒューズは露出するため、ヒューズ上に再配線を形成すると、切断したヒューズが短絡してしまう。このため、再配線はヒューズ上に形成することができない。したがって、再配線を形成する際、ヒューズを避けて再配線を設置しなければならないので、再配線のレイアウトの自由度が低下する問題点もある。

【 0 0 1 3 】

50

本発明の目的は、チップング防止溝やヒューズの開口部が形成されていても、再配線を形成する際に必要となる電極層を信頼性よく形成できる技術を提供することにある。

【0014】

また、本発明の他の目的は、半導体装置の信頼性を向上できる技術を提供することにある。

【0015】

また、本発明の他の目的は、再配線のレイアウトの自由度を向上できる技術を提供することにある。

【0016】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0017】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】

本発明による半導体装置は、(a)半導体チップの主面上に形成された半導体素子と、(b)前記半導体チップの主面上に形成されたヒューズと、(c)前記半導体素子よりも上層に形成された一層以上の第1配線と、(d)前記第1配線のうち、最上層の配線と同層の配線によって形成された内部接続端子と、(e)前記第1配線および前記ヒューズを覆うように形成され、前記内部接続端子を選択的に露出する第1パッシベーション膜と、(f)前記第1パッシベーション膜上に形成され、前記内部接続端子を選択的に露出する第2パッシベーション膜と、(g)前記ヒューズの真上にある前記第2パッシベーション膜を選択的に除去して形成された溝と、(h)前記溝を埋め込むように前記第2パッシベーション膜上に形成され、かつ前記内部接続端子を選択的に露出する第3パッシベーション膜と、(i)前記第3パッシベーション膜上に形成され、一端が前記内部接続端子に電氣的に接続された第2配線と、(j)前記第2配線を覆うように形成され、前記第2配線他端部を選択的に露出する第4パッシベーション膜と、(k)前記第2配線他端部に形成された外部接続端子とを備えるものである。

【0019】

また、本発明による半導体装置の製造方法は、(a)半導体ウェハのチップ領域に半導体素子を形成し、前記半導体素子の最上層に、一層以上の第1配線を形成し、前記第1配線を形成する工程において、前記チップ領域にヒューズを形成する工程と、(b)前記第1配線および前記ヒューズ上に第1パッシベーション膜を形成する工程と、(c)前記第1パッシベーション膜上に第2パッシベーション膜を形成する工程と、(d)前記第2パッシベーション膜をパターニングして内部接続端子形成領域上および前記ヒューズ上に開口部を形成する工程と、(e)パターニングした前記第2パッシベーション膜をマスクにして前記第1パッシベーション膜を除去することにより、前記第1配線のうち最上層配線と同層の配線を露出して内部接続端子を形成する一方、前記ヒューズ上に形成されている前記第1パッシベーション膜の一部を除去する工程と、(f)前記(e)工程後、前記内部接続端子にプローブ針を接触させてプローブ検査を行い、前記プローブ検査によって不良が発見された場合には、前記ヒューズを切断する工程と、(g)前記ヒューズ上の開口部を埋め込み、かつ前記内部接続端子を覆うように前記第2パッシベーション膜上に第3パッシベーション膜を形成する工程と、(h)前記第3パッシベーション膜をパターニングして、前記内部接続端子を露出する工程と、(i)前記内部接続端子を含む前記第3パッシベーション膜上に電極層を形成した後、前記電極層上に金属膜を形成することにより、一端が前記内部接続端子に電氣的に接続された第2配線を形成する工程と、(j)前記第2配線上に第4パッシベーション膜を形成し、前記第4パッシベーション膜をパターニングすることによって、前記第2配線他端部を選択的に露出する工程と、(k)前記第2配線他端部に外部接続端子を形成した後、前記半導体ウェハを前記チップ領域単位で切

10

20

30

40

50

断することによって複数の半導体チップを得る工程とを備えるものである。

【発明の効果】

【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0021】

チップング防止溝やヒューズの開口部が形成されて垂直段差のある第1絶縁膜上にチップング防止溝やヒューズの開口部を埋め込むように第2絶縁膜を形成し、この平坦化された第2絶縁膜上に電極層を形成するように構成したので、電極層切れを防止することができる。したがって、再配線の信頼性向上を図ることができる。更には、電極層切れのない再配線が実現できるため、半導体装置の信頼性を向上することができる。

10

【発明を実施するための最良の形態】

【0022】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0023】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

20

【0024】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0025】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0026】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

30

【0027】

以下の実施の形態において、ボンディングパッドとは、請求項の内部接続端子を意味するものとする。また、再配線とは請求項の第2配線を意味するものとする。さらに、ランプ電極とは請求項の外部接続端子を意味するものとする。また、シード層とは請求項の電極層を意味するものとする。

【0028】

（実施の形態1）

図1は、本実施の形態1における半導体装置を示した断面図である。図1において、p型不純物を導入したシリコンよりなる半導体基板1上には、MISFETなどの半導体素子が形成され、この半導体素子の上部に一層以上の配線（第1配線）が形成されている。この一層以上の配線は、例えばアルミニウム膜を主成分とする膜や銅膜を主成分とする膜から形成されている。

40

【0029】

図1では、半導体基板1に形成した半導体素子および配線の図示は省略しており、配線の最上層部が図示されている。すなわち、層間絶縁膜2を介して、半導体ウェハの主面にボンディングパッド3およびヒューズ4が形成されている。ボンディングパッド3およびヒューズ4は、最上層配線の一部によって構成されており、例えばアルミニウム膜と窒化チタン膜の積層膜（複数の層）で形成されている。つまり、ボンディングパッド3は、最

50

上層配線と同層の配線によって形成されている。

【0030】

配線の最上層部上には、酸化シリコン膜5および窒化シリコン膜6よりなる第1パッシベーション膜が形成され、この第1パッシベーション膜上に感光性ポリイミド樹脂膜7よりなる第2パッシベーション膜が形成されている。これらのパッシベーション膜は、機械的応力や不純物の侵入から半導体装置を保護するために設けられるものである。

【0031】

第1パッシベーション膜および第2パッシベーション膜には開口部8が設けられ、この開口部8からボンディングパッド3が露出している。また、ヒューズ4上の第2パッシベーション膜にも溝（開口部）9が形成されている。具体的に説明すると、第2パッシベーション膜は感光性ポリイミド樹脂膜7であるため、感光性ポリイミド樹脂膜7を形成した後、フォトリソグラフィ技術（露光・現像処理）によりボンディングパッド3上およびヒューズ4上の第2パッシベーション膜を開口する。残った第2パッシベーション膜をマスク代わりに第1パッシベーション膜をエッチング除去することで、開口部8および溝9が形成される。この溝9は第2パッシベーション膜から第1パッシベーション膜に達するように形成されているが、ヒューズ4の表面までは達していない。

【0032】

ボンディングパッド3に探針を接触させて半導体装置の電気的特性検査を行なう工程が存在するが、この検査で不良が検出された場合、ヒューズ4を切断して抵抗値を変化させることにより不良を救済する。ヒューズ4の切断は、例えばレーザー光をヒューズ4に照射してヒューズ4を溶断することによって行なわれる。したがって、ヒューズ4上に第1パッシベーション膜および第2パッシベーション膜が形成されていると、レーザー光を照射してもヒューズ4まで届かず、切断することができない。このため、ヒューズ4上に形成されているパッシベーション膜を薄くして、ヒューズ4を切断できるようにしている。更に説明すると、感光性ポリイミド樹脂膜7はレーザー光を通し難く、第1パッシベーション膜と第2パッシベーション膜の総膜厚が薄くてもヒューズ4上に形成されていると、照射したレーザー光がヒューズ4まで到達しない。しかしながら、酸化シリコン膜5および窒化シリコン膜6なら、レーザー光でヒューズ4と合わせて切断することが可能であるため、ヒューズ4の表面が完全に露出していない状態でもよい。具体的にはヒューズ4上の感光性ポリイミド樹脂膜7の全部と感光性ポリイミド樹脂膜7の下層にある窒化シリコン膜6の一部が除去されて、溝9が形成されている。

【0033】

ここで、ボンディングパッド3に形成される開口部8とヒューズ4上に形成される溝9とは後述するように同じエッチング工程で形成されるが、ボンディングパッド3上では第1パッシベーション膜と第2パッシベーション膜が除去されている。一方、ヒューズ4上では、第1パッシベーション膜の一部が除去され一部が残存している。このようにエッチングするために、ボンディングパッド3の形成位置に対してヒューズ4の形成位置は相対的に低く形成されている。また、エッチング工程で使用するマスクにおいては、ボンディングパッド3上に位置するマスクの開口部がヒューズ4上に位置するマスクの開口部よりも相対的に大きく形成されている。

【0034】

第1パッシベーション膜および第2パッシベーション膜には、ボンディングパッド3の開口部8の他にヒューズ4上に形成された溝9が形成されており、さらに、チップングを防止するためのチップング防止溝10が形成されている。チップング防止溝10は、チップ領域とダイシングするスクライブ領域との間に形成され、ウェハをダイシングする際、チップ領域に割れが発生するのを防止する機能を有するものである。このように、第2パッシベーション膜には、複数の溝が形成されており、垂直段差などの凹凸形状が形成されている。

【0035】

次に、第2パッシベーション膜上には、例えば感光性ポリイミド樹脂膜11よりなる第

10

20

30

40

50

3 パッシベーション膜が形成されている。この第3パッシベーション膜は、第2パッシベーション膜に形成されている溝9やチップング防止溝10を埋め込んで平坦化するように形成されている。そして、ボンディングパッド3上の第3パッシベーション膜は除去されて、開口部12が形成されている。本実施の形態1では、開口部12の大きさは開口部8よりも狭く(小さく)形成されている。

【0036】

ボンディングパッド3から第3パッシベーション膜(感光性ポリイミド樹脂膜11)上に渡って、例えば銅膜を主成分とするシード層13が形成されており、このシード層13上には、順次銅膜15とニッケル膜16が形成されている。このシード層13、銅膜15およびニッケル膜16により再配線が形成される。この再配線の一端は開口部12を通じてボンディングパッド3に電氣的に接続されている。

10

【0037】

再配線上には、再配線を覆うように感光性ポリイミド樹脂膜17よりなる第4パッシベーション膜が形成されている。そして、第4パッシベーション膜の一部が開口され再配線の他端部が露出している。この再配線の他端部には金膜19を介して外部接続端子であるパンプ電極21が形成されている。このように再配線によってボンディングパッド3とパンプ電極21とが電氣的に接続される。ボンディングパッド3におけるピッチは、再配線によってピッチを拡大して再配置され、再配線の他端部側の方が大きくなっている。すなわち、狭パッドピッチに対応させるために、他端部のピッチ間隔を再配線によってボンディングパッド3のピッチ間隔よりも大きくして、パンプ電極21を搭載し易くしたものである。

20

【0038】

本実施の形態1における半導体装置は上記のように構成されており、その特徴は、第2パッシベーション膜(感光性ポリイミド樹脂膜7)上に第3パッシベーション膜(感光性ポリイミド樹脂膜11)を形成した点にある。第2パッシベーション膜には、ヒューズ4上に形成された溝9やチップング防止溝10が形成されているため、垂直段差部が存在する。したがって、この第2パッシベーション膜上にシード層13を形成する際、溝9やチップング防止溝10の側面にシード層13が形成されにくくなる。このようにシード層13が十分に形成されないと、シード層13上に銅膜やニッケル膜が十分に形成されず、再配線の形成不良が発生する。すなわち、溝9やチップング防止溝10により、シード層13に断線が発生しやすくなる。

30

【0039】

そこで、本実施の形態1では、チップング防止溝10などが形成されている第2パッシベーション膜上に、感光性ポリイミド樹脂膜11よりなる第3パッシベーション膜を形成している。この第3パッシベーション膜によりヒューズ4上の溝9やチップング防止溝10を埋め込むことができ、表面を平坦化することができる。そして、平坦化した第3パッシベーション膜上にシード層13を形成することで、シード層13をウェハの全領域で確実に形成することができる。すなわち、第3パッシベーション膜上は平坦であり、垂直段差がないので、シード層切れを防止することができ、再配線の信頼性向上を図ることができる。

40

【0040】

また、第3パッシベーション膜によりボンディングパッド3上に開口部12が形成されている。すなわち、第3パッシベーション膜は、ヒューズ4の溝9やチップング防止溝10を埋め込むとともに、ボンディングパッド3上の開口度を決定している。この開口部12は、第2パッシベーション膜の開口度8より狭くなっているため、ボンディングパッド3の狭ピッチ化に対応することができる。つまり、半導体装置の小型化を実現できる利点もある。また、パッケージサイズおよびパンプ電極の数を低減しない場合は、ボンディングパッド3間のクリアランスを確保できる利点もある。

【0041】

次に、第3パッシベーション膜によって埋め込まれるチップング防止溝について説明す

50

る。図2は、半導体基板30に形成されたチップング防止溝近傍の構造を示した断面図である。図2において、半導体基板30には有効チップ領域、ガードリング領域およびスクライプ領域が形成されている。有効チップ領域には、図示はしないが、MISFETなどの半導体素子およびこの半導体素子の上部に一層以上の配線層が形成されている。有効チップ領域の外側には、ガードリング領域が形成されている。ガードリング領域は、MISFETの耐压劣化、素子分離および表面保護などを目的として有効チップ領域の周辺部に設けられたリング状の接合構造をしている。例えば、ガードリング領域には、図2に示すようにp型ウェル31およびn型ウェル32が互いに接するように設けられており、このp型ウェル31内にp型領域31aが形成され、n型ウェル32内にn型領域32aが形成されている。

10

【0042】

p型領域31aにはプラグ33を介して第1層配線35が形成されている。この第1層配線35には、有効チップ領域に形成されるMISFETのゲート電極と同層の配線34が接続されている。第1層配線35は、プラグ36を介して第2層配線37に接続されており、第2層配線37はプラグ38を介して最上層の配線である第3層配線39に接続されている。第3層配線39には表面を保護するパッシベーション膜となる窒化シリコン膜40が形成され、この窒化シリコン膜40上に感光性ポリイミド樹脂膜41が形成されている。

【0043】

このように形成されたガードリング領域の外側にはスクライプ領域が形成されている。このスクライプ領域はウェハをダイシングするための領域である。ガードリング領域とスクライプ領域の間には、ダイシングの際のチップングを防止するためのチップング防止溝42が設けられている。このチップング防止溝42の内側の領域には、窒化シリコン膜40上に感光性ポリイミド樹脂膜41が形成されている一方、チップング防止溝42の外側のスクライプ領域には窒化シリコン膜40上に感光性ポリイミド樹脂膜41は形成されていない。チップング防止溝42は、マスクを用いてエッチングにより形成してもよい。

20

【0044】

次に、図3はチップ領域とスクライプ領域の関係を示した図である。図3に示すように、個々のチップ領域はスクライプ領域によって分離されている。すなわち、個々のチップ領域には窒化シリコン膜50および感光性ポリイミド樹脂膜52が形成されており、チップ領域の間にはチップング防止溝51を介して窒化シリコン膜50が形成されたスクライプ領域が形成されている。例えば、スクライプ領域の幅は約112 μm である。従来のウェハレベルCSPでは図3に示した構造上にシード層を形成し再配線を形成している。したがって、シード層はチップ領域の感光性ポリイミド樹脂52に形成されるとともに、チップング防止溝51内およびスクライプ領域の窒化シリコン膜50上に形成される。

30

【0045】

しかし、チップング防止溝51により垂直段差形状が形成されているので、このチップング防止溝51の側面にはシード層が付きにくい。このように、従来のウェハレベルCSPでは、チップング防止溝51によりシード層が断線するおそれがある。

【0046】

そこで、本実施の形態1では図4に示すように、チップ領域からスクライプ領域の一部にわたって、感光性ポリイミド樹脂膜53を形成している。この感光性ポリイミド樹脂膜53によってチップング防止溝51を埋め込むことができるので、チップング防止溝51による垂直段差がなくなる。つまり、感光性ポリイミド樹脂膜53により、ウェハ表面を平坦化することができる。感光性ポリイミド樹脂膜53はスクライプ領域の一部にまで形成されるが、感光性ポリイミド樹脂膜53の形成されていないスクライプ領域の幅は、例えば約92 μm となる。そして、本実施の形態1では、平坦化している感光性ポリイミド樹脂膜53上にシード層を形成するので、シード層を正常に形成することができ、再配線の信頼性向上を図ることができる。更には、シード層(電極層)切れのない再配線が実現できるため、半導体装置の信頼性を向上することができる。

40

50

【 0 0 4 7 】

次に、図 1 に示した本実施の形態 1 における半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 4 8 】

図 5 は、ウェハプロセスの途中にある半導体基板 1 を示した断面図である。図 5 には図示していないが、半導体基板 1 上には、MISFET などの半導体素子が形成され、半導体素子の上部に一層以上の配線が形成されている。図 5 では、最上層の配線層が図示されており、層間絶縁膜 2 を介して、半導体ウェハの主面にボンディングパッド 3 およびヒューズ 4 が形成されている。ボンディングパッド 3 およびヒューズ 4 は、最上層配線の一部によって構成されており、例えばアルミニウム膜と窒化チタン膜の積層膜で形成されている。

10

【 0 0 4 9 】

次に、ボンディングパッド 3 およびヒューズ 4 上を含む層間絶縁膜 2 上に、順次酸化シリコン膜 5、窒化シリコン膜 6 を形成する。酸化シリコン膜 5 および窒化シリコン膜 6 は、例えば CVD 法を使用して形成することができる。この酸化シリコン膜 5 および窒化シリコン膜 6 により第 1 パッシベーション膜が形成される。

【 0 0 5 0 】

続いて、窒化シリコン膜 6 上に例えば回転塗布法を使用して、感光性ポリイミド樹脂膜（第 2 パッシベーション膜）7 を形成した後、感光性ポリイミド樹脂膜 7 に対して露光・現像処理を施すことによりパターニングする。パターニングは、ボンディングパッド 3 およびヒューズ 4 上を開口するとともに、スクライプ領域に感光性ポリイミド樹脂膜 7 が残らないよう行なわれる。

20

【 0 0 5 1 】

そして、パターニングした感光性ポリイミド樹脂膜 7 上に例えばレジスト膜よりなるマスクを形成する。このマスクは、ボンディングパッド 3 およびヒューズ 4 上を開口するとともにチップング防止溝 10 の形成領域を開口するようにパターニングされる。

【 0 0 5 2 】

次に、レジスト膜よりなるマスクおよびパターニングした感光性ポリイミド樹脂膜 7 をマスクとして酸化シリコン膜 5 および窒化シリコン膜 6 をエッチングする。これにより、ボンディングパッド 3 上に開口部 8 を形成し、ヒューズ 4 上に溝 9 を形成する。さらに、チップング防止溝 10 を形成する。ここで、ヒューズ 4 の形成位置はボンディングパッド 3 の形成位置に比べて低くなるように形成され、更にはエッチング工程で使用するマスクにおいて、ボンディングパッド 3 上に位置するマスクの開口部がヒューズ 4 上に位置するマスクの開口部よりも相対的に大きく形成されているので、ボンディングパッド 3 上の酸化シリコン膜 5 および窒化シリコン膜 6 は完全に除去される一方、ヒューズ 4 上に形成される溝 9 はヒューズ 4 の表面まで達していない。すなわち、ヒューズ 4 上には酸化シリコン膜 5 および窒化シリコン膜 6 の一部が残存する。

30

【 0 0 5 3 】

続いて、レジスト膜よりなるマスクを除去した後、ボンディングパッド 3 にプローブを押し当てて電気的特性検査（プローブ検査）を行なう。この電気的特性検査の結果、不良が見出された場合には、不良の救済を行なう。不良の救済は、ヒューズ 4 をレーザー光で切断することにより行なう。すなわち、ヒューズ 4 を切断することにより抵抗値を変化させる。このとき、ヒューズ 4 の上部には溝 9 が形成されており、窒化シリコン膜 6 の膜厚は薄くなっているため、レーザー光によりヒューズ 4 を切断できる。

40

【 0 0 5 4 】

次に、図 6 に示すように、感光性ポリイミド樹脂膜 7 上に例えば回転塗布法を使用して感光性ポリイミド樹脂膜（第 3 パッシベーション膜）11 を形成する。この感光性ポリイミド樹脂膜 11 によって、ヒューズ 4 上に形成されている溝 9 およびチップング防止溝 10 が埋め込まれる。このため、半導体基板 1 の表面が平坦化される。

【 0 0 5 5 】

50

続いて、図7に示すように、感光性ポリイミド樹脂膜11に対して露光・現像処理を施すことによりボンディングパッド3上を露出する開口部12を形成する。この開口部12は、感光性ポリイミド樹脂膜7に形成した開口部8に比べて狭くなるので、ボンディングパッド3の狭ピッチ化に対応することができる。このように感光性ポリイミド樹脂膜11は、溝9やチップング防止溝10を埋め込む機能を有するとともに、ボンディングパッド3上の開口度を決定する機能も有している。

【0056】

次に、図8に示すように、露出したボンディングパッド3上を含む感光性ポリイミド樹脂膜11上にシード層13を形成する。シード層13は、例えばスパッタリング法で形成したクロム(Cr)膜および銅(Cu)膜で形成される。従来は、感光性ポリイミド樹脂膜7上にシード層13を形成していたため、ヒューズ4上の溝9やチップング防止溝10に直接シード層13が形成されていた。ヒューズ4上の溝9やチップング防止溝10は垂直段差を有しているため、溝9やチップング溝10の側面にはシード層13が形成されにくく、この箇所ではシード層13が断線するおそれがあった。しかし、本実施の形態1では、ヒューズ4上の溝9やチップング防止溝10を埋め込むように感光性ポリイミド樹脂膜11が設けられており、この感光性ポリイミド樹脂膜11上にシード層13が形成されている。したがって、平坦化された表面上にシード層13が形成されているので、シード層13の断線を防止することができる。

【0057】

続いて、図9に示すように、シード層13上にレジスト膜14を形成した後、レジスト膜14に対して露光・現像することによりパターンニングする。パターンニングは、再配線形成領域にレジスト膜14が残らないように行なわれる。その後、図10に示すように、電解めっき法を使用して、露出しているシード層13上に順次、銅膜15、ニッケル(Ni)膜16を形成する。

【0058】

次に、図11に示すように、パターンニングしたレジスト膜14を除去した後、このレジスト膜14で覆われていた領域のシード層13をウェットエッチングで除去することにより、銅膜15およびニッケル膜16で構成される再配線(第2配線)を形成する。なお、レジスト膜14で覆われていた領域のシード層13をウェットエッチングで除去する際には、再配線の表面も同時にエッチングされるが、再配線の膜厚はシード層13の膜厚に比べて遥かに厚いので支障はない。

【0059】

続いて、図12に示すように、銅膜15およびニッケル膜16よりなる再配線の上部に感光性ポリイミド樹脂膜(第4パッシベーション膜)17を形成する。そして、図13に示すように、感光性ポリイミド樹脂膜17に対して露光・現像処理を行なうことにより、バンプ電極形成領域に開口部18を形成する。

【0060】

次に、図14に示すように、開口部18から露出した再配線(バンブランド)上に無電解めっき法を使用して金(Au)膜19を形成する。この後、金膜19を形成したバンブランド上に探針を当てて電気的特性検査を実施してもよい。そして、図15に示すように、金膜19上に半田印刷技術を使用して半田ペースト20を印刷する。印刷直後の半田ペースト20は、バンブランドよりも広い領域にほぼ平坦に印刷される。続いて、半導体基板1を加熱して半田ペースト20をリフロー(溶融・再結晶化)させることにより、金膜19上に図1に示すような半球状のバンプ電極21を形成する。バンプ電極21は、例えば錫(Sn)、銀(Ag)および銅(Cu)からなる鉛(Pb)フリー半田から構成される。なお、バンプ電極21は、上記した印刷法に代えてめっき法を使用して形成することもできる。また、あらかじめ球状に成形した半田ボールをバンブランド上に供給し、その後、半導体基板1を加熱して半田ボールをリフローすることによってもバンプ電極21を形成することができる。本実施の形態1では図示していないが、リフローによりバンプ電極21を形成した後は、再配線(バンブランド)上に形成された金膜19はバンプ電極2

10

20

30

40

50

1に拡散して無くなる。また、再配線(バンブランド)のピッチ間隔は、再配線によりボンディングパッド3のピッチ間隔より大きく再配置しているため、バンブ電極21が搭載し易くなる。これにより、狭パッドピッチに対応することができる。

【0061】

続いて、半導体基板1をバーンイン検査に付して最終検査を行なった後、ダイシングブレードを使用して半導体基板1を個々のチップに切断する。このようにして、ウェハレベルCSPが完成する。さらに必要に応じて性能、外観などの各種最終検査に付された後、トレイ治具に収納されて出荷される。

【0062】

(実施の形態2)

図16は、本発明者らが検討した再配線パターンの一例である。図16において、半導体チップ60にはボンディングパッド61とバンブ電極62が形成されており、ボンディングパッド61とバンブ電極62とは再配線63によって接続されている。この再配線63は、半導体チップ60の表面に露出したヒューズ領域(テストパッド領域でもよい)64を回避するように形成されている。ヒューズ領域64にはヒューズが形成されており、チップの不良救済のため、ヒューズが切断されている場合がある。ヒューズが切断されている場合、このヒューズ領域64上に再配線63を形成すると、切断しているヒューズが短絡してしまう。また、ヒューズが切断されていない場合であっても、ヒューズ領域64は垂直形状を有する溝構造をしているため、再配線63が断線なく形成することが困難である。したがって、図16に示すように、ヒューズ領域64を回避するように再配線63

【0063】

しかし、前記実施の形態1において、ヒューズ領域64は感光性ポリイミド樹脂膜によって埋め込まれているため露出していない。また、感光性ポリイミド樹脂膜は平坦化されている。したがって、本実施の形態2では、図17に示すように、再配線63をヒューズ領域64と平面的に重なる位置に形成することが可能である。すなわち、ヒューズ上に絶縁膜である感光性ポリイミド樹脂膜が形成されているので、切断されたヒューズ上に再配線63を形成しても短絡することはない。また、ヒューズ領域を埋め込んでいる感光性ポリイミド樹脂膜は平坦化されているので、再配線63を信頼性よく形成することができる。このように、本実施の形態2によれば、再配線63をヒューズ領域64上にも形成できる

【0064】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0065】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0066】

【図1】本発明の実施の形態1における半導体装置を示した断面図である。

【図2】チップング防止溝近傍の構造を示した断面図である。

【図3】チップ領域とスクライブ領域の関係を示した断面図である。

【図4】実施の形態1におけるチップ領域とスクライブ領域の関係を示した断面図である。

【図5】実施の形態1における半導体装置の製造工程を示した断面図である。

【図6】図5に続く半導体装置の製造工程を示した断面図である。

【図7】図6に続く半導体装置の製造工程を示した断面図である。

【図8】図7に続く半導体装置の製造工程を示した断面図である。

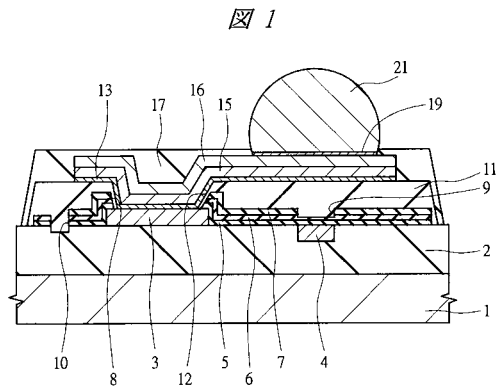
【図9】図8に続く半導体装置の製造工程を示した断面図である。

- 【図10】図9に続く半導体装置の製造工程を示した断面図である。
 【図11】図10に続く半導体装置の製造工程を示した断面図である。
 【図12】図11に続く半導体装置の製造工程を示した断面図である。
 【図13】図12に続く半導体装置の製造工程を示した断面図である。
 【図14】図13に続く半導体装置の製造工程を示した断面図である。
 【図15】図14に続く半導体装置の製造工程を示した断面図である。
 【図16】本発明者らが検討した再配線パターンの一例を示した図である。
 【図17】実施の形態2における再配線パターンの一例を示した図である。
 【符号の説明】

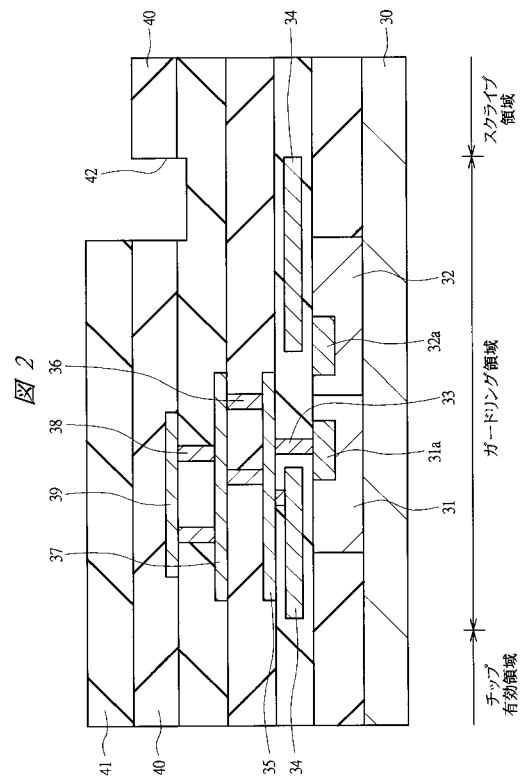
【0067】	10
1 半導体基板	
2 層間絶縁膜	
3 ボンディングパッド	
4 ヒューズ	
5 酸化シリコン膜（第1パッシベーション膜）	
6 窒化シリコン膜（第1パッシベーション膜）	
7 感光性ポリイミド樹脂膜（第2パッシベーション膜）	
8 開口部	
9 溝	
10 チッピング防止溝	20
11 感光性ポリイミド樹脂膜（第3パッシベーション膜）	
12 開口部	
13 シード層	
14 レジスト膜	
15 銅膜	
16 ニッケル膜	
17 感光性ポリイミド樹脂膜（第4パッシベーション膜）	
18 開口部	
19 金膜	
20 半田ペースト	30
21 バンプ電極	
30 半導体基板	
31 p型ウェル	
31a p型領域	
32 n型ウェル	
32a n型領域	
33 プラグ	
34 配線	
35 第1層配線	
36 プラグ	40
37 第2層配線	
38 プラグ	
39 第3層配線	
40 窒化シリコン膜	
41 感光性ポリイミド樹脂膜	
42 チッピング防止溝	
50 窒化シリコン膜	
51 チッピング防止溝	
52 感光性ポリイミド樹脂膜	
53 感光性ポリイミド樹脂膜	50

- 60 半導体チップ
- 61 ボンディングパッド
- 62 バンプ電極
- 63 再配線
- 64 ヒューズ領域

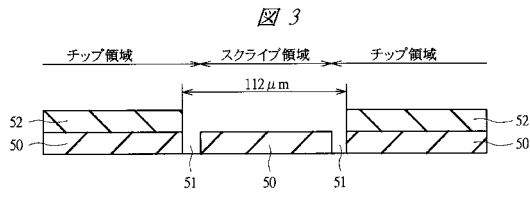
【図1】



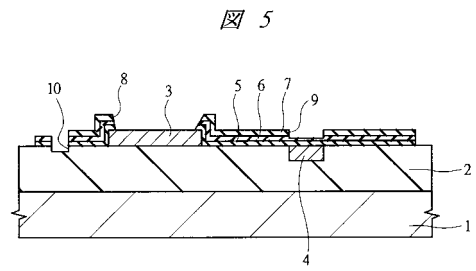
【図2】



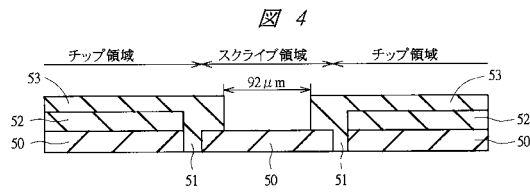
【図3】



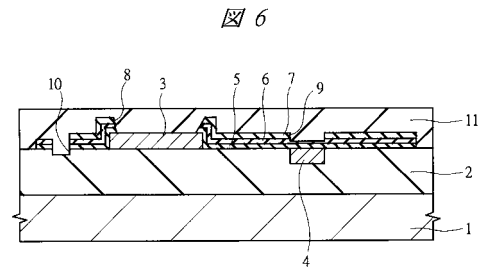
【図5】



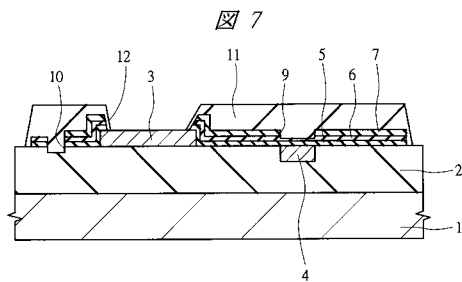
【図4】



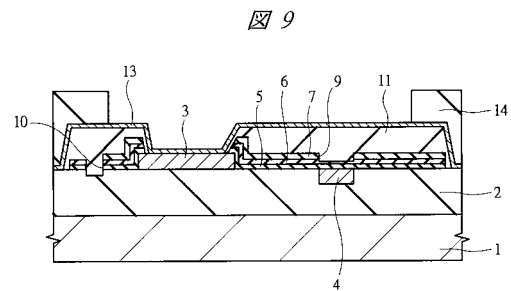
【図6】



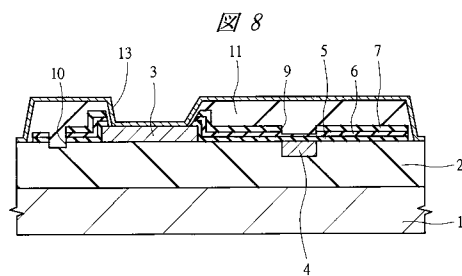
【図7】



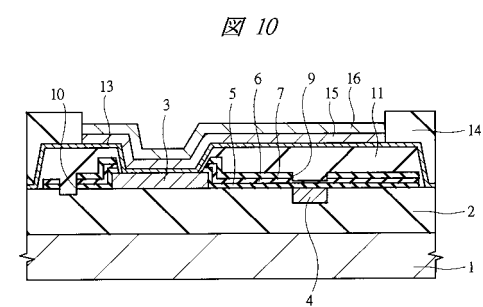
【図9】



【図8】



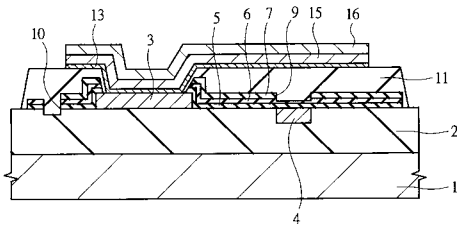
【図10】



- 3: ボンディングパッド
- 4: ヒューズ
- 5: 酸化シリコン膜
- 6: 窒化シリコン膜
- 7: 感光性ポリイミド樹脂膜(第2パッシベーション膜)
- 11: 感光性ポリイミド樹脂膜(第3パッシベーション膜)
- 13: シード層

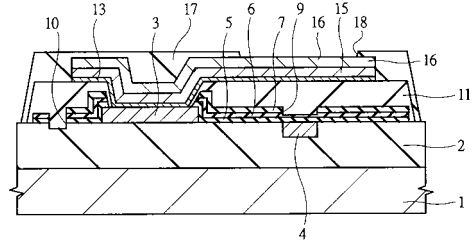
【図 11】

図 11



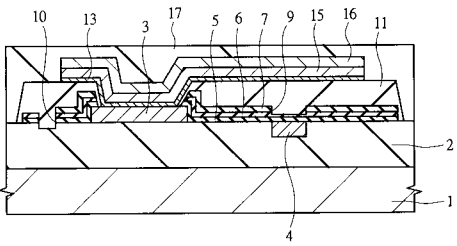
【図 13】

図 13



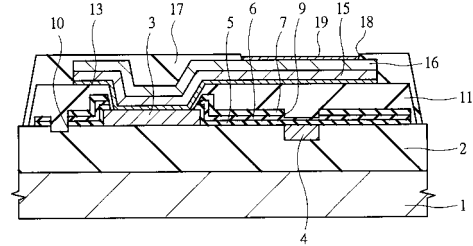
【図 12】

図 12



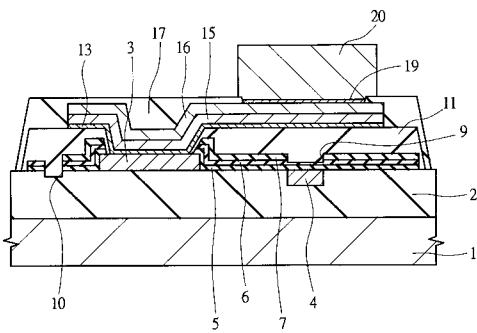
【図 14】

図 14



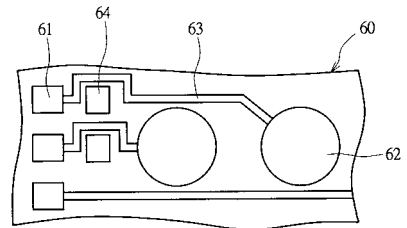
【図 15】

図 15



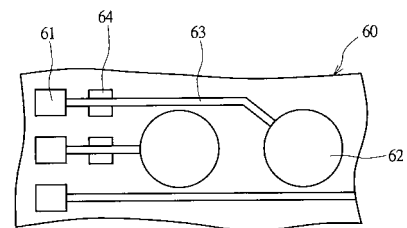
【図 16】

図 16



【図 17】

図 17



フロントページの続き

審査官 坂本 薫昭

(56)参考文献 特開2003-092353(JP,A)
特開2004-186497(JP,A)
特開2004-235183(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12
H01L 21/82