

(19) 日本国特許庁(JP)

## 再公表特許(A1)

(11) 国際公開番号

W02006/008796

発行日 平成20年5月1日(2008.5.1)

(43) 国際公開日 平成18年1月26日(2006.1.26)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/403 (2006.01)</b>	G 1 1 C 11/34 3 7 1 J	5MO24
<b>G 1 1 C 11/406 (2006.01)</b>	G 1 1 C 11/34 3 6 3 F	

審査請求 有 予備審査請求 未請求 (全 45 頁)

出願番号	特願2006-527685 (P2006-527685)	(71) 出願人	000005223 富士通株式会社
(21) 国際出願番号	PCT/JP2004/010210		
(22) 国際出願日	平成16年7月16日(2004.7.16)		
(81) 指定国	AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW	(74) 代理人	100072718 弁理士 古谷 史旺
		(74) 代理人	100116001 弁理士 森 俊秀
		(72) 発明者	富田 浩由 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	山口 秀策 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

## (57) 【要約】

兼用端子は、アドレス信号およびデータ信号を受信する。アドレスバリッド端子は、兼用端子に供給される信号がアドレス信号であることを示すアドレスバリッド信号を受信する。アービタは、外部アクセス要求および内部リフレッシュ要求のいずれを優先するかを決定する。アービタは、チップイネーブル信号およびアドレスバリッド信号が共に有効レベルになったこと（外部アクセス要求）に応答して内部リフレッシュ要求の受け付けを禁止する。アービタは、読み出し動作または書き込み動作の完了に応答して内部リフレッシュ要求の受け付けを許可する。この結果、アドレス信号およびデータ信号を受信する兼用端子を有する半導体記憶装置において、読み出し動作および書き込み動作と、内部リフレッシュ要求に応答するリフレッシュ動作とが競合することを防止し、誤動作を防止する。

## 【特許請求の範囲】

## 【請求項 1】

ダイナミックメモリセルを有するメモリセルアレイと、  
 内部リフレッシュ要求を所定の周期で発生するリフレッシュ要求回路と、  
 アクセスするメモリセルを示すアドレス信号およびメモリセルに書き込むデータ信号を受信する兼用端子と、  
 前記メモリセルアレイをアクセスするときに有効にされるチップイネーブル信号を受信するチップイネーブル端子と、  
 前記兼用端子に供給される信号が前記アドレス信号であることを示すアドレスバリッド信号を受信するアドレスバリッド端子と、  
 前記チップイネーブル信号および前記アドレスバリッド信号が共に有効レベルになったときに外部アクセス要求を検出するアクセス検出回路と、  
 前記外部アクセス要求および前記内部リフレッシュ要求のいずれを優先するかを決定するとともに、前記アクセス検出回路による検出に応答して前記内部リフレッシュ要求の受け付けを禁止し、受信した前記チップイネーブル信号および前記アドレスバリッド信号に対応する読み出し動作または書き込み動作の完了に応答して前記内部リフレッシュ要求の受け付けを許可するアービタとを備えていることを特徴とする半導体記憶装置。

10

## 【請求項 2】

請求項 1 記載の半導体記憶装置において、  
 メモリセルからデータを読み出す読み出しコマンドおよびメモリセルにデータを書き込む書き込みコマンドの少なくともいずれかを受信するアクセスコマンド端子と、  
 前記アクセス検出回路による検出に応答して第 1 アドレスラッチ信号を活性化するラッチ信号生成回路と、  
 前記第 1 アドレスラッチ信号の活性化に応答して前記アドレス信号を受信してラッチし、外部アドレス信号として出力する第 1 アドレスラッチ回路と、  
 前記読み出しコマンドまたは前記書き込みコマンドの受信に同期して前記外部アドレス信号をラッチし、ラッチした信号を前記メモリセルアレイに出力する第 2 アドレスラッチ回路とを備えていることを特徴とする半導体記憶装置。

20

## 【請求項 3】

請求項 1 記載の半導体記憶装置において、  
 リフレッシュするメモリセルを示すリフレッシュアドレス信号を、前記内部リフレッシュ要求に同期して順次生成するリフレッシュアドレスカウンタと、  
 前記第 1 アドレスラッチ回路と前記第 2 アドレスラッチ回路との間に配置され、前記外部アドレス信号または前記リフレッシュアドレス信号のいずれかを前記第 2 アドレスラッチ回路に供給するマルチプレクサとを備え、  
 前記第 2 アドレスラッチ回路は、前記マルチプレクサにより選択されたアドレス信号をラッチすることを特徴とする半導体記憶装置。

30

## 【請求項 4】

ダイナミックメモリセルを有するメモリセルアレイと、  
 内部リフレッシュ要求を所定の周期で発生するリフレッシュ要求回路と、  
 アクセスするメモリセルを示すアドレス信号およびメモリセルに書き込むデータ信号を受信する兼用端子と、  
 アドレス信号のみを受信するアドレス専用端子と、  
 前記メモリセルアレイをアクセスするときに有効にされるチップイネーブル信号を受信するチップイネーブル端子と、  
 前記兼用端子に供給される信号が前記アドレス信号であることを示すアドレスバリッド信号を受信するアドレスバリッド端子と、  
 前記チップイネーブル信号および前記アドレスバリッド信号が共に有効レベルになったときに外部アクセス要求を検出するアクセス検出回路と、  
 前記外部アクセス要求および前記内部リフレッシュ要求のいずれを優先するかを決定す

40

50

るアービタと、

動作仕様を第 1 仕様および第 2 仕様のいずれかに設定する仕様設定部とを備え、

前記第 1 仕様では、

前記アドレスバリッド端子を無効にして前記兼用端子で前記データ信号のみを受信し、

前記アドレス専用端子を有効にし、

前記アービタは、前記チップイネーブル信号が有効レベルであることを検出したときに前記内部リフレッシュ要求の受け付けを禁止し、受信した前記チップイネーブル信号に対応する読み出し動作または書き込み動作の完了に 응답して前記内部リフレッシュ要求の受け付けを許可し、

前記第 2 仕様では、

前記アドレスバリッド端子を有効にして前記兼用端子で前記アドレス信号および前記データ信号を受信し、

前記アドレス専用端子を無効にし、

前記アービタは、前記アクセス検出回路による検出に 응답して前記内部リフレッシュ要求の受け付けを禁止し、受信した前記チップイネーブル信号および前記アドレスバリッド信号に対応する読み出し動作または書き込み動作の完了に 응답して前記内部リフレッシュ要求の受け付けを許可することを特徴とする半導体記憶装置。

10

#### 【請求項 5】

請求項 4 記載の半導体記憶装置において、

メモリセルからデータを読み出す読み出しコマンドおよびメモリセルにデータを書き込む書き込みコマンドの少なくともいずれかを受信するアクセスコマンド端子と、

20

前記アクセス検出回路による検出に 응답して第 1 アドレスラッチ信号を活性化するラッチ信号生成回路と、

前記第 1 アドレスラッチ信号の活性化に 응답して前記アドレス信号を受信してラッチし、外部アドレス信号として出力する第 1 アドレスラッチ回路と、

前記読み出しコマンドまたは書き込みコマンドの受信に同期して、前記アドレス信号または前記外部アドレス信号のいずれかをラッチし、ラッチした信号を前記メモリセルアレイに出力する第 2 アドレスラッチ回路とを備え、

前記第 2 アドレスラッチ回路は、前記第 1 仕様では、前記アドレス信号をラッチし、前記第 2 仕様では、前記外部アドレス信号をラッチすることを特徴とする半導体記憶装置。

30

#### 【請求項 6】

請求項 4 または請求項 5 記載の半導体記憶装置において、

前記仕様設定部は、半導体製造工程で使用するホトマスクのパターン形状に対応して半導体基板上の所定の位置に形成される導電膜を備え、

前記動作仕様は、前記導電膜により形成される信号経路に応じて、前記第 1 仕様または前記第 2 仕様に設定されることを特徴とする半導体記憶装置。

#### 【請求項 7】

請求項 4 または請求項 5 記載の半導体記憶装置において、

前記仕様設定部は、プログラム回路を備え、

前記動作仕様は、前記プログラム回路にプログラムされた情報に応じて、前記第 1 仕様または前記第 2 仕様に設定されることを特徴とする半導体記憶装置。

40

#### 【請求項 8】

請求項 7 記載の半導体記憶装置において、

テストモード信号を受信するテストモード端子と、

テスト信号を受信するテスト端子とを備え、

前記仕様設定部は、前記テストモード信号が有効レベルを示すときに、前記プログラム回路の設定状態にかかわらず、前記テスト信号の論理レベルに応じて、前記動作仕様を前記第 1 仕様または前記第 2 仕様のいずれかに切り替えることを特徴とする半導体記憶装置。

#### 【請求項 9】

50

請求項 7 記載の半導体記憶装置において、  
通常動作では使用しない組み合わせの信号を受けたときに、動作状態をテストモードに移行するテスト制御回路を備え、

前記仕様設定部は、前記テストモード中に、前記プログラム回路の設定状態にかかわらず、前記動作仕様をテスト信号に応じて前記第 1 仕様または前記第 2 仕様のいずれかに切り替えることを特徴とする半導体記憶装置。

【請求項 10】

請求項 4 記載の半導体記憶装置において、  
リフレッシュするメモリセルを示すリフレッシュアドレス信号を、前記内部リフレッシュ要求に同期して順次生成するリフレッシュアドレスカウンタと、

前記第 1 アドレスラッチ回路と前記第 2 アドレスラッチ回路との間に配置され、前記外部アドレス信号または前記リフレッシュアドレス信号のいずれかを前記第 2 アドレスラッチ回路に供給するマルチプレクサとを備え、

前記第 2 アドレスラッチ回路は、前記マルチプレクサにより選択されたアドレス信号をラッチすることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アドレス信号およびデータ信号を受信する兼用端子を有し、メモリセルのリフレッシュを自動的に実行する半導体記憶装置に関する。

【背景技術】

【0002】

近年、擬似 S R A M ( P s e u d o - S R A M ) と呼ばれる半導体メモリが注目されている。擬似 S R A M は、D R A M のメモリセル ( ダイナミックメモリセル ) を有し、メモリセルのリフレッシュ動作を内部で自動的に実行することで S R A M として動作する。ダイナミックメモリセルは、面積が小さい。このため、ビットコストが低く、大容量の擬似 S R A M を開発できる。

【0003】

擬似 S R A M は、リフレッシュ動作を実行するための内部リフレッシュ要求を、外部アクセス要求 ( 読み出し要求または書き込み要求 ) と無関係 ( 非同期 ) に所定の周期で発生する。特開 2 0 0 1 - 2 4 3 7 6 5 号公報には、リフレッシュ動作とアクセス動作とが衝突することを防止するために、内部リフレッシュ要求と外部アクセス要求との優先順を決めるアービタを内蔵した擬似 S R A M が記載されている。

【0004】

一方、アドレス信号とデータ信号を同じ端子で受信する半導体記憶装置が提案されている。兼用端子を形成することで、端子数が少なくなるため、チップサイズは小さくなり、製品コストは下がる。この種の半導体記憶装置は、兼用端子にアドレス端子が供給されていることを認識するためのアドレスバリッド信号を受けるアドレスバリッド端子を有している。半導体記憶装置をアクセスするシステムは、アドレス信号を兼用端子に供給するとき、アドレスバリッド端子を有効レベルに設定し、データ信号を兼用端子に供給するとき、アドレスバリッド端子を無効レベルに設定する。

【特許文献 1】特開 2 0 0 1 - 2 4 3 7 6 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、アドレス信号およびデータ信号を受信する兼用端子を、擬似 S R A M に提供する場合に発生する以下の問題点を解決するためになされた。

一般に、擬似 S R A M は、チップイネーブル信号の活性化を受けたときに、外部アクセス要求を認識する。また、擬似 S R A M をアクセスするシステムは、外部アクセス要求時にアクセスアドレスを供給する必要がある。したがって、擬似 S R A M に兼用端子が形成

10

20

30

40

50

される場合、システムは、疑似SRAMをアクセスするときに、チップイネーブル端子とともにアドレスバリッド端子を有効レベルに設定する必要がある。換言すれば、チップイネーブル端子を有効レベルに固定した状態では、アドレスバリッド信号が外部アクセス要求として認識される。

【0006】

しかし、疑似SRAMの上記アービタは、外部アクセス要求をチップイネーブル信号のみで認識している。このため、チップイネーブル信号が有効レベルに固定された場合、アービタは、外部アクセス要求を認識できず、リフレッシュ要求を優先し続けてしまう。この結果、リフレッシュ動作とアクセス動作が競合し、疑似SRAMは、誤動作する。

アドレス信号を兼用端子で受信する場合、アドレス信号の確定期間は短くなる。誤ったアドレス信号を取り込むと、半導体記憶装置は誤動作する。また、確定期間の短いアドレス信号を用いて、半導体記憶装置の内部回路を動作させる場合、内部回路のタイミングマージンが減少し、回路設計が難しくなる。タイミングマージンが減少すると、製造条件の変動の影響を受けやすくなり、歩留は低下する。

【0007】

疑似SRAMでは、アクセス動作を実行するかリフレッシュ動作を実行するかにより、メモリセルアレイに供給するアドレス信号として、外部アドレス信号または内部で生成されるリフレッシュアドレス信号を選択する必要がある。外部アドレスの確定期間が短い場合、アドレス信号を選択するためのタイミングマージンは減少する。誤ったアドレス信号を選択すると、半導体記憶装置は誤動作する。

【0008】

アドレス信号およびデータ信号を受信する兼用端子を有する半導体記憶装置を新規に設計する場合、設計コストおよびホトマスクなどの製造コストが新たに必要になる。既にある設計資産を流用することで、これ等コストは削減される。

本発明の目的は、アドレス信号およびデータ信号を受信する兼用端子を有し、リフレッシュを自動的に実行する半導体記憶装置において、リフレッシュ動作とアクセス動作とが競合することを防止し、誤動作を防止することにある。

【0009】

本発明の別の目的は、アドレス信号およびデータ信号を受信する兼用端子に供給されるアドレス信号を確実に受信し、半導体記憶装置の誤動作を防止することにある。

さらに、本発明の別の目的は、兼用端子を介して受信するアドレス信号と、半導体記憶装置の内部で発生するリフレッシュアドレス信号とを確実に切り替え、アクセス動作およびリフレッシュ動作を実行することにある。

【0010】

また、本発明の別の目的は、アドレス信号およびデータ信号を受信する兼用端子を有する半導体記憶装置を容易に製造することにある。

【課題を解決するための手段】

【0011】

本発明の半導体記憶装置の第1の形態では、兼用端子は、アドレス信号およびデータ信号を受信する。アドレスバリッド端子は、兼用端子に供給される信号がアドレス信号であることを示すアドレスバリッド信号を受信する。アクセス検出回路は、チップイネーブル信号およびアドレスバリッド信号が共に有効レベルになったときに、アドレス信号が示すダイナミックメモリセルに対する外部アクセス要求を検出する。

【0012】

アービタは、外部アクセス要求および内部リフレッシュ要求のいずれを優先するかを決定する。アービタは、アクセス検出回路による検出に応答してリフレッシュ要求回路が発生する内部リフレッシュ要求の受け付けを禁止する。また、アービタは、受信したチップイネーブル信号およびアドレスバリッド信号に対応する読み出し動作または書き込み動作の完了に応答して内部リフレッシュ要求の受け付けを許可する。このため、アドレス信号およびデータ信号を受信する兼用端子と、アドレスバリッド端子とを有する半導体記憶装

10

20

30

40

50

置において、読み出し動作および書き込み動作と、内部リフレッシュ要求に応答するリフレッシュ動作とが競合することを防止でき、誤動作することを防止できる。

【0013】

本発明の半導体記憶装置の第1の形態における好ましい例では、アクセスコマンド端子は、メモリセルからデータを読み出す読み出しコマンドおよびメモリセルにデータを書き込む書き込みコマンドの少なくともいずれかを受信する。ラッチ信号生成回路は、アクセス検出回路による検出に応答して、第1アドレスラッチ信号を活性化する。第1アドレスラッチ回路は、第1アドレスラッチ信号の活性化に応答してアドレス信号を受信してラッチし、外部アドレス信号として出力する。第2アドレスラッチ回路は、読み出しコマンドまたは書き込みコマンドの受信に同期して外部アドレス信号をラッチし、ラッチした信号をメモリセルアレイに出力する。

10

【0014】

兼用端子を介してアドレス信号を受信する場合、アドレス信号の確定期間は、専用端子を用いる場合に比べ短い。兼用端子で受信するアドレス信号を、第1アドレスラッチ回路で一旦ラッチすることで、アドレス信号の確定期間が短い場合にも、アドレス信号を確実に受信し、確定期間の長い外部アドレス信号を生成できる。この結果、アドレス信号の誤ラッチによる半導体記憶装置の誤動作を防止できる。さらに、兼用端子に入力されるアドレス信号のセットアップ時間およびホールド時間を最小限に設定できるため、アクセス時間を短縮できる。

【0015】

20

本発明の半導体記憶装置の第2の形態では、アドレス専用端子は、アドレス信号を受信する。アービタは、外部アクセス要求および内部リフレッシュ要求のいずれを優先するかを決定する。仕様設定部は、動作仕様を第1仕様および第2仕様のいずれかに設定する。

第1仕様に設定された半導体記憶装置は、アドレスバリッド端子を無効にして兼用端子でデータ信号のみを受信し、アドレス専用端子を有効にする。アービタは、チップイネーブル信号が有効レベルであることを検出したときに内部リフレッシュ要求の受け付けを禁止する。また、アービタは、受信したチップイネーブル信号に対応する読み出し動作または書き込み動作の完了に応答して内部リフレッシュ要求の受け付けを許可する。

【0016】

第2仕様に設定された半導体記憶装置は、上述した第1の形態と同じ動作をする。このため、読み出し動作および書き込み動作と、内部リフレッシュ要求に応答するリフレッシュ動作とが競合することを防止でき、誤動作することを防止できる。さらに、この半導体記憶装置では、仕様設定部の設定内容に応じて動作仕様を変更できるため、1つの設計データから動作仕様の異なる2つの製品を容易に製造できる。この結果、半導体記憶装置の開発コストおよび製造コストを削減できる。

30

【0017】

本発明の半導体記憶装置の第2の形態における好ましい例では、半導体記憶装置は、上述した第1の形態と同じ機能を有するアクセスコマンド端子、ラッチ信号生成回路、第1および第2アドレスラッチ回路を有する。第2アドレスラッチ回路は、第1仕様では、アドレス信号をラッチし、第2仕様では、外部アドレス信号をラッチする。したがって、第2仕様に設定された半導体記憶装置は、上述した第1の形態と同じ特徴を有する。すなわち、アドレス信号の誤ラッチによる半導体記憶装置の誤動作を防止でき、アクセス時間を短縮できる。

40

【0018】

本発明の半導体記憶装置の第2の形態における好ましい例では、仕様設定部は、半導体製造工程で使用するホトマスクのパターン形状に対応して半導体基板上の所定の位置に形成される導電膜を有する。動作仕様は、導電膜により形成される信号経路に応じて、第1仕様または第2仕様に設定される。したがって、半導体記憶装置の製品仕様（動作仕様）を、使用するホトマスクに応じて最適に切り替えることができる。動作仕様を切り替える回路が不要なため、半導体記憶装置のチップサイズを最小限にできる。

50

## 【 0 0 1 9 】

本発明の半導体記憶装置の第2の形態における好ましい例では、仕様設定部は、プログラム回路を有する。動作仕様は、プログラム回路にプログラムされた情報に応じて、第1仕様または第2仕様に設定される。したがって、半導体記憶装置の製品仕様（動作仕様）を、半導体記憶装置を製造した後に設定できる。第1または第2仕様に切り替えられる半導体記憶装置を予め製造できるため、製造後の生産計画（出荷計画）の変更にも迅速に対応できる。

## 【 0 0 2 0 】

本発明の半導体記憶装置の第2の形態における好ましい例では、テストモード端子は、テストモード信号を受信する。テスト端子は、テスト信号を受信する。仕様設定部は、テストモード信号が有効レベルを示すときに、プログラム回路の設定状態にかかわらず、テスト信号の論理レベルに応じて、動作仕様を第1仕様または第2仕様のいずれかに切り替える。したがって、半導体記憶装置を、プログラム回路の設定状態にかかわらず、第1仕様および第2仕様に切り替えてテストできる。例えば、第1仕様として動作するが第2仕様では動作しないことがテストにより判明したときに、その半導体記憶装置をプログラム回路により第1仕様に設定することで、不良を救済できる。この結果、歩留を向上でき、製造コストを削減できる。

10

## 【 0 0 2 1 】

本発明の半導体記憶装置の第2の形態における好ましい例では、テスト制御回路は、通常動作では使用しない組み合わせの信号を受けたときに、半導体記憶装置の動作状態をテストモードに移行する。仕様設定部は、動作仕様をテストモード中に、プログラム回路の設定状態にかかわらずテスト信号に応じて第1仕様または第2仕様のいずれかに切り替える。この半導体記憶装置においても、上述と同様に、歩留を向上でき、製造コストを削減できる。

20

## 【 0 0 2 2 】

本発明の半導体記憶装置の第1および第2の形態における好ましい例では、リフレッシュアドレスカウンタは、フレッシュするメモリセルを示すリフレッシュアドレス信号を、内部リフレッシュ要求に同期して順次生成する。マルチプレクサは、第1アドレスラッチ回路と第2アドレスラッチ回路との間に配置され、外部アドレス信号またはリフレッシュアドレス信号のいずれかを第2アドレスラッチ回路に供給する。第2アドレスラッチ回路は、マルチプレクサにより選択されたアドレス信号をラッチする。一般的に、内部リフレッシュ要求の発生周期は、アクセス時間に比べて十分に長いため、リフレッシュアドレス信号の確定期間は長い。このため、マルチプレクサを第1アドレスラッチ回路と第2アドレスラッチ回路との間に配置することで、マルチプレクサは、余裕を持ってアドレス信号を切り替えることができる。内部回路のタイミングマージンを確保できるため、半導体記憶装置の誤動作を防止でき、歩留を向上できる。また、回路設計を容易に行うことができる。

30

## 【 図面の簡単な説明 】

## 【 0 0 2 3 】

【 図 1 】 本発明の半導体記憶装置の第1の実施形態を示すブロック図である。

40

【 図 2 】 図 1 に示したタイミングコントロールの詳細を示すブロック図である。

【 図 3 】 図 2 に示したアービタの詳細を示す回路図である。

【 図 4 】 第1の実施形態において、第2仕様に設定された擬似 S R A M のアービタの動作を示すタイミング図である。

【 図 5 】 第1の実施形態において、第2仕様に設定された擬似 S R A M のアービタの別の動作を示すタイミング図である。

【 図 6 】 第1の実施形態において、第2仕様に設定された擬似 S R A M の動作を示すタイミング図である。

【 図 7 】 第1の実施形態において、第2仕様に設定された擬似 S R A M の別の動作を示すタイミング図である。

50

【図 8】第 1 の実施形態の擬似 S R A M において、第 1 仕様に設定された状態を示すブロック図である。

【図 9】第 1 の実施形態の擬似 S R A M のタイミングコントロールにおいて、第 1 仕様に設定された状態を示すブロック図である。

【図 10】第 1 の実施形態において、第 1 仕様に設定された擬似 S R A M のアービタ 2 2 の動作を示すタイミング図である。

【図 11】第 1 の実施形態において、第 1 仕様に設定された擬似 S R A M の動作を示すタイミング図である。

【図 12】本発明の半導体記憶装置の第 2 の実施形態を示すブロック図である。

【図 13】本発明の半導体記憶装置の第 3 の実施形態を示すブロック図である。

10

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図に太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。また、信号が伝達される信号線には、信号名と同じ符号を使用する。末尾に " Z " の付く信号は、正論理を示している。先頭に " / " の付く信号および末尾に " X " の付く信号は、負論理を示している。

【0025】

図 1 は、本発明の半導体記憶装置の第 1 の実施形態を示している。この半導体記憶装置は、シリコン基板上に C M O S プロセスを使用して擬似 S R A M として形成されている。擬似 S R A M は、例えば、携帯電話等の携帯機器に搭載されるワークメモリに使用される。

20

擬似 S R A M は、入力バッファ 10、12、14、出力バッファ 16、コマンド入力回路 18、パワーコントロール 20、アービタ 22 を有するタイミングコントロール 24、遅延回路 D L Y 1 - 3、リフレッシュタイマ（リフレッシュ要求回路）26、リフレッシュアドレスカウンタ 28、第 1 アドレスラッチ回路 30、マルチプレクサ 32、第 2 アドレスラッチ回路 34、36、ロウデコーダ 38、入力データラッチ回路 40、出力データコントロール 42、コンフィギュレーションレジスタ 44、コラムデコーダ 46、センスアンプ/スイッチ 48、メモリセルアレイ 50 および複数の仕様設定部 S 1 を有している。

30

【0026】

各仕様設定部 S 1 は、半導体製造工程で使用するホトマスクのパターン形状に対応してシリコン基板上の所定の位置に形成される導電膜により構成されている。この実施形態では、ホトマスクの切り替えにより、動作仕様（製品仕様）が第 1 仕様または第 2 仕様の擬似 S R A M のいずれかが製造される。導電膜は、仕様設定部 S 1 の端子（丸印）を接続する線で示している。この例では、各仕様設定部 S 1 の導電パターンは 2 番の端子に接続されており、動作仕様が第 2 仕様に設定されているときを示している。第 1 仕様の擬似 S R A M は、1 番の端子に接続される導電パターンにより各仕様設定部 S 1 を構成することで製造される。

40

【0027】

入力バッファ 10 は、アドレス入力イネーブル信号 A I N E N Z が高レベルの期間に活性化され、アドレス端子 A 19 - 16 を介して供給されるアドレス信号 A 19 - 16 を受信し、受信した信号を遅延回路 D L Y 1 に出力する。アドレス入力イネーブル信号 A I N E N Z は、後述するように、チップイネーブル信号 / C E とアドレスバリッド信号 / A D V とが共に低レベル（有効レベル、活性化期間）のときに活性化される。アドレス端子 A 19 - 16 は、アクセスするメモリセル M C を示すアドレス信号 A 19 - 0 のみを受信するアドレス専用端子である。

【0028】

入力バッファ 12 は、アドレス入力イネーブル信号 A I N E N Z が高レベルの期間に活

50

性化され、アドレス端子 A 1 5 - 0 を介して供給されるアドレス信号 A 1 5 - 0 を受信し、受信した信号を遅延回路 D L Y 2 に出力する。アドレス端子 A 1 5 - 0 は、アクセスするメモリセル M C を示すアドレス信号 A 1 5 - 0 のみを受信するアドレス専用端子である。

#### 【 0 0 2 9 】

入力バッファ 1 2 の入力に接続された仕様設定部 S 1 は、動作仕様（製品仕様）が第 1 仕様に設定されているときに、入力バッファ 1 2 に接地電圧（固定レベル）を供給し、動作仕様が第 2 仕様に設定されているときに、入力バッファ 1 2 を各アドレス端子 A 1 5 - 0 に接続する。このように、入力バッファ 1 2 は、仕様設定部 S 1 により動作仕様（製品仕様）が第 1 仕様に設定されているときのみ使用され、アドレス信号 A 1 5 - 0 を受信する。

10

#### 【 0 0 3 0 】

入力バッファ 1 4 は、動作仕様が第 1 仕様に設定されたとき、メモリセル M C に書き込むデータ信号 D Q 1 5 - 8、D Q 7 - 0 のみを受信し、動作仕様が第 2 仕様に設定されたとき、アドレス信号 A 1 5 - 8、A 7 - 0 およびデータ信号 D Q 1 5 - 8、D Q 7 - 0 を受信する。すなわち、端子 A / D Q 1 5 - 0 は、第 1 仕様ではデータ信号 D Q の専用端子として機能し、第 2 仕様ではアドレス信号 A およびデータ信号 D Q の兼用端子として機能する。入力バッファ 1 4 は、入力イネーブル信号 I N E N Z が高レベルの期間に活性化され、兼用端子 A / D Q 1 5 - 8、A / D Q 7 - 0 を介して供給されるアドレス信号 A 1 5 - 0 およびデータ信号 D Q 1 5 - 0 を受信し、受信した信号を遅延回路 D L Y 3 に出力する。入力イネーブル信号 I N E N Z は、アドレス入力イネーブル信号 A I N E N Z の活性化期間と、書き込み制御信号 W R P X の活性化期間をオアした信号である。

20

#### 【 0 0 3 1 】

出力バッファ 1 6 は、メモリセル M C から読み出されるデータ等を兼用端子 A / D Q 1 5 - 8、A / D Q 7 - 0 を介して、擬似 S R A M の外部に出力する。出力バッファ 1 6 は、アウトプットイネーブル / O E の活性化中に、データ信号 D Q を出力する。

コマンド入力回路 1 8 は、外部端子（コマンド端子）を介して供給されるコマンド信号を受信し、受信した信号を内部コマンド信号としてパワーコントロール 2 0 およびタイミングコントロール 2 4 に出力する。外部端子は、読み出しコマンドおよび書き込みコマンドを受信するアクセス端子として機能する。コマンド信号として、パワーダウン信号 / R P、アドレスバリッド信号 / A D V、チップイネーブル信号 / C E、ライトイネーブル信号 / W E、アウトプットイネーブル信号 / O E、アッパーバイトコントロール信号 / U B およびロウアーバイトコントロール信号 / L B がある。内部コマンド信号として、内部アドレスバリッド信号 A D V X、A D V Z、内部チップイネーブル信号 C E X、内部ライトイネーブル信号 W E X、内部アウトプットイネーブル信号 O E X、内部アッパーバイトコントロール信号 U B X および内部ロウアーバイトコントロール信号 L B X 等がある。

30

#### 【 0 0 3 2 】

チップイネーブル信号 / C E は、メモリセルアレイ 5 0 をアクセスするときに活性化される。アドレスバリッド信号 / A D V は、兼用端子 A / D Q に供給される信号がアドレス信号 A 1 5 - 0 であるときに活性化される。ライトイネーブル信号 / W E は、書き込み動作を実行するときに活性化される。アウトプットイネーブル信号 / O E は、読み出し動作を実行するときに活性化される。アッパーバイトコントロール信号 / U B は、データ信号 D Q 1 5 - 8 を有効にするときに活性化される。ロウアーバイトコントロール信号 / L B は、データ信号 D Q 7 - 0 を有効にするときに活性化される。

40

#### 【 0 0 3 3 】

パワーコントロール 2 0 は、パワーダウン信号 / R P の活性化に応答して、擬似 S R A M をパワーダウンモードに移行するため、タイミングコントロール 2 4、入力バッファ 1 0、1 2、1 4、出力バッファ 1 6 に制御信号を出力する。パワーダウン信号 / R P が活性化されている期間、擬似 S R A M は、チップの状態を通常動作モードからパワーダウンモードに移行する。パワーダウンモード中、メモリセル M C にデータは保持されず、擬似

50

S R A Mの内部回路は、コマンド入力回路 1 8を除き動作を停止する。このため、パワーダウンモード中の消費電流は、数～数十 $\mu$ Aに抑えられる。

【 0 0 3 4 】

タイミングコントロール 2 4 は、コマンド信号に応じてメモリセルアレイ 5 0 および他の内部回路の動作を制御するための制御信号を出力する。制御信号として、アドレス入力イネーブル信号 A I N E N Z、第 1 アドレスラッチ信号 A L A T Z、読み出し制御信号 R D P X、書き込み制御信号 W R P X、リフレッシュ制御信号 R E F P X、レジスタラッチ信号 C R E G L Z、レジスタ読み出し信号 C R E G R Z 等がある。タイミングコントロール 2 4 のアービタ 2 2 は、外部アクセス要求（読み出しコマンドおよび書き込みコマンド）および内部リフレッシュ要求（リフレッシュ要求信号 R R E Q Z）のいずれを優先するかを決定する。

10

【 0 0 3 5 】

遅延回路 D L Y 1 - 3 は、同じ遅延時間を有している。遅延回路 D L Y 1 - 3 は、アドレス信号 A 1 9 - 0 を第 1 アドレスラッチ回路 3 0 に確実にラッチさせるために、アドレス信号 A 1 9 - 0 を所定時間遅らせて遅延アドレス信号 D A 1 9 - 0 として出力する。

リフレッシュタイマ 2 6 は、リフレッシュ要求信号（内部リフレッシュ要求）R R E Q Z を、例えば、数十 $\mu$ s の周期で発生する。リフレッシュアドレスカウンタ 2 8 は、リフレッシュするメモリセル M C を示すリフレッシュアドレス信号 R E F A D を、リフレッシュ要求信号 R R E Q Z に同期して順次生成する。

【 0 0 3 6 】

20

第 1 アドレスラッチ回路 3 0 は、第 1 アドレスラッチ信号 A L A T Z の高レベル期間に遅延アドレス信号 D A を外部アドレス信号 E A としてマルチプレクサ 3 2 に転送し、第 1 アドレスラッチ信号 A L A T Z の立ち下がリエッジに同期して遅延アドレス信号 D A をラッチする。ラッチした信号は、外部アドレス信号 E A として出力される。

マルチプレクサ 3 2 は、読み出し動作または書き込み動作を実行するとき外部アドレス信号 E A（より詳細には、ロウアドレスに対応する上位ビット I A 1 9 - 8）を選択し、リフレッシュ動作を実行するときリフレッシュアドレス信号 R E F A D を選択し、選択した信号を内部ロウアドレス信号 I R A 1 9 - 8 として第 2 アドレスラッチ回路 3 4 に出力する。

【 0 0 3 7 】

30

第 2 アドレスラッチ回路 3 4 は、マルチプレクサ 3 2 から出力される内部ロウアドレス信号 I R A 1 9 - 8 を、読み出し制御信号 R D P X、書き込み制御信号 W R P X またはリフレッシュ制御信号 R E F P X の立ち下がリエッジ（活性化エッジ）に同期してラッチし、ラッチした信号をロウアドレス信号 R A 1 9 - 8 として出力する。

第 2 アドレスラッチ回路 3 6 は、外部アドレス信号 E A 1 9 - 0 のうち下位ビットの内部コラムアドレス信号 I C A 7 - 0 を、読み出し制御信号 R D P X、書き込み制御信号 W R P X またはリフレッシュ制御信号 R E F P X の立ち下がリエッジに同期してラッチし、ラッチした信号をコラムアドレス信号 C A 7 - 0 として出力する。

【 0 0 3 8 】

40

ロウデコーダ 3 8 は、ロウアドレス信号 R A 1 9 - 8 をデコードしてロウデコード信号を生成し、メモリセルアレイ 5 0 に出力する。コラムデコーダ 4 6 は、コラムアドレス信号 C A 7 - 0 をデコードしてコラムデコード信号を生成し、センスアンプ/スイッチ 4 8 に出力する。

入力データラッチ回路 4 0 は、入力バッファ 1 4 を介して供給されるデータ信号 D Q 1 5 - 0（書き込みデータ）を、書き込み制御信号 W R P X に同期してラッチし、ラッチした信号を入力データ信号 I D Q 1 5 - 0 としてセンスアンプ/スイッチ 4 8 に出力する。

【 0 0 3 9 】

出力データコントロール 4 2 は、センスアンプ/スイッチ 4 8 およびコンフィギュレーションレジスタ 4 4 から出力される出力データ信号 O D Q 1 5 - 0 を保持し、所定のタイミングで出力バッファ 1 6 に出力する。

50

コンフィギュレーションレジスタ44は、擬似SRAMが第2仕様に設定されているときに有効になり、メモリセルアレイの使用領域を設定するために使用される。この実施形態では、メモリセルアレイの使用領域は、2ビットのデータ信号DQ3-2の論理レベルに応じて、フル領域、1/2、1/4、1/8のいずれかに設定される。第1仕様では、コンフィギュレーションレジスタ44はアクセスできなくなり、メモリセルアレイの使用領域は、常にフル領域に設定される。

#### 【0040】

第2仕様において、メモリセルアレイの使用領域は、擬似SRAMを搭載するシステムの仕様に依りて設定される。具体的には、擬似SRAMは、パワーアップ後にコンフィギュレーションレジスタ書き込みコマンド（以下、CR書き込みコマンド）を受けると、レジスタラッチ信号CREGLZが活性化し、このときの兼用端子A/DQ3-2の論理値をコンフィギュレーションレジスタ44に書き込む。システムは、例えば、システム基板上に擬似SRAMおよびマイクロコンピュータ等を搭載することで構成され、擬似SRAMは、マイクロコンピュータによりアクセスされる。

10

#### 【0041】

CR書き込みコマンドは、アドレスパリッド端子/ADV、アッパーバイトコントロール信号/UB、ロウアーバイトコントロール信号/LBおよびアウトプットイネーブル信号/OEを高レベルに保持し、チップイネーブル信号/CEおよびライトイネーブル信号/WEを低レベルに保持することで認識される。

コンフィギュレーションレジスタ44に設定された値は、コンフィギュレーションレジスタ読み出しコマンド（以下、CR読み出しコマンド）を擬似SRAMに供給し、レジスタ読み出し信号CREGRZを活性化することで読み出すことができる。CR読み出しコマンドは、アドレスパリッド端子/ADV、アッパーバイトコントロール信号/UB、ロウアーバイトコントロール信号/LBおよびライトイネーブル信号/WEを高レベルに保持し、チップイネーブル信号/CEおよびアウトプットイネーブル信号/OEを低レベルに保持することで認識される。

20

#### 【0042】

センスアンプ/スイッチ48は、図示しないセンスアンプおよびコラムスイッチを有している。センスアンプは、読み出し動作、書き込み動作およびリフレッシュ動作中に動作し、相補のビット線BL、/BLの電圧差を増幅する。コラムスイッチは、読み出し動作および書き込み動作中にコラムアドレス信号CA7-0に応じてオンし、ビット線BL、/BLと図示しないデータバス線とを接続する。

30

#### 【0043】

メモリセルアレイ50は、マトリックス状に配置された複数のダイナミックメモリセルMCと、メモリセルMCに接続された複数のワード線WLおよび複数のビット線対BL、/BLを有している。ダイナミックメモリセルMCは、一般のDRAMのメモリセルと同じであり、データを電荷として保持するためのキャパシタと、このキャパシタとビット線BL（または/BL）との間に配置された転送トランジスタとを有している。転送トランジスタのゲートは、ワード線WLに接続されている。

#### 【0044】

図2は、図1に示したタイミングコントロール24の詳細を示している。タイミングコントロール24は、コンフィギュレーションレジスタ制御回路52、アクセス検出回路54、グリッチフィルタ56、58、ラッチ信号生成回路60、入力イネーブル生成回路62、コア制御回路64および上述したアービタ22を有している。

40

コンフィギュレーションレジスタ制御回路52は、上述したように、第2仕様において、所定の組み合わせのコマンド信号を受けたときに、コンフィギュレーションレジスタ44にデータを書き込むために、レジスタラッチ信号CREGLZを活性化する。また、コンフィギュレーションレジスタ制御回路52は、第2仕様において、別の所定の組み合わせのコマンド信号を受けたときに、コンフィギュレーションレジスタ44からデータを読み出すために、レジスタ読み出し信号CREGRZを活性化する。コンフィギュレーション

50

レジスタ制御回路52は、第1仕様では、仕様設定部S1の設定により動作が禁止される。このとき、レジスタラッチ信号CREGLZおよびレジスタ読み出し信号CREGRZは、常に低レベルに非活性化される。

【0045】

アクセス検出回路54は、チップイネーブル信号/CEおよびアドレスバリッド信号/ADVが共に有効レベル（低レベル）になったときに外部アクセス要求を検出し、アクセス要求信号ACCXを活性化する。

グリッチフィルタ56は、内部アドレスバリッド信号ADVXの立ち上がりエッジ（後縁）を遅延させ、内部アドレスバリッド信号ADVDXとして出力する。グリッチフィルタ58は、内部チップイネーブル信号CEXの立ち上がりエッジ（後縁）を遅延させ、内部チップイネーブル信号CEDXとして出力する。

10

【0046】

ラッチ信号生成回路60は、アクセス要求信号ACCXを反転して、第1アドレスラッチ信号ALATZを生成する。すなわち、第1アドレスラッチ信号ALATZは、アクセス検出回路54による外部アクセス要求の検出にตอบสนองして活性化される。この際、ラッチ信号生成回路60は、図1に示した遅延回路DLY1-3に対応する時間、第1アドレスラッチ信号ALATZの活性化を遅らせる。より詳細には、第1アドレスラッチ信号ALATZの活性化タイミングは、アドレス入力イネーブル信号AINNENZの活性化タイミングより遅く設定される。

【0047】

20

入力イネーブル生成回路62は、内部チップイネーブル信号CEDXおよび内部アドレスバリッド信号ADVDXが共に有効レベル（低レベル）の期間に、アドレス入力イネーブル信号AINNENZを活性化する。内部チップイネーブル信号CEDXおよび内部アドレスバリッド信号ADVDXの後縁は、グリッチフィルタ56、58により遅延しているため、アドレス入力イネーブル信号AINNENZの非活性化タイミングは、第1アドレスラッチ信号ALATZの非活性化タイミングより遅れる。

【0048】

アービタ22は、リフレッシュ動作を実行するときに、リフレッシュ開始信号REFSZを活性化し、アクセス動作（読み出し動作または書き込み動作）を実行するときに、アクセス開始信号ACTSZを活性化する。アービタ22の詳細は、後述する図3で説明する。

30

コア制御回路64は、読み出し動作を実行するときに読み出し制御信号RDPXを活性化し、書き込み動作を実行するときに書き込み制御信号WRPXを活性化し、リフレッシュ動作を実行するときにリフレッシュ制御信号REFPXを活性化する。コア制御回路64は、リフレッシュ動作の完了にตอบสนองしてリフレッシュ終了信号REFSZを活性化し、アクセス動作の完了にตอบสนองしてアクセス終了信号ACTEZを活性化する。また、コア制御回路64は、リフレッシュ動作中およびアクセス動作中を示すロウ制御信号RASZをアービタ22に出力する。

【0049】

図3は、図2に示したアービタ22の詳細を示している。アービタ22は、ラッチ回路66、リフレッシュ保持回路68、リフレッシュマスク回路70、リフレッシュ開始回路72およびアクセス開始回路74を有している。

40

ラッチ回路66は、フリップフロップで構成されており、アクセス要求信号ACCXの活性化に同期してリフレッシュ禁止信号REFDISXを活性化し、アクセス終了信号ACTEZの活性化に同期してリフレッシュ禁止信号REFDISXを非活性化する。後述するように、リフレッシュ禁止信号REFDISXにより、リフレッシュ要求の受け付けは、図2に示したアクセス検出回路54による外部アクセス要求の検出から、この外部アクセス要求に対応する読み出し動作または書き込み動作の完了まで禁止される。

【0050】

リフレッシュ保持回路68は、フリップフロップで構成されており、リフレッシュ要求

50

信号 R R E Q Z の活性化に同期してリフレッシュ保持信号 R E F H Z を活性化し、リフレッシュ終了信号 R E F E Z の活性化に同期してリフレッシュ保持信号 R E F H Z を非活性化する。

リフレッシュマスク回路 7 0 は、フリップフロップで構成されており、リフレッシュ禁止信号 R E F D I S X が低レベルの期間（リフレッシュ禁止期間）、リフレッシュ開始信号 R E F S 0 Z の出力を禁止する。リフレッシュマスク回路 7 0 は、リフレッシュ保持回路 7 0 にリフレッシュ要求が保持されている場合、リフレッシュ禁止信号 R E F D I S X の高レベルへの変化（リフレッシュ禁止からリフレッシュ許可への遷移）にตอบสนองして、リフレッシュ開始信号 R E F S 0 Z を活性化する。

【 0 0 5 1 】

リフレッシュ開始回路 7 2 は、リフレッシュ開始信号 R E F S 0 Z の活性化に同期してリフレッシュ開始信号 R E F S Z を活性化し、リフレッシュ終了信号 R E F E Z の活性化に同期してリフレッシュ開始信号 R E F S Z を非活性化する。図 2 に示したコア制御回路 6 4 は、リフレッシュ開始信号 R E F S Z を活性化にตอบสนองしてリフレッシュ動作の実行を開始する。

【 0 0 5 2 】

アクセス開始回路 7 4 は、ラッチ回路 7 4 a およびマスク回路 7 4 b を有している。ラッチ回路 7 4 a は、リフレッシュ禁止信号 R E F D I S X の低レベルへの変化に同期してセットされ、アクセス要求信号 A R E Q Z を活性化する。ラッチ回路 7 4 a は、アクセス開始信号 A C T S Z の活性化に同期してリセットされ、アクセス要求信号 A R E Q Z を非活性化する。マスク回路 7 4 b は、リフレッシュ開始信号 R E F S Z が活性化中に、アクセス要求信号 A R E Q Z にตอบสนองしてアクセス開始信号 A C T S Z を活性化することをマスクする。マスク回路 7 4 b は、リフレッシュ開始信号 R E F S Z の非活性化中に、アクセス要求信号 A R E Q Z にตอบสนองしてアクセス開始信号 A C T S Z を活性化する。

【 0 0 5 3 】

図 4 は、第 1 の実施形態において、第 2 仕様に設定された擬似 S R A M のアービタ 2 2 の動作を示している。この例では、擬似 S R A M は、アクセス要求（読み出しコマンド R D または書き込みコマンド W R ）を受ける直前に、リフレッシュ要求 R R E Q Z を発生する。

まず、リフレッシュ要求 R R E Q Z にตอบสนองして、リフレッシュ保持信号 R E F H Z は高レベルに活性化される（図 4（a））。このとき、アクセス要求は発生していないため、リフレッシュ禁止信号 R E F D I S X は非活性化状態にある。すなわち、リフレッシュ要求 R R E Q Z の受け付けは許可されている。したがって、リフレッシュ要求 R R E Q Z にตอบสนองしてリフレッシュ開始信号 R E F S 0 Z、R E F S Z が順次活性化され（図 4（b））、リフレッシュ動作 R E F が実行される（図 4（c））。

【 0 0 5 4 】

リフレッシュ要求 R R E Q Z が発生した後、アクセス要求が供給され、アクセス要求信号 A C C X が低レベルに活性化される（図 4（d））。アクセス要求信号 A C C X の活性化にตอบสนองしてリフレッシュ禁止信号 R E F D I S X が低レベルに活性化される（図 4（e））。リフレッシュ禁止信号 R E F D I S X が活性化されている期間、リフレッシュ要求 R R E Q Z の受け付けは禁止される。リフレッシュ禁止信号 R E F D I S X の活性化に同期して、アクセス要求信号 A R E Q Z が活性化される（図 4（f））。このとき、リフレッシュ開始信号 R E F S Z が活性化されているため、アクセス開始信号 A C T S Z は活性化されない。

【 0 0 5 5 】

リフレッシュ動作 R E F の実行の完了に同期してリフレッシュ終了信号 R E F E Z が出力される（図 4（g））。リフレッシュ終了信号 R E F E Z に同期してリフレッシュ保持信号 R E F H Z が非活性化される（図 4（h））。同時に、リフレッシュ開始信号 R E F S 0 Z、R E F S Z は、非活性化される（図 4（i））。リフレッシュ終了信号 R E F E Z の非活性化にตอบสนองしてアクセス開始信号 A C T S Z が活性化され（図 4（j））、読み

10

20

30

40

50

出し動作 R D または書き込み動作 W R が実行される ( 図 4 ( k ) )。アクセス開始信号 A C T S Z の活性化に同期してアクセス要求信号 A R E Q Z が非活性化され、アクセス開始信号 A C T S Z は自己リセットされる ( 図 4 ( l ) )。この後、読み出し動作 R D または書き込み動作 W R の終了に回答してアクセス終了信号 A C T E X が活性化される ( 図 4 ( m ) )。アクセス終了信号 A C T E X の活性化に同期してリフレッシュ禁止信号 R E F D I S X が高レベルに非活性化され、リフレッシュ要求信号 R R E Q Z の受け付けが再び開始される ( 図 4 ( n ) )。

【 0 0 5 6 】

図 5 は、第 1 の実施形態において、第 2 仕様に設定された擬似 S R A M のアービタ 2 2 の別の動作を示している。図 4 と同じ動作については、詳細な説明を省略する。この例では、擬似 S R A M は、アクセス要求 ( 読み出しコマンド R D または書き込みコマンド W R ) を受けた直後に、リフレッシュ要求 R R E Q Z を発生する。

まず、アクセス要求が供給され、アクセス要求信号 A C C X が低レベルに活性化され ( 図 5 ( a ) )、リフレッシュ禁止信号 R E F D I S X が活性化される ( 図 5 ( b ) )。リフレッシュ禁止信号 R E F D I S X の活性化に同期して、アクセス要求信号 A R E Q Z が活性化される ( 図 5 ( c ) )。このとき、リフレッシュ開始信号 R E F S Z は非活性化されているため、アクセス要求信号 A R E Q Z に同期してアクセス開始信号 A C T S Z は活性化される ( 図 5 ( d ) )。そして、読み出し動作 R D または書き込み動作 W R が実行される ( 図 5 ( e ) )。リフレッシュ禁止信号 R E F D I S X が活性化されている期間、リフレッシュ要求 R R E Q Z の受け付けは禁止される。

【 0 0 5 7 】

一方、アクセス要求信号 A C C X が活性化された後にリフレッシュ要求 R R E Q Z が活性化され ( 図 5 ( f ) )、リフレッシュ保持信号 R E F H Z が活性化される ( 図 5 ( g ) )。このとき、リフレッシュ禁止信号 R E F D I S X は活性化されているため、リフレッシュ開始信号 R E F S 0 Z は活性化されない。次に、読み出し動作 R D または書き込み動作 W R の終了に回答してアクセス終了信号 A C T E X が活性化され ( 図 5 ( h ) )、リフレッシュ禁止信号 R E F D I S X が非活性化される ( 図 5 ( i ) )。

【 0 0 5 8 】

リフレッシュ保持信号 R E F H Z が活性化されているため、リフレッシュ禁止信号 R E F D I S X の非活性化に回答してリフレッシュ開始信号 R E F S 0 Z、R E F S Z が活性化され ( 図 5 ( j ) )、リフレッシュ動作 R E F が実行される ( 図 5 ( k ) )。リフレッシュ動作 R E F の実行の完了に同期してリフレッシュ終了信号 R E F E Z が出力され ( 図 5 ( l ) )、リフレッシュ保持信号 R E F H Z が非活性化される ( 図 5 ( m ) )。同時に、リフレッシュ開始信号 R E F S 0 Z、R E F S Z が非活性化される ( 図 5 ( n ) )。

【 0 0 5 9 】

図 6 は、第 1 の実施形態において、第 2 仕様に設定された擬似 S R A M の動作を示している。この例では、上述した図 4 と同様に、擬似 S R A M は、書き込みコマンド ( アクセス要求 ) を受ける直前に、リフレッシュ要求 R R E Q Z を発生する。図 4 と同じ動作については、詳細な説明を省略する。なお、第 2 仕様では、チップイネーブル信号 / C E とアドレスパリッド信号 / A D V が共に有効レベル ( 低レベル ) のときに、アクセス要求が認識される。

【 0 0 6 0 】

例えば、擬似 S R A M が搭載されるシステムのアドレスマップ上に擬似 S R A M を含めて複数の半導体記憶装置が割り当てられるとき、システムは、アドレスをデコードしてチップイネーブル信号を生成し、チップイネーブル端子 / C E に供給する。一方、システムのアドレスマップ上に擬似 S R A M のみが割り当てられるとき、システムは、チップイネーブル端子 / C E を低レベルに固定できる。この実施形態では、タイミングコントローラ 2 4 内にアクセス検出回路 5 4 およびラッチ回路 6 6 を形成することで、チップイネーブル端子 / C E が低レベルに固定された場合にも、擬似 S R A M は、読み出し動作および書き込み動作を正しく実行できる。

10

20

30

40

50

## 【 0 0 6 1 】

まず、スタンバイ状態においてリフレッシュ要求信号 RREQZ が活性化される (図 6 (a))。リフレッシュ禁止信号 REFDISX は非活性化されているため、リフレッシュ要求 RREQZ に応答してリフレッシュ開始信号 REFSZ が活性化される (図 6 (b))。図 1 に示したマルチプレクサ 32 は、リフレッシュ開始信号 REFSZ が活性化してから所定の期間、リフレッシュアドレス信号 REFAD を内部ロウアドレス信号 IRA として出力する (図 6 (c))。そして、リフレッシュアドレス信号 REFAD が示すメモリセル MC に対するリフレッシュ動作 REF が実行される (図 6 (d))。

## 【 0 0 6 2 】

リフレッシュ要求 RREQZ が発生した後、アドレスバリッド信号 /ADV が所定期間低レベルに活性化される (図 6 (e))。アドレスバリッド信号 /ADV の活性化期間に対応して、兼用端子 A/DQ にアドレス信号 ADD が供給される (図 6 (f))。このとき、チップイネーブル信号 /CE も低レベルに活性化されているため、外部アクセス要求が認識され、アクセス要求信号 ACCX が低レベルに活性化される (図 6 (g))。アドレスバリッド信号 /ADV が非活性化された後、ライトイネーブル信号 /WE、アッパーバイトコントロール信号 /UB およびロウアバイトコントロール信号 /LB の活性化に対応して、書き込みデータ DIN が兼用端子 A/DQ に供給される (図 6 (h))。なお、外部アクセス要求が、書き込み要求または読み出し動作の何れであるかは、ライトイネーブル信号 /WE またはアウトプットイネーブル /OE の活性化により決定する。この例では、ライトイネーブル信号 /WE が活性化されるため、書き込み動作が実行される、

アドレスバリッド信号 /ADV の活性化に対応してアドレス入力イネーブル信号 AINENZ が所定の期間活性化される (図 6 (i))。アクセス要求信号 ACCX の活性化に対応してアドレスラッチ信号 ALATZ が所定の期間活性化される (図 6 (j))。アドレスラッチ信号 ALATZ の活性化期間は、アドレス入力イネーブル信号 AINENZ の活性化期間に含まれている。

## 【 0 0 6 3 】

アドレス入力イネーブル信号 AINENZ の活性化により、図 1 に示した入力バッファ 10、12、14 が活性化され、兼用端子 A/DQ に供給されているアドレス信号 ADD は、遅延アドレス信号線 DA に供給される (図 6 (k))。アドレスラッチ信号 ALATZ の活性化期間に、遅延アドレス信号 DA は、図 1 に示した第 1 アドレスラッチ回路 30 をスルーして外部アドレス信号 EA として供給され、アドレスラッチ信号 ALATZ の非活性化に同期して、第 1 アドレスラッチ回路 30 にラッチされる (図 6 (l))。第 1 アドレスラッチ回路 30 により、兼用端子 A/DQ を介して供給され、確定期間が短いアドレス信号 A19-0 を確定期間の長い外部アドレス信号 EA に変換できる。したがって、外部アドレス信号 EA を受けるマルチプレクサ 32 等の内部回路のタイミングマージンを向上でき、メモリセル MC を確実にアクセスできる。

## 【 0 0 6 4 】

マルチプレクサ 32 は、リフレッシュアドレス信号 REFAD に代えてアドレス信号 ADD を選択し、内部ロウアドレス信号 IRA として出力する。第 2 アドレスラッチ回路 34、36 は、内部ロウアドレス信号 IRA および内部コラムアドレス信号 ICA を、書き込み制御信号 WRPX の活性化に同期してラッチし、ラッチした信号をロウデコーダ 38 およびコラムデコーダ 46 を介してメモリセルアレイ 50 に出力する (図 6 (m))。

## 【 0 0 6 5 】

一方、図 4 と同様に、アクセス要求信号 ACCX の活性化に対応してリフレッシュ禁止信号 REFDISX が活性化され、リフレッシュ要求 RREQZ の受け付けは禁止される (図 6 (n))。リフレッシュ動作 REF の実行の完了に同期してリフレッシュ開始信号 REFSZ が非活性化され、アクセス開始信号 ACTSZ が活性化される (図 6 (o))。そして、書き込み動作 WR が実行される (図 6 (p))。リフレッシュ禁止信号 REFDISX は、書き込み動作の完了に対応して非活性化される (図 6 (q))。

## 【 0 0 6 6 】

10

20

30

40

50

上述した動作は、読み出しコマンドが供給される場合も同様に実行される。読み出しコマンドが供給される場合、ライトイネーブル信号 / WE の代わりにアウトプットイネーブル信号 / OE が活性化され、兼用端子 A / DQ には、メモリセル MC から読み出されたデータが、図 1 に示した出力バッファ 16 を介して出力される。第 2 アドレスラッチ回路 34、36 は、読み出し制御信号 RDPX に同期して動作する。その他の動作は、図 6 に示した書き込み動作と同じである。

【0067】

図 7 は、第 1 の実施形態における第 2 仕様に設定された擬似 SRAM の別の動作を示している。図 4 ~ 図 6 と同じ動作については、詳細な説明を省略する。この例では、上述した図 5 と同様に、擬似 SRAM は、書き込みコマンド WR (アクセス要求) を受けた直後に、リフレッシュ要求 REQZ を発生する。チップイネーブル信号 / CE は、アクセス毎に活性化され、あるいは常時活性化される。

10

【0068】

まず、スタンバイ状態においてアドレスバリッド信号 / ADV が活性化され (アクセス要求)、アクセス要求信号 ACCX が活性化される (図 7 (a))。アドレスバリッド信号 / ADV およびアクセス要求信号 ACCX の活性化にตอบสนองしてアドレス入力イネーブル信号 AINENZ およびアドレスラッチ信号 ALATZ が所定期間活性化され (図 7 (b))、図 6 と同様に第 1 アドレスラッチ回路 30 にアドレス信号 ADD がラッチされる (図 7 (c))。

【0069】

また、アクセス要求信号 ACCX の活性化にตอบสนองしてリフレッシュ禁止信号 REFDISX が活性化される (図 7 (d))。このとき、リフレッシュ開始信号 REFSZ は非活性化されている。このため、リフレッシュ禁止信号 REFDISX の活性化にตอบสนองしてアクセス開始信号 ACTSZ は活性化され、書き込み動作 WR が実行される (図 7 (e))。

20

【0070】

書き込み動作 WR の完了にตอบสนองしてリフレッシュ禁止信号 REFDISX が非活性化される (図 7 (f))。リフレッシュ禁止信号 REFDISX の非活性化にตอบสนองしてリフレッシュ開始信号 REFSZ が活性化される (図 7 (g))。リフレッシュ開始信号 REFSZ が活性化してから所定の期間、リフレッシュアドレス信号 REFA D が内部ロウアドレス信号 IRA として出力され (図 7 (h))。リフレッシュ動作 REF が実行される (図 7 (i))。

30

【0071】

上述した動作は、図 6 と同様に、読み出しコマンドが供給される場合も同様に実行される。読み出しコマンドが供給される場合、ライトイネーブル信号 / WE の代わりにアウトプットイネーブル信号 / OE が活性化され、兼用端子 A / DQ には、メモリセル MC から読み出されたデータが、図 1 に示した出力バッファ 16 を介して出力される。第 2 アドレスラッチ回路 34、36 は、読み出し制御信号 RDPX に同期して動作する。その他の動作は、書き込み動作と同じである。

【0072】

図 8 は、第 1 の実施形態の擬似 SRAM において、第 1 仕様に設定された状態を示している。図示を省略しているが、各仕様設定部 S1 の導電パターンは 1 番の端子に接続されている。このため、入力バッファ 12 は有効になり、アドレス信号 AD15 - 0 を受信し、入力バッファ 14 および出力バッファ 16 に接続された兼用端子 A / DQ は、データ信号 DQ15 - 0 の専用端子として使用される。

40

【0073】

遅延回路 DLY1 - 2 から出力される遅延アドレス信号 DA19 - 0 は、第 1 アドレスラッチ回路 30 を介さずに、マルチプレクサ 32 および第 2 アドレスラッチ回路 36 に直接供給される。第 1 仕様に設定された擬似 SRAM は、アドレス信号 A19 - 0 およびデータ信号 DQ15 - 0 をそれぞれ専用端子で受信するため、アドレス信号 A19 - 0 の確

50

定期間を、チップイネーブル信号 / CE の活性化期間と同等の長さにできる。したがって、アドレス信号 A 1 9 - 0 を一時的に保持する第 1 アドレスラッチ回路 3 0 は不要である。

【 0 0 7 4 】

第 1 仕様では、アドレス信号 A 1 9 - 0 およびデータ信号 D Q 1 5 - 0 は、それぞれ専用端子に供給されるため、アドレス信号 A 1 9 - 0 とデータ信号 D Q 1 5 - 0 とを識別するためのアドレスバリッド端子 / A D V は不要になる。このため、接地電圧が、アドレスバリッド信号 / A D V としてコマンド入力回路 1 8 に供給される。

【 0 0 7 5 】

図 9 は、第 1 の実施形態において、第 1 仕様に設定された擬似 S R A M のタイミングコントロール 2 4 を示している。第 1 仕様では、アドレスバリッド信号 / A D V の経路が接地電圧に固定されるため、アクセス要求信号 A C C X、第 1 アドレスラッチ信号 A L A T Z およびアドレス入力イネーブル信号 A I N E N Z は、チップイネーブル信号 / CE のみの活性化に 응답して生成される。すなわち、第 1 仕様では、チップイネーブル信号 / CE のみが有効レベル（低レベル）のときに、外部アクセス要求が認識される。レジスタラッチ信号 C R E G L Z およびレジスタ読み出し信号 C R E G R Z は、常に非活性化される。したがって、第 1 仕様では、コンフィギュレーションレジスタ 4 4 はアクセスされず、無効状態になる。

10

【 0 0 7 6 】

図 1 0 は、第 1 の実施形態において、第 1 仕様に設定された擬似 S R A M のアービタ 2 2 の動作を示している。この例では、上述した図 4 と同様に、擬似 S R A M は、アクセス要求（読み出しコマンド R D または書き込みコマンド W R ）を受ける直前に、リフレッシュ要求 R R E Q Z を発生する。図 4 と同じ動作については、詳細な説明を省略する。

20

擬似 S R A M を搭載するシステムは、擬似 S R A M をアクセスするときにチップイネーブル信号 / CE を所定期間活性化する（図 1 0 ( a ) ）。アクセス要求信号 A C C X およびリフレッシュ禁止信号 R E F D I S X は、チップイネーブル信号 / CE のみの活性化に同期して活性化される（図 1 0 ( b ) ）。その他の動作は、図 4 （第 2 仕様）と同じである。

【 0 0 7 7 】

図 1 1 は、第 1 の実施形態において、第 1 仕様に設定された擬似 S R A M の動作を示している。この例では、上述した図 6 と同様に、擬似 S R A M は、書き込みコマンド（アクセス要求）を受ける直前に、リフレッシュ要求 R R E Q Z を発生する。第 1 仕様では、アクセス要求信号 A C C X およびアドレス入力イネーブル信号 A I N E N Z は、チップイネーブル信号 / CE のみに応答して活性化される（図 1 1 ( a ) ）。その他の動作は、図 6 と同じであるため、説明を省略する。

30

【 0 0 7 8 】

以上、第 1 の実施形態では、チップイネーブル信号 / CE およびアドレスバリッド信号 / A D V が共に有効レベルになったときに外部アクセス要求を検出し、この検出からアクセス動作が完了するまでの間、リフレッシュ要求 R R E Q Z の受け付けを禁止する。このため、アドレス信号 A 1 5 - 0 とデータ信号 D Q 1 5 - 0 を受信する兼用端子 A / D Q 1 5 - 0 を有し、アドレスバリッド信号 / A D V によりアドレス信号の供給を識別する擬似 S R A M において、読み出し動作 R D および書き込み動作 W R と、リフレッシュ要求 R R E Q Z に応答するリフレッシュ動作 R E F とが競合することを防止できる。この結果、擬似 S R A M が誤動作することを防止できる。

40

【 0 0 7 9 】

アドレス信号 A 1 9 - 0 を、外部アクセス要求に対応して生成されるアクセス要求信号 A C C X に応答して第 1 アドレスラッチ回路 3 0 によりラッチする。このため、兼用端子 A / D Q に供給される確定期間の短いアドレス信号を確定期間の長い外部アドレス信号 E A に変換できる。外部アドレス信号 E A を用いて読み出し動作および書き込み動作を実行することで、アドレス信号を処理する回路（マルチプレクサ 3 2、第 2 アドレスラッチ回

50

路 3 4、3 6 等)のタイミングマージンを確保できる。この結果、アドレス信号を確実に受信でき、誤ラッチ等による擬似 S R A M の誤動作を防止できる。タイミングマージンを確保できるため、回路設計が容易になる。また、製造条件の変動の影響を受け難くなるため、歩留を向上できる。さらに、兼用端子 A / D Q に供給されるアドレス信号のセットアップ時間およびホールド時間を最小限に設定できるため、アクセス時間を短縮できる。

【 0 0 8 0 】

リフレッシュアドレス R E F A D または外部アドレス信号 E A を選択するマルチプレクサ 3 2 は、第 1 アドレスラッチ回路 3 0 と第 2 アドレスラッチ回路 3 4 との間に配置される。このため、マルチプレクサ 3 2 は、第 1 アドレスラッチ回路 3 0 によりラッチされたアドレス信号 A 1 5 - 0 と、リフレッシュアドレスカウンタ 2 8 から出力されるリフレッシュアドレス R E F A D とを余裕を持って選択し、切り替えできる。内部回路のタイミングにマージンができるため、回路設計を容易に行うことができ、歩留も向上する。

10

【 0 0 8 1 】

なお、マルチプレクサ 3 2 を第 1 アドレスラッチ回路 3 0 の入力側に配置する場合、確定期間の長いリフレッシュアドレス信号 R E F A D と、確定期間の短いアドレス信号 ( A 1 9 - 8 ) とを切り替える必要がある。このとき、マルチプレクサ 3 2 は、確定期間の短いアドレス信号に合わせて動作させる必要があり、十分なタイミングマージンを確保できない。マルチプレクサ 3 2 を第 2 アドレスラッチ回路 3 4 の出力側に配置する場合、読み出し制御信号 R D P X 等でラッチしたロウアドレス信号を、さらにマルチプレクサ 3 2 により選択する必要がある。このため、メモリセルアレイ 5 0 へのアドレス信号の供給が遅くなってしまう。

20

【 0 0 8 2 】

擬似 S R A M の製品仕様 ( 動作仕様 ) は、ホトマスクのパターン形状に対応して半導体基板上の所定の位置に形成される導電膜 ( 仕様設定部 S 1 ) の接続先に応じて、第 1 仕様または第 2 仕様に設定される。したがって、製品仕様を切り替える回路が不要になり、擬似 S R A M のチップサイズを最小限にできる。仕様設定部 S 1 の設定内容に応じて製品仕様を変更できるため、1 つの設計データから動作仕様の異なる 2 つの製品を製造できる。この結果、擬似 S R A M の開発コストおよび製造コストを削減できる。

【 0 0 8 3 】

既に第 1 仕様の擬似 S R A M が開発されている場合、この擬似 S R A M を改良して第 1 仕様および第 2 仕様に切り替え可能な擬似 S R A M を設計することで、既にある設計資産を有効活用できる。この結果、設計コストを削減できる。また、ホトマスクは、製品を製造するための 1 セットに、配線工程の 1 枚を追加することで、異なる 2 つの製品を製造できる。このため、製造コストを削減できる。

30

【 0 0 8 4 】

図 1 2 は、本発明の半導体記憶装置の第 2 の実施形態を示している。第 1 の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。この半導体記憶装置は、シリコン基板上に C M O S プロセスを使用して擬似 S R A M として形成されている。擬似 S R A M は、例えば、携帯電話等の携帯機器に搭載されるワークメモリに使用される。

この実施形態の仕様設定部 S 1 は、ヒューズ回路 ( プログラム回路 ) で構成されている。また、擬似 S R A M は、テストモード端子 T M、テスト端子 T E S T およびテスト制御回路 7 6 を有している。端子 T M、T E S T は、擬似 S R A M のテスト工程において、プローブを接触させるためのパッドとして形成されている。このため、端子 T M、T E S T は、出荷される擬似 S R A M の外部端子には存在しない。

40

【 0 0 8 5 】

テスト制御回路 7 6 は、テストモード端子 T M に高レベルを受けている期間、アクセス動作を実行する通常動作モードからテストモードに移行する。このとき、仕様設定部 S 1 は、テスト制御回路 7 6 から出力されるテスト制御信号 T C N により、ヒューズ回路のプログラム状態に関わらず、テスト端子 T E S T の論理レベルに応じて第 1 仕様または第 2 仕様に切り替わる。例えば、テスト端子 T E S T に低レベルが供給されている間、擬似 S

50

R A Mは第 1 仕様に設定される。テスト端子 T E S Tに高レベルが供給されている間、擬似 S R A Mは第 2 仕様に設定される。

【 0 0 8 6 】

以上、第 2 の実施形態においても第 1 の実施形態と同様の効果を得ることができる。さらに、仕様設定部 S 1 をヒューズ回路で構成することで、ヒューズのプログラムに応じて、製品仕様を第 1 仕様または第 2 仕様に設定できる。すなわち、擬似 S R A Mの製造後に製品仕様を設定できる。したがって、予め製造された擬似 S R A Mを、生産計画に合わせて第 1 仕様品または第 2 仕様品に振り分けることができる。製造後の生産計画の変更にも迅速に対応できる。

【 0 0 8 7 】

テストモード端子 T M、テスト信号 T E S Tおよびテスト制御回路 7 6 を設けることで、ヒューズのプログラム状態にかかわらず、製品仕様を一時的に第 1 仕様または第 2 仕様のいずれかに切り替えることができる。すなわち、ヒューズのプログラム状態にかかわらず、擬似 S R A Mを第 1 仕様および第 2 仕様に切り替えてテストできる。例えば、テストにより、擬似 S R A Mが第 1 仕様として動作するが第 2 仕様では動作しないことが判明したときに、その擬似 S R A Mをヒューズ回路（仕様設定部 S 1）により第 1 仕様に設定することで、不良を救済できる。この結果、歩留を向上でき、製造コストを削減できる。動作仕様を自在に切り替えられるため、不良解析も容易になる。

【 0 0 8 8 】

図 1 3 は、本発明の半導体記憶装置の第 3 の実施形態を示している。第 1 の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。この半導体記憶装置は、シリコン基板上に C M O S プロセスを使用して擬似 S R A Mとして形成されている。擬似 S R A Mは、例えば、携帯電話等の携帯機器に搭載されるワークメモリに使用される。

この実施形態の仕様設定部 S 1 は、ヒューズ回路（プログラム回路）で構成されている。また、擬似 S R A Mは、テスト制御回路 7 8 を有している。テスト制御回路 7 8 は、通常動作では使用しない組み合わせのコマンド信号（ / C E、 / W E、 / U B、 / L B）を受けたときに、テストコマンドを認識し、アクセス動作を実行する通常動作モードからテストモードに移行し、あるいはテストモードから通常動作モードに移行する。仕様設定部 S 1 は、テスト制御回路 7 8 から出力されるテスト制御信号 T C Nにより、ヒューズ回路のプログラム状態に関わらず、テストコマンドの内容に応じて第 1 仕様または第 2 仕様に切り替わる。

【 0 0 8 9 】

以上、第 3 の実施形態においても第 1 および第 2 の実施形態と同様の効果を得ることができる。さらに、テストコマンドに応じて、擬似 S R A Mを一時的に第 1 仕様または第 2 仕様に設定できる。このため、擬似 S R A Mチップをパッケージングした後、あるいは出荷した後でも、ヒューズ回路（仕様設定部 S 1）のプログラム状態に関わらず、擬似 S R A Mの動作仕様を第 1 仕様または第 2 仕様に切り替えることができる。

【 0 0 9 0 】

なお、上述した第 1 実施形態では、ホトマスクの切り替えに応じて、擬似 S R A Mの動作仕様を第 1 仕様または第 2 仕様に切り替える例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、仕様設定部 S 1 を、供給される電圧値に応じて動作仕様が切り替わるように設計しておき、擬似 S R A Mの組立工程において、一端が仕様設定部 S 1 に接続されるボンディングワイヤの他端を電源線 V D Dまたは接地線 V S S に接続することで、動作仕様を第 1 仕様または第 2 仕様に設定してもよい。この際、第 2 または第 3 の実施形態で述べたように、設定した動作仕様を一時的に無効にして、動作仕様を、テスト制御回路により第 1 仕様または第 2 仕様に切り替えられるようにしてもよい。

【 0 0 9 1 】

上述した第 2 実施形態では、仕様設定部 S 1 をヒューズを用いて構成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、ヒューズの代わりに、E P R O M、E E P R O Mあるいは F e R A M等の電氣的にプログラム可能なメモリセ

10

20

30

40

50

ルを用いて仕様設定部 S 1 を構成してもよい。

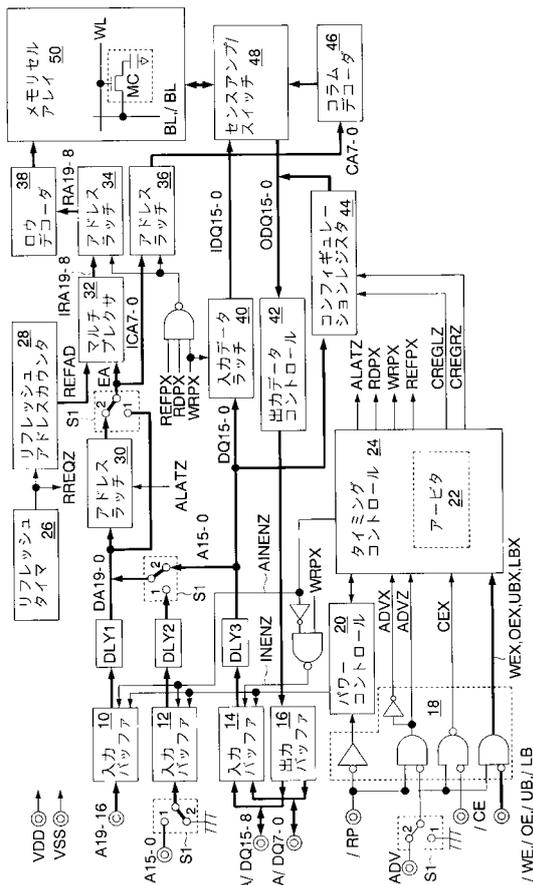
以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【産業上の利用可能性】

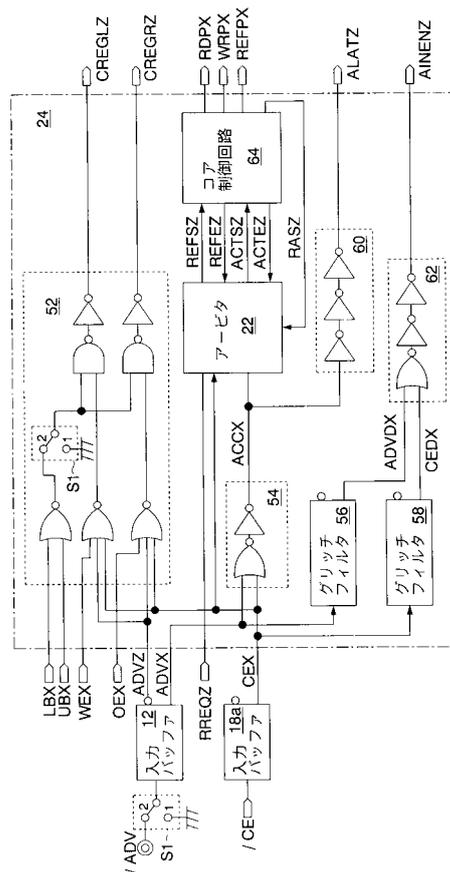
【0092】

本発明を、アドレスバリッド端子を有し、リフレッシュを自動的に実行する半導体記憶装置に適用することで、リフレッシュ動作とアクセス動作とが競合することによる半導体記憶装置の誤動作を防止できる。

【図 1】

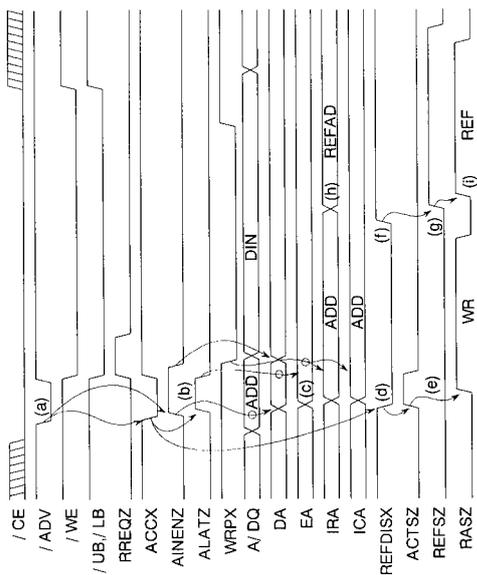


【図 2】

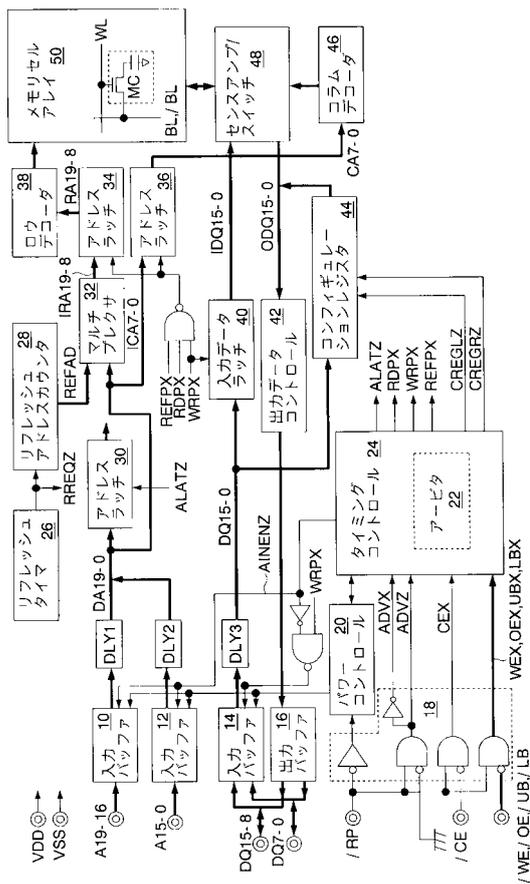




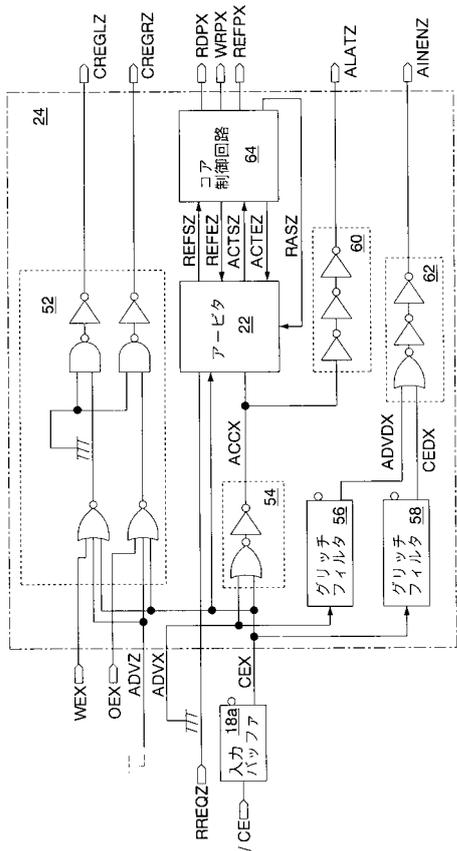
【図 7】



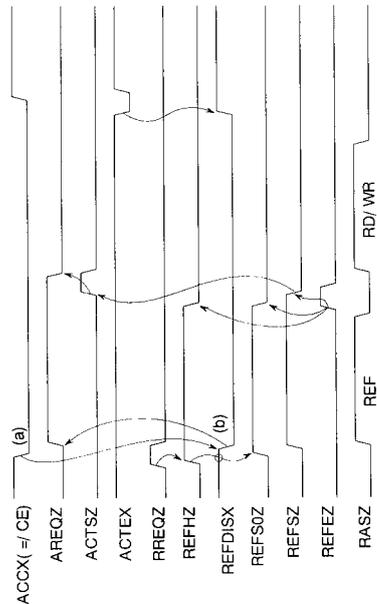
【図 8】



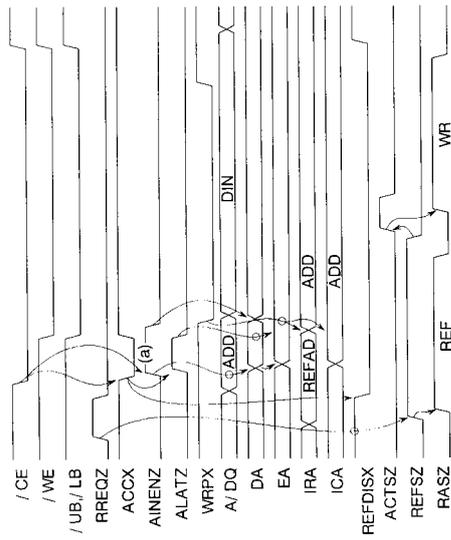
【図 9】



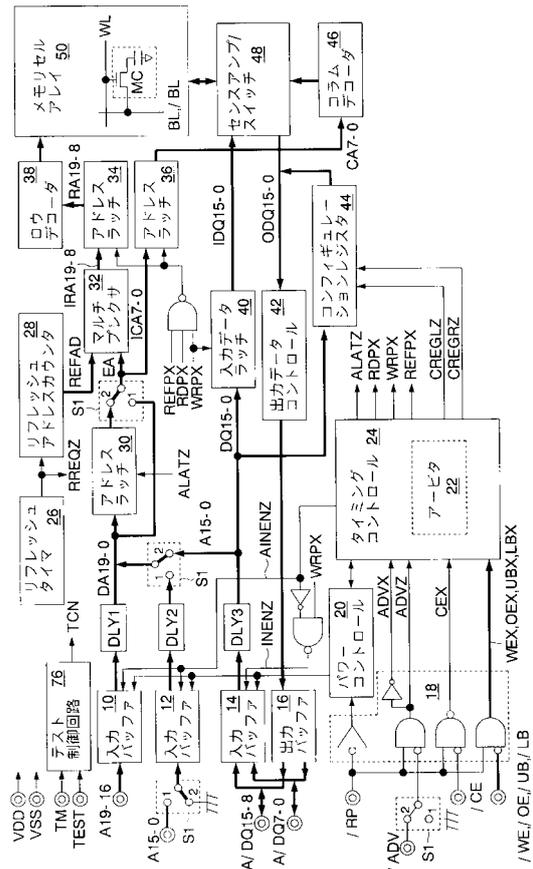
【図 10】



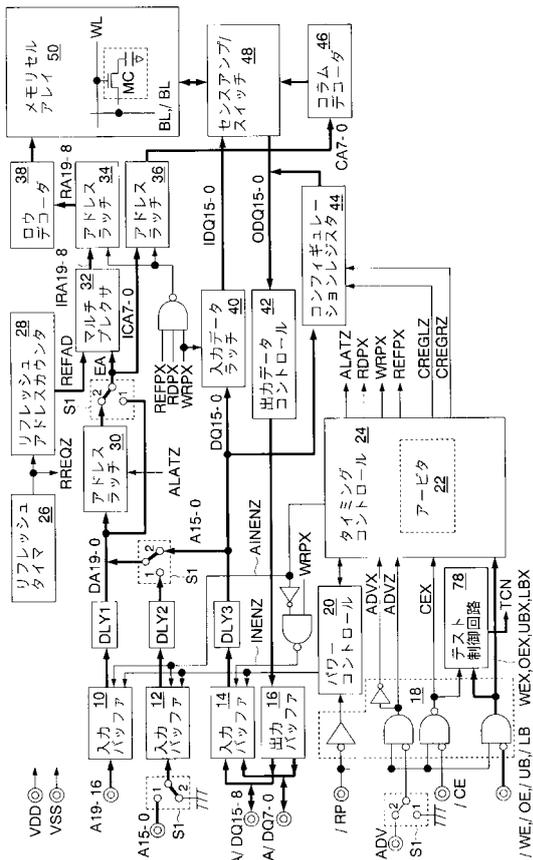
【図 1 1】



【図 1 2】



【図 1 3】



## 【手続補正書】

【提出日】平成18年11月27日(2006.11.27)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アドレス信号およびデータ信号を受信する兼用端子を有し、メモリセルのリフレッシュを自動的に実行する半導体記憶装置に関する。

【背景技術】

【0002】

近年、擬似SRAM(Pseudo-SRAM)と呼ばれる半導体メモリが注目されている。擬似SRAMは、DRAMのメモリセル(ダイナミックメモリセル)を有し、メモリセルのリフレッシュ動作を内部で自動的に実行することでSRAMとして動作する。ダイナミックメモリセルは、面積が小さい。このため、ビットコストが低く、大容量の擬似SRAMを開発できる。

【0003】

擬似SRAMは、リフレッシュ動作を実行するための内部リフレッシュ要求を、外部アクセス要求(読み出し要求または書き込み要求)と無関係(非同期)に所定の周期で発生する。特開2001-243765号公報には、リフレッシュ動作とアクセス動作とが衝突することを防止するために、内部リフレッシュ要求と外部アクセス要求との優先順を決めるアービタを内蔵した擬似SRAMが記載されている。

【0004】

一方、アドレス信号とデータ信号を同じ端子で受信する半導体記憶装置が提案されている。兼用端子を形成することで、端子数が少なくなるため、チップサイズは小さくなり、製品コストは下がる。この種の半導体記憶装置は、兼用端子にアドレス信号が供給されていることを認識するためのアドレスバリッド信号を受けるアドレスバリッド端子を有している。半導体記憶装置をアクセスするシステムは、アドレス信号を兼用端子に供給するとき、アドレスバリッド端子を有効レベルに設定し、データ信号を兼用端子に供給するとき、アドレスバリッド端子を無効レベルに設定する。

【特許文献1】特開2001-243765号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、アドレス信号およびデータ信号を受信する兼用端子を、擬似SRAMに提供する場合に発生する以下の問題点を解決するためになされた。

一般に、擬似SRAMは、チップイネーブル信号の活性化を受けたときに、外部アクセス要求を認識する。また、擬似SRAMをアクセスするシステムは、外部アクセス要求時にアクセスアドレスを供給する必要がある。したがって、擬似SRAMに兼用端子が形成される場合、システムは、擬似SRAMをアクセスするときに、チップイネーブル端子とともにアドレスバリッド端子を有効レベルに設定する必要がある。換言すれば、チップイネーブル端子を有効レベルに固定した状態では、アドレスバリッド信号が外部アクセス要求として認識される。

【0006】

しかし、擬似SRAMの上記アービタは、外部アクセス要求をチップイネーブル信号のみで認識している。このため、チップイネーブル信号が有効レベルに固定された場合、アービタは、外部アクセス要求を認識できず、リフレッシュ要求を優先し続けてしまう。こ

の結果、リフレッシュ動作とアクセス動作が競合し、擬似SRAMは、誤動作する。

アドレス信号を兼用端子で受信する場合、アドレス信号の確定期間は短くなる。誤ったアドレス信号を取り込むと、半導体記憶装置は誤動作する。また、確定期間の短いアドレス信号を用いて、半導体記憶装置の内部回路を動作させる場合、内部回路のタイミングマージンが減少し、回路設計が難しくなる。タイミングマージンが減少すると、製造条件の変動の影響を受けやすくなり、歩留は低下する。

【0007】

擬似SRAMでは、アクセス動作を実行するかリフレッシュ動作を実行するかにより、メモリセルアレイに供給するアドレス信号として、外部アドレス信号または内部で生成されるリフレッシュアドレス信号を選択する必要がある。外部アドレス信号の確定期間が短い場合、アドレス信号を選択するためのタイミングマージンは減少する。誤ったアドレス信号を選択すると、半導体記憶装置は誤動作する。

【0008】

アドレス信号およびデータ信号を受信する兼用端子を有する半導体記憶装置を新規に設計する場合、設計コストおよびホトマスクなどの製造コストが新たに必要になる。既にある設計資産を流用することで、これ等コストは削減される。

本発明の目的は、アドレス信号およびデータ信号を受信する兼用端子を有し、リフレッシュを自動的に実行する半導体記憶装置において、リフレッシュ動作とアクセス動作とが競合することを防止し、誤動作を防止することにある。

【0009】

本発明の別の目的は、アドレス信号およびデータ信号を受信する兼用端子に供給されるアドレス信号を確実に受信し、半導体記憶装置の誤動作を防止することにある。

さらに、本発明の別の目的は、兼用端子を介して受信するアドレス信号と、半導体記憶装置の内部で発生するリフレッシュアドレス信号とを確実に切り替え、アクセス動作およびリフレッシュ動作を実行することにある。

【0010】

また、本発明の別の目的は、アドレス信号およびデータ信号を受信する兼用端子を有する半導体記憶装置を容易に製造することにある。

【課題を解決するための手段】

【0011】

本発明の半導体記憶装置の第1の形態では、兼用端子は、アドレス信号およびデータ信号を受信する。アドレスバリッド端子は、兼用端子に供給される信号がアドレス信号であることを示すアドレスバリッド信号を受信する。アクセス検出回路は、チップイネーブル信号およびアドレスバリッド信号が共に有効レベルになったときに、アドレス信号が示すダイナミックメモリセルに対する外部アクセス要求を検出する。

【0012】

アービタは、外部アクセス要求および内部リフレッシュ要求のいずれを優先するかを決定する。アービタは、アクセス検出回路による検出に応答してリフレッシュ要求回路が発生する内部リフレッシュ要求の受け付けを禁止する。また、アービタは、受信したチップイネーブル信号およびアドレスバリッド信号に対応する読み出し動作または書き込み動作の完了に応答して内部リフレッシュ要求の受け付けを許可する。このため、アドレス信号およびデータ信号を受信する兼用端子と、アドレスバリッド端子とを有する半導体記憶装置において、読み出し動作および書き込み動作と、内部リフレッシュ要求に応答するリフレッシュ動作とが競合することを防止でき、誤動作することを防止できる。

【0013】

本発明の半導体記憶装置の第1の形態における好ましい例では、アクセスコマンド端子は、メモリセルからデータを読み出す読み出しコマンドおよびメモリセルにデータを書き込む書き込みコマンドの少なくともいずれかを受信する。ラッチ信号生成回路は、アクセス検出回路による検出に応答して、第1アドレスラッチ信号を活性化する。第1アドレスラッチ回路は、第1アドレスラッチ信号の活性化に応答してアドレス信号を受信してラッ

チし、外部アドレス信号として出力する。第2アドレスラッチ回路は、読み出しコマンドまたは書き込みコマンドの受信に同期して外部アドレス信号をラッチし、ラッチした信号をメモリセルアレイに出力する。

【0014】

兼用端子を介してアドレス信号を受信する場合、アドレス信号の確定期間は、専用端子を用いる場合に比べ短い。兼用端子で受信するアドレス信号を、第1アドレスラッチ回路で一旦ラッチすることで、アドレス信号の確定期間が短い場合にも、アドレス信号を確実に受信し、確定期間の長い外部アドレス信号を生成できる。この結果、アドレス信号の誤ラッチによる半導体記憶装置の誤動作を防止できる。さらに、兼用端子に入力されるアドレス信号のセットアップ時間およびホールド時間を最小限に設定できるため、アクセス時間を短縮できる。

【0015】

本発明の半導体記憶装置の第2の形態では、アドレス専用端子は、アドレス信号を受信する。アービタは、外部アクセス要求および内部リフレッシュ要求のいずれを優先するかを決定する。仕様設定部は、動作仕様を第1仕様および第2仕様のいずれかに設定する。

第1仕様に設定された半導体記憶装置は、アドレスパリッド端子を無効にして兼用端子でデータ信号のみを受信し、アドレス専用端子を有効にする。アービタは、チップイネーブル信号が有効レベルであることを検出したときに内部リフレッシュ要求の受け付けを禁止する。また、アービタは、受信したチップイネーブル信号に対応する読み出し動作または書き込み動作の完了に回答して内部リフレッシュ要求の受け付けを許可する。

【0016】

第2仕様に設定された半導体記憶装置は、上述した第1の形態と同じ動作をする。このため、読み出し動作および書き込み動作と、内部リフレッシュ要求に回答するリフレッシュ動作とが競合することを防止でき、誤動作することを防止できる。さらに、この半導体記憶装置では、仕様設定部の設定内容に応じて動作仕様を変更できるため、1つの設計データから動作仕様の異なる2つの製品を容易に製造できる。この結果、半導体記憶装置の開発コストおよび製造コストを削減できる。

【0017】

本発明の半導体記憶装置の第2の形態における好ましい例では、半導体記憶装置は、上述した第1の形態と同じ機能を有するアクセスコマンド端子、ラッチ信号生成回路、第1および第2アドレスラッチ回路を有する。第2アドレスラッチ回路は、第1仕様では、アドレス信号をラッチし、第2仕様では、外部アドレス信号をラッチする。したがって、第2仕様に設定された半導体記憶装置は、上述した第1の形態と同じ特徴を有する。すなわち、アドレス信号の誤ラッチによる半導体記憶装置の誤動作を防止でき、アクセス時間を短縮できる。

【0018】

本発明の半導体記憶装置の第2の形態における好ましい例では、仕様設定部は、半導体製造工程で使用するホトマスクのパターン形状に対応して半導体基板上の所定の位置に形成される導電膜を有する。動作仕様は、導電膜により形成される信号経路に応じて、第1仕様または第2仕様に設定される。したがって、半導体記憶装置の製品仕様（動作仕様）を、使用するホトマスクに応じて最適に切り替えることができる。動作仕様を切り替える回路が不要なため、半導体記憶装置のチップサイズを最小限にできる。

【0019】

本発明の半導体記憶装置の第2の形態における好ましい例では、仕様設定部は、プログラム回路を有する。動作仕様は、プログラム回路にプログラムされた情報に応じて、第1仕様または第2仕様に設定される。したがって、半導体記憶装置の製品仕様（動作仕様）を、半導体記憶装置を製造した後に設定できる。第1または第2仕様に切り替えられる半導体記憶装置を予め製造できるため、製造後の生産計画（出荷計画）の変更にも迅速に対応できる。

【0020】

本発明の半導体記憶装置の第2の形態における好ましい例では、テストモード端子は、テストモード信号を受信する。テスト端子は、テスト信号を受信する。仕様設定部は、テストモード信号が有効レベルを示すときに、プログラム回路の設定状態にかかわらず、テスト信号の論理レベルに応じて、動作仕様を第1仕様または第2仕様のいずれかに切り替える。したがって、半導体記憶装置を、プログラム回路の設定状態にかかわらず、第1仕様および第2仕様に切り替えてテストできる。例えば、第1仕様として動作するが第2仕様では動作しないことがテストにより判明したときに、その半導体記憶装置をプログラム回路により第1仕様に設定することで、不良を救済できる。この結果、歩留を向上でき、製造コストを削減できる。

【0021】

本発明の半導体記憶装置の第2の形態における好ましい例では、テスト制御回路は、通常動作では使用しない組み合わせの信号を受けたときに、半導体記憶装置の動作状態をテストモードに移行する。仕様設定部は、動作仕様をテストモード中に、プログラム回路の設定状態にかかわらずテスト信号に応じて第1仕様または第2仕様のいずれかに切り替える。この半導体記憶装置においても、上述と同様に、歩留を向上でき、製造コストを削減できる。

【0022】

本発明の半導体記憶装置の第1および第2の形態における好ましい例では、リフレッシュアドレスカウンタは、リフレッシュするメモリセルを示すリフレッシュアドレス信号を、内部リフレッシュ要求に同期して順次生成する。マルチプレクサは、第1アドレスラッチ回路と第2アドレスラッチ回路との間に配置され、外部アドレス信号またはリフレッシュアドレス信号のいずれかを第2アドレスラッチ回路に供給する。第2アドレスラッチ回路は、マルチプレクサにより選択されたアドレス信号をラッチする。一般的に、内部リフレッシュ要求の発生周期は、アクセス時間に比べて十分に長いため、リフレッシュアドレス信号の確定期間は長い。このため、マルチプレクサを第1アドレスラッチ回路と第2アドレスラッチ回路との間に配置することで、マルチプレクサは、余裕を持ってアドレス信号を切り替えることができる。内部回路のタイミングマージンを確保できるため、半導体記憶装置の誤動作を防止でき、歩留を向上できる。また、回路設計を容易に行うことができる。

【図面の簡単な説明】

【0023】

【図1】本発明の半導体記憶装置の第1の実施形態を示すブロック図である。

【図2】図1に示したタイミングコントロールの詳細を示すブロック図である。

【図3】図2に示したアービタの詳細を示す回路図である。

【図4】第1の実施形態において、第2仕様に設定された擬似SRAMのアービタの動作を示すタイミング図である。

【図5】第1の実施形態において、第2仕様に設定された擬似SRAMのアービタの別の動作を示すタイミング図である。

【図6】第1の実施形態において、第2仕様に設定された擬似SRAMの動作を示すタイミング図である。

【図7】第1の実施形態において、第2仕様に設定された擬似SRAMの別の動作を示すタイミング図である。

【図8】第1の実施形態の擬似SRAMにおいて、第1仕様に設定された状態を示すブロック図である。

【図9】第1の実施形態の擬似SRAMのタイミングコントロールにおいて、第1仕様に設定された状態を示すブロック図である。

【図10】第1の実施形態において、第1仕様に設定された擬似SRAMのアービタ22の動作を示すタイミング図である。

【図11】第1の実施形態において、第1仕様に設定された擬似SRAMの動作を示すタイミング図である。

【図 1 2】本発明の半導体記憶装置の第 2 の実施形態を示すブロック図である。

【図 1 3】本発明の半導体記憶装置の第 3 の実施形態を示すブロック図である。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図に太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。また、信号が伝達される信号線には、信号名と同じ符号を使用する。末尾に " Z " の付く信号は、正論理を示している。先頭に " / " の付く信号および末尾に " X " の付く信号は、負論理を示している。

【0025】

図 1 は、本発明の半導体記憶装置の第 1 の実施形態を示している。この半導体記憶装置は、シリコン基板上に CMOS プロセスを使用して擬似 S R A M として形成されている。擬似 S R A M は、例えば、携帯電話等の携帯機器に搭載されるワークメモリに使用される。

擬似 S R A M は、入力バッファ 1 0、1 2、1 4、出力バッファ 1 6、コマンド入力回路 1 8、パワーコントロール 2 0、アービタ 2 2 を有するタイミングコントロール 2 4、遅延回路 D L Y 1 - 3、リフレッシュタイマ (リフレッシュ要求回路) 2 6、リフレッシュアドレスカウンタ 2 8、第 1 アドレスラッチ回路 3 0、マルチプレクサ 3 2、第 2 アドレスラッチ回路 3 4、3 6、ロウデコーダ 3 8、入力データラッチ回路 4 0、出力データコントロール 4 2、コンフィギュレーションレジスタ 4 4、コラムデコーダ 4 6、センスアンプ / スイッチ 4 8、メモリセルアレイ 5 0 および複数の仕様設定部 S 1 を有している。

【0026】

各仕様設定部 S 1 は、半導体製造工程で使用するホトマスクのパターン形状に対応してシリコン基板上の所定の位置に形成される導電膜により構成されている。この実施形態では、ホトマスクの切り替えにより、動作仕様 (製品仕様) が第 1 仕様または第 2 仕様の擬似 S R A M のいずれかが製造される。導電膜は、仕様設定部 S 1 の端子 (丸印) を接続する線で示している。この例では、各仕様設定部 S 1 の導電パターンは 2 番の端子に接続されており、動作仕様が第 2 仕様に設定されているときを示している。第 1 仕様の擬似 S R A M は、1 番の端子に接続される導電パターンにより各仕様設定部 S 1 を構成することで製造される。

【0027】

入力バッファ 1 0 は、アドレス入力イネーブル信号 A I N E N Z が高レベルの期間に活性化され、アドレス端子 A 1 9 - 1 6 を介して供給されるアドレス信号 A 1 9 - 1 6 を受信し、受信した信号を遅延回路 D L Y 1 に出力する。アドレス入力イネーブル信号 A I N E N Z は、後述するように、チップイネーブル信号 / C E とアドレスバリッド信号 / A D V とが共に低レベル (有効レベル、活性化期間) のときに活性化される。アドレス端子 A 1 9 - 1 6 は、アクセスするメモリセル M C を示すアドレス信号 A 1 9 - 1 6 のみを受信するアドレス専用端子である。

【0028】

入力バッファ 1 2 は、アドレス入力イネーブル信号 A I N E N Z が高レベルの期間に活性化され、アドレス端子 A 1 5 - 0 を介して供給されるアドレス信号 A 1 5 - 0 を受信し、受信した信号を遅延回路 D L Y 2 に出力する。アドレス端子 A 1 5 - 0 は、アクセスするメモリセル M C を示すアドレス信号 A 1 5 - 0 のみを受信するアドレス専用端子である。

【0029】

入力バッファ 1 2 の入力に接続された仕様設定部 S 1 は、動作仕様 (製品仕様) が第 2 仕様に設定されているときに、入力バッファ 1 2 に接地電圧 (固定レベル) を供給し、動作仕様が第 1 仕様に設定されているときに、入力バッファ 1 2 を各アドレス端子 A 1 5 -

0 に接続する。このように、入力バッファ 1 2 は、仕様設定部 S 1 により動作仕様（製品仕様）が第 1 仕様に設定されているときのみ使用され、アドレス信号 A 1 5 - 0 を受信する。

#### 【 0 0 3 0 】

入力バッファ 1 4 は、動作仕様が第 1 仕様に設定されたとき、メモリセル M C に書き込むデータ信号 D Q 1 5 - 8、D Q 7 - 0 のみを受信し、動作仕様が第 2 仕様に設定されたとき、アドレス信号 A 1 5 - 8、A 7 - 0 およびデータ信号 D Q 1 5 - 8、D Q 7 - 0 を受信する。すなわち、端子 A / D Q 1 5 - 0 は、第 1 仕様ではデータ信号 D Q の専用端子として機能し、第 2 仕様ではアドレス信号 A およびデータ信号 D Q の兼用端子として機能する。入力バッファ 1 4 は、入力イネーブル信号 I N E N Z が高レベルの期間に活性化され、兼用端子 A / D Q 1 5 - 8、A / D Q 7 - 0 を介して供給されるアドレス信号 A 1 5 - 0 およびデータ信号 D Q 1 5 - 0 を受信し、受信した信号を遅延回路 D L Y 3 に出力する。入力イネーブル信号 I N E N Z は、アドレス入力イネーブル信号 A I N E N Z の活性化期間と、書き込み制御信号 W R P X の活性化期間をオアした信号である。

#### 【 0 0 3 1 】

出力バッファ 1 6 は、メモリセル M C から読み出されるデータ等を兼用端子 A / D Q 1 5 - 8、A / D Q 7 - 0 を介して、擬似 S R A M の外部に出力する。出力バッファ 1 6 は、アウトプットイネーブル信号 / O E の活性化中に、データ信号 D Q を出力する。

コマンド入力回路 1 8 は、外部端子（コマンド端子）を介して供給されるコマンド信号を受信し、受信した信号を内部コマンド信号としてパワーコントロール 2 0 およびタイミングコントロール 2 4 に出力する。外部端子は、読み出しコマンドおよび書き込みコマンドを受信するアクセス端子として機能する。コマンド信号として、パワーダウン信号 / R P、アドレスバリッド信号 / A D V、チップイネーブル信号 / C E、ライトイネーブル信号 / W E、アウトプットイネーブル信号 / O E、アッパーバイトコントロール信号 / U B およびロウアーバイトコントロール信号 / L B がある。内部コマンド信号として、内部アドレスバリッド信号 A D V X、A D V Z、内部チップイネーブル信号 C E X、内部ライトイネーブル信号 W E X、内部アウトプットイネーブル信号 O E X、内部アッパーバイトコントロール信号 U B X および内部ロウアーバイトコントロール信号 L B X 等がある。

#### 【 0 0 3 2 】

チップイネーブル信号 / C E は、メモリセルアレイ 5 0 をアクセスするときに活性化される。アドレスバリッド信号 / A D V は、兼用端子 A / D Q に供給される信号がアドレス信号 A 1 5 - 0 であるときに活性化される。ライトイネーブル信号 / W E は、書き込み動作を実行するときに活性化される。アウトプットイネーブル信号 / O E は、読み出し動作を実行するときに活性化される。アッパーバイトコントロール信号 / U B は、データ信号 D Q 1 5 - 8 を有効にするときに活性化される。ロウアーバイトコントロール信号 / L B は、データ信号 D Q 7 - 0 を有効にするときに活性化される。

#### 【 0 0 3 3 】

パワーコントロール 2 0 は、パワーダウン信号 / R P の活性化にตอบสนองして、擬似 S R A M をパワーダウンモードに移行するため、タイミングコントロール 2 4、入力バッファ 1 0、1 2、1 4、出力バッファ 1 6 に制御信号を出力する。パワーダウン信号 / R P が活性化されている期間、擬似 S R A M は、チップの状態を通常動作モードからパワーダウンモードに移行する。パワーダウンモード中、メモリセル M C にデータは保持されず、擬似 S R A M の内部回路は、コマンド入力回路 1 8 を除き動作を停止する。このため、パワーダウンモード中の消費電流は、数～数十  $\mu$  A に抑えられる。

#### 【 0 0 3 4 】

タイミングコントロール 2 4 は、コマンド信号に応じてメモリセルアレイ 5 0 および他の内部回路の動作を制御するための制御信号を出力する。制御信号として、アドレス入力イネーブル信号 A I N E N Z、第 1 アドレスラッチ信号 A L A T Z、読み出し制御信号 R D P X、書き込み制御信号 W R P X、リフレッシュ制御信号 R E F P X、レジスタラッチ信号 C R E G L Z、レジスタ読み出し信号 C R E G R Z 等がある。タイミングコントロー

ル 2 4 のアービタ 2 2 は、外部アクセス要求（読み出しコマンドおよび書き込みコマンド）および内部リフレッシュ要求（リフレッシュ要求信号 R R E Q Z）のいずれを優先するかを決定する。

【 0 0 3 5 】

遅延回路 D L Y 1 - 3 は、同じ遅延時間を有している。遅延回路 D L Y 1 - 3 は、アドレス信号 A 1 9 - 0 を第 1 アドレスラッチ回路 3 0 に確実にラッチさせるために、アドレス信号 A 1 9 - 0 を所定時間遅らせて遅延アドレス信号 D A 1 9 - 0 として出力する。

リフレッシュタイマ 2 6 は、リフレッシュ要求信号（内部リフレッシュ要求）R R E Q Z を、例えば、数十  $\mu$  s の周期で発生する。リフレッシュアドレスカウンタ 2 8 は、リフレッシュするメモリセル M C を示すリフレッシュアドレス信号 R E F A D を、リフレッシュ要求信号 R R E Q Z に同期して順次生成する。

【 0 0 3 6 】

第 1 アドレスラッチ回路 3 0 は、第 1 アドレスラッチ信号 A L A T Z の高レベル期間に遅延アドレス信号 D A を外部アドレス信号 E A としてマルチプレクサ 3 2 に転送し、第 1 アドレスラッチ信号 A L A T Z の立ち下がりエッジに同期して遅延アドレス信号 D A をラッチする。ラッチした信号は、外部アドレス信号 E A として出力される。

マルチプレクサ 3 2 は、読み出し動作または書き込み動作を実行するときに外部アドレス信号 E A（より詳細には、ロウアドレスに対応する上位ビット I A 1 9 - 8）を選択し、リフレッシュ動作を実行するときにリフレッシュアドレス信号 R E F A D を選択し、選択した信号を内部ロウアドレス信号 I R A 1 9 - 8 として第 2 アドレスラッチ回路 3 4 に出力する。

【 0 0 3 7 】

第 2 アドレスラッチ回路 3 4 は、マルチプレクサ 3 2 から出力される内部ロウアドレス信号 I R A 1 9 - 8 を、読み出し制御信号 R D P X、書き込み制御信号 W R P X またはリフレッシュ制御信号 R E F P X の立ち下がりエッジ（活性化エッジ）に同期してラッチし、ラッチした信号をロウアドレス信号 R A 1 9 - 8 として出力する。

第 2 アドレスラッチ回路 3 6 は、外部アドレス信号 E A 1 9 - 0 のうち下位ビットの内部コラムアドレス信号 I C A 7 - 0 を、読み出し制御信号 R D P X、書き込み制御信号 W R P X またはリフレッシュ制御信号 R E F P X の立ち下がりエッジに同期してラッチし、ラッチした信号をコラムアドレス信号 C A 7 - 0 として出力する。

【 0 0 3 8 】

ロウデコーダ 3 8 は、ロウアドレス信号 R A 1 9 - 8 をデコードしてロウデコード信号を生成し、メモリセルアレイ 5 0 に出力する。コラムデコーダ 4 6 は、コラムアドレス信号 C A 7 - 0 をデコードしてコラムデコード信号を生成し、センスアンプ/スイッチ 4 8 に出力する。

入力データラッチ回路 4 0 は、入力バッファ 1 4 を介して供給されるデータ信号 D Q 1 5 - 0（書き込みデータ）を、書き込み制御信号 W R P X に同期してラッチし、ラッチした信号を入力データ信号 I D Q 1 5 - 0 としてセンスアンプ/スイッチ 4 8 に出力する。

【 0 0 3 9 】

出力データコントロール 4 2 は、センスアンプ/スイッチ 4 8 およびコンフィギュレーションレジスタ 4 4 から出力される出力データ信号 O D Q 1 5 - 0 を保持し、所定のタイミングで出力バッファ 1 6 に出力する。

コンフィギュレーションレジスタ 4 4 は、擬似 S R A M が第 2 仕様に設定されているときに有効になり、メモリセルアレイの使用領域を設定するために使用される。この実施形態では、メモリセルアレイの使用領域は、2 ビットのデータ信号 D Q 3 - 2 の論理レベルに応じて、フル領域、1 / 2、1 / 4、1 / 8 のいずれかに設定される。第 1 仕様では、コンフィギュレーションレジスタ 4 4 はアクセスできなくなり、メモリセルアレイの使用領域は、常にフル領域に設定される。

【 0 0 4 0 】

第 2 仕様において、メモリセルアレイの使用領域は、擬似 S R A M を搭載するシステム

の仕様に依りて設定される。具体的には、擬似 S R A M は、パワーアップ後にコンフィギュレーションレジスタ書き込みコマンド（以下、C R 書き込みコマンド）を受けることで、レジスタラッチ信号 C R E G L Z が活性化し、このときの兼用端子 A / D Q 3 - 2 の論理値をコンフィギュレーションレジスタ 4 4 に書き込む。システムは、例えば、システム基板上に擬似 S R A M およびマイクロコンピュータ等を搭載することで構成され、擬似 S R A M は、マイクロコンピュータによりアクセスされる。

**【 0 0 4 1 】**

C R 書き込みコマンドは、アドレスバリッド信号 / A D V、アッパーバイトコントロール信号 / U B、ロウアバイトコントロール信号 / L B およびアウトプットイネーブル信号 / O E を高レベルに保持し、チップイネーブル信号 / C E およびライトイネーブル信号 / W E を低レベルに保持することで認識される。

コンフィギュレーションレジスタ 4 4 に設定された値は、コンフィギュレーションレジスタ読み出しコマンド（以下、C R 読み出しコマンド）を擬似 S R A M に供給し、レジスタ読み出し信号 C R E G R Z を活性化することで読み出すことができる。C R 読み出しコマンドは、アドレスバリッド信号 / A D V、アッパーバイトコントロール信号 / U B、ロウアバイトコントロール信号 / L B およびライトイネーブル信号 / W E を高レベルに保持し、チップイネーブル信号 / C E およびアウトプットイネーブル信号 / O E を低レベルに保持することで認識される。

**【 0 0 4 2 】**

センスアンプ / スイッチ 4 8 は、図示しないセンスアンプおよびコラムスイッチを有している。センスアンプは、読み出し動作、書き込み動作およびリフレッシュ動作中に動作し、相補のビット線 B L、/ B L の電圧差を増幅する。コラムスイッチは、読み出し動作および書き込み動作中にコラムアドレス信号 C A 7 - 0 に依りてオンし、ビット線 B L、/ B L と図示しないデータバス線とを接続する。

**【 0 0 4 3 】**

メモリセルアレイ 5 0 は、マトリックス状に配置された複数のダイナミックメモリセル M C と、メモリセル M C に接続された複数のワード線 W L および複数のビット線対 B L、/ B L を有している。ダイナミックメモリセル M C は、一般の D R A M のメモリセルと同じであり、データを電荷として保持するためのキャパシタと、このキャパシタとビット線 B L（または / B L）との間に配置された転送トランジスタとを有している。転送トランジスタのゲートは、ワード線 W L に接続されている。

**【 0 0 4 4 】**

図 2 は、図 1 に示したタイミングコントロール 2 4 の詳細を示している。タイミングコントロール 2 4 は、コンフィギュレーションレジスタ制御回路 5 2、アクセス検出回路 5 4、グリッチフィルタ 5 6、5 8、ラッチ信号生成回路 6 0、入力イネーブル生成回路 6 2、コア制御回路 6 4 および上述したアービタ 2 2 を有している。

コンフィギュレーションレジスタ制御回路 5 2 は、上述したように、第 2 仕様において、所定の組み合わせのコマンド信号を受けたときに、コンフィギュレーションレジスタ 4 4 にデータを書き込むために、レジスタラッチ信号 C R E G L Z を活性化する。また、コンフィギュレーションレジスタ制御回路 5 2 は、第 2 仕様において、別の所定の組み合わせのコマンド信号を受けたときに、コンフィギュレーションレジスタ 4 4 からデータを読み出すために、レジスタ読み出し信号 C R E G R Z を活性化する。コンフィギュレーションレジスタ制御回路 5 2 は、第 1 仕様では、仕様設定部 S 1 の設定により動作が禁止される。このとき、レジスタラッチ信号 C R E G L Z およびレジスタ読み出し信号 C R E G R Z は、常に低レベルに非活性化される。

**【 0 0 4 5 】**

アクセス検出回路 5 4 は、チップイネーブル信号 / C E およびアドレスバリッド信号 / A D V が共に有効レベル（低レベル）になったときに外部アクセス要求を検出し、アクセス要求信号 A C C X を活性化する。

グリッチフィルタ 5 6 は、内部アドレスバリッド信号 A D V X の立ち上がりエッジ（後

縁)を遅延させ、内部アドレスバリッド信号ADVDXとして出力する。グリッチフィルタ58は、内部チップイネーブル信号CEXの立ち上がりエッジ(後縁)を遅延させ、内部チップイネーブル信号CEDXとして出力する。

【0046】

ラッチ信号生成回路60は、アクセス要求信号ACCXを反転して、第1アドレスラッチ信号ALATZを生成する。すなわち、第1アドレスラッチ信号ALATZは、アクセス検出回路54による外部アクセス要求の検出にตอบสนองして活性化される。この際、ラッチ信号生成回路60は、図1に示した遅延回路DLY1-3に対応する時間、第1アドレスラッチ信号ALATZの活性化を遅らせる。より詳細には、第1アドレスラッチ信号ALATZの活性化タイミングは、アドレス入力イネーブル信号AINNENZの活性化タイミングより遅く設定される。

【0047】

入力イネーブル生成回路62は、内部チップイネーブル信号CEDXおよび内部アドレスバリッド信号ADVDXが共に有効レベル(低レベル)の期間に、アドレス入力イネーブル信号AINNENZを活性化する。内部チップイネーブル信号CEDXおよび内部アドレスバリッド信号ADVDXの後縁は、グリッチフィルタ56、58により遅延しているため、アドレス入力イネーブル信号AINNENZの非活性化タイミングは、第1アドレスラッチ信号ALATZの非活性化タイミングより遅れる。

【0048】

アービタ22は、リフレッシュ動作を実行するときに、リフレッシュ開始信号REFSZを活性化し、アクセス動作(読み出し動作または書き込み動作)を実行するときに、アクセス開始信号ACTSZを活性化する。アービタ22の詳細は、後述する図3で説明する。

コア制御回路64は、読み出し動作を実行するときに読み出し制御信号RDPXを活性化し、書き込み動作を実行するときに書き込み制御信号WRPXを活性化し、リフレッシュ動作を実行するときにリフレッシュ制御信号REFPXを活性化する。コア制御回路64は、リフレッシュ動作の完了にตอบสนองしてリフレッシュ終了信号REFEZを活性化し、アクセス動作の完了にตอบสนองしてアクセス終了信号ACTEZを活性化する。また、コア制御回路64は、リフレッシュ動作中およびアクセス動作中を示すロウ制御信号RASZをアービタ22に出力する。

【0049】

図3は、図2に示したアービタ22の詳細を示している。アービタ22は、ラッチ回路66、リフレッシュ保持回路68、リフレッシュマスク回路70、リフレッシュ開始回路72およびアクセス開始回路74を有している。

ラッチ回路66は、フリップフロップで構成されており、アクセス要求信号ACCXの活性化に同期してリフレッシュ禁止信号REFDISXを活性化し、アクセス終了信号ACTEZの活性化に同期してリフレッシュ禁止信号REFDISXを非活性化する。後述するように、リフレッシュ禁止信号REFDISXにより、リフレッシュ要求の受け付けは、図2に示したアクセス検出回路54による外部アクセス要求の検出から、この外部アクセス要求に対応する読み出し動作または書き込み動作の完了まで禁止される。

【0050】

リフレッシュ保持回路68は、フリップフロップで構成されており、リフレッシュ要求信号REQZの活性化に同期してリフレッシュ保持信号REFHZを活性化し、リフレッシュ終了信号REFEZの活性化に同期してリフレッシュ保持信号REFHZを非活性化する。

リフレッシュマスク回路70は、フリップフロップで構成されており、リフレッシュ禁止信号REFDISXが低レベルの期間(リフレッシュ禁止期間)、リフレッシュ開始信号REFS0Zの出力を禁止する。リフレッシュマスク回路70は、リフレッシュ保持回路68にリフレッシュ要求が保持されている場合、リフレッシュ禁止信号REFDISXの高レベルへの変化(リフレッシュ禁止からリフレッシュ許可への遷移)にตอบสนองして、リ

フレッシュ開始信号 R E F S 0 Z を活性化する。

【 0 0 5 1 】

リフレッシュ開始回路 7 2 は、リフレッシュ開始信号 R E F S 0 Z の活性化に同期してリフレッシュ開始信号 R E F S Z を活性化し、リフレッシュ終了信号 R E F E Z の活性化に同期してリフレッシュ開始信号 R E F S Z を非活性化する。図 2 に示したコア制御回路 6 4 は、リフレッシュ開始信号 R E F S Z を活性化に応答してリフレッシュ動作の実行を開始する。

【 0 0 5 2 】

アクセス開始回路 7 4 は、ラッチ回路 7 4 a およびマスク回路 7 4 b を有している。ラッチ回路 7 4 a は、リフレッシュ禁止信号 R E F D I S X の低レベルへの変化に同期してセットされ、アクセス要求信号 A R E Q Z を活性化する。ラッチ回路 7 4 a は、アクセス開始信号 A C T S Z の活性化に同期してリセットされ、アクセス要求信号 A R E Q Z を非活性化する。マスク回路 7 4 b は、リフレッシュ開始信号 R E F S Z が活性化中に、アクセス要求信号 A R E Q Z に応答してアクセス開始信号 A C T S Z を活性化することをマスクする。マスク回路 7 4 b は、リフレッシュ開始信号 R E F S Z の非活性化中に、アクセス要求信号 A R E Q Z に応答してアクセス開始信号 A C T S Z を活性化する。

【 0 0 5 3 】

図 4 は、第 1 の実施形態において、第 2 仕様に設定された擬似 S R A M のアービタ 2 2 の動作を示している。この例では、擬似 S R A M は、アクセス要求（読み出しコマンド R D または書き込みコマンド W R ）を受ける直前に、リフレッシュ要求 R R E Q Z を発生する。

まず、リフレッシュ要求 R R E Q Z に応答して、リフレッシュ保持信号 R E F H Z は高レベルに活性化される（図 4（a））。このとき、アクセス要求は発生していないため、リフレッシュ禁止信号 R E F D I S X は非活性化状態にある。すなわち、リフレッシュ要求 R R E Q Z の受け付けは許可されている。したがって、リフレッシュ要求 R R E Q Z に応答してリフレッシュ開始信号 R E F S 0 Z、R E F S Z が順次活性化され（図 4（b））、リフレッシュ動作 R E F が実行される（図 4（c））。

【 0 0 5 4 】

リフレッシュ要求 R R E Q Z が発生した後、アクセス要求が供給され、アクセス要求信号 A C C X が低レベルに活性化される（図 4（d））。アクセス要求信号 A C C X の活性化に同期してリフレッシュ禁止信号 R E F D I S X が低レベルに活性化される（図 4（e））。リフレッシュ禁止信号 R E F D I S X が活性化されている期間、リフレッシュ要求 R R E Q Z の受け付けは禁止される。リフレッシュ禁止信号 R E F D I S X の活性化に同期して、アクセス要求信号 A R E Q Z が活性化される（図 4（f））。このとき、リフレッシュ開始信号 R E F S Z が活性化されているため、アクセス開始信号 A C T S Z は活性化されない。

【 0 0 5 5 】

リフレッシュ動作 R E F の実行の完了に同期してリフレッシュ終了信号 R E F E Z が出力される（図 4（g））。リフレッシュ終了信号 R E F E Z に同期してリフレッシュ保持信号 R E F H Z が非活性化される（図 4（h））。同時に、リフレッシュ開始信号 R E F S 0 Z、R E F S Z は、非活性化される（図 4（i））。リフレッシュ終了信号 R E F E Z の非活性化に同期してアクセス開始信号 A C T S Z が活性化され（図 4（j））、読み出し動作 R D または書き込み動作 W R が実行される（図 4（k））。アクセス開始信号 A C T S Z の活性化に同期してアクセス要求信号 A R E Q Z が非活性化され、アクセス開始信号 A C T S Z は自己リセットされる（図 4（l））。この後、読み出し動作 R D または書き込み動作 W R の終了に同期してアクセス終了信号 A C T E X が活性化される（図 4（m））。アクセス終了信号 A C T E X の活性化に同期してリフレッシュ禁止信号 R E F D I S X が高レベルに非活性化され、リフレッシュ要求信号 R R E Q Z の受け付けが再び開始される（図 4（n））。

【 0 0 5 6 】

図5は、第1の実施形態において、第2仕様に設定された擬似SRAMのアービタ22の別の動作を示している。図4と同じ動作については、詳細な説明を省略する。この例では、擬似SRAMは、アクセス要求（読み出しコマンドRDまたは書き込みコマンドWR）を受けた直後に、リフレッシュ要求REQZを発生する。

まず、アクセス要求が供給され、アクセス要求信号ACCXが低レベルに活性化され（図5（a））、リフレッシュ禁止信号REFDISXが活性化される（図5（b））。リフレッシュ禁止信号REFDISXの活性化に同期して、アクセス要求信号AREQZが活性化される（図5（c））。このとき、リフレッシュ開始信号REFSZは非活性化されているため、アクセス要求信号AREQZに同期してアクセス開始信号ACTSZは活性化される（図5（d））。そして、読み出し動作RDまたは書き込み動作WRが実行される（図5（e））。リフレッシュ禁止信号REFDISXが活性化されている期間、リフレッシュ要求REQZの受け付けは禁止される。

【0057】

一方、アクセス要求信号ACCXが活性化された後にリフレッシュ要求REQZが活性化され（図5（f））、リフレッシュ保持信号REFHZが活性化される（図5（g））。このとき、リフレッシュ禁止信号REFDISXは活性化されているため、リフレッシュ開始信号REFS0Zは活性化されない。次に、読み出し動作RDまたは書き込み動作WRの終了に応答してアクセス終了信号ACTEXが活性化され（図5（h））、リフレッシュ禁止信号REFDISXが非活性化される（図5（i））。

【0058】

リフレッシュ保持信号REFHZが活性化されているため、リフレッシュ禁止信号REFDISXの非活性化に応答してリフレッシュ開始信号REFS0Z、REFSZが活性化され（図5（j））、リフレッシュ動作REFが実行される（図5（k））。リフレッシュ動作REFの実行の完了に同期してリフレッシュ終了信号REFEZが出力され（図5（l））、リフレッシュ保持信号REFHZが非活性化される（図5（m））。同時に、リフレッシュ開始信号REFS0Z、REFSZが非活性化される（図5（n））。

【0059】

図6は、第1の実施形態において、第2仕様に設定された擬似SRAMの動作を示している。この例では、上述した図4と同様に、擬似SRAMは、書き込みコマンド（アクセス要求）を受ける直前に、リフレッシュ要求REQZを発生する。図4と同じ動作については、詳細な説明を省略する。なお、第2仕様では、チップイネーブル信号/CEとアドレスバリッド信号/ADVが共に有効レベル（低レベル）のときに、アクセス要求が認識される。

【0060】

例えば、擬似SRAMが搭載されるシステムのアドレスマップ上に擬似SRAMを含めて複数の半導体記憶装置が割り当てられるとき、システムは、アドレスをデコードしてチップイネーブル信号を生成し、チップイネーブル端子/CEに供給する。一方、システムのアドレスマップ上に擬似SRAMのみが割り当てられるとき、システムは、チップイネーブル端子/CEを低レベルに固定できる。この実施形態では、タイミングコントローラ24内にアクセス検出回路54およびラッチ回路66を形成することで、チップイネーブル端子/CEが低レベルに固定された場合にも、擬似SRAMは、読み出し動作および書き込み動作を正しく実行できる。

【0061】

まず、スタンバイ状態においてリフレッシュ要求信号REQZが活性化される（図6（a））。リフレッシュ禁止信号REFDISXは非活性化されているため、リフレッシュ要求REQZに応答してリフレッシュ開始信号REFSZが活性化される（図6（b））。図1に示したマルチプレクサ32は、リフレッシュ開始信号REFSZが活性化してから所定の期間、リフレッシュアドレス信号REFADを内部ロウアドレス信号IRAとして出力する（図6（c））。そして、リフレッシュアドレス信号REFADが示すメモリセルMCに対するリフレッシュ動作REFが実行される（図6（d））。

## 【 0 0 6 2 】

リフレッシュ要求 RREQZ が発生した後、アドレスバリッド信号 / ADV が所定期間低レベルに活性化される (図 6 (e))。アドレスバリッド信号 / ADV の活性化期間に対応して、兼用端子 A / DQ にアドレス信号 ADD が供給される (図 6 (f))。このとき、チップイネーブル信号 / CE も低レベルに活性化されているため、外部アクセス要求が認識され、アクセス要求信号 ACCX が低レベルに活性化される (図 6 (g))。アドレスバリッド信号 / ADV が非活性化された後、ライトイネーブル信号 / WE、アッパーバイトコントロール信号 / UB およびロウアバイトコントロール信号 / LB の活性化に対応して、書き込みデータ DIN が兼用端子 A / DQ に供給される (図 6 (h))。なお、外部アクセス要求が、書き込み要求または読み出し要求の何れであるかは、ライトイネーブル信号 / WE またはアウトプットイネーブル信号 / OE の活性化により決定する。この例では、ライトイネーブル信号 / WE が活性化されるため、書き込み動作が実行される

、  
アドレスバリッド信号 / ADV の活性化にตอบสนองしてアドレス入力イネーブル信号 AINENZ が所定の期間活性化される (図 6 (i))。アクセス要求信号 ACCX の活性化にตอบสนองしてアドレスラッチ信号 ALATZ が所定の期間活性化される (図 6 (j))。アドレスラッチ信号 ALATZ の活性化期間は、アドレス入力イネーブル信号 AINENZ の活性化期間に含まれている。

## 【 0 0 6 3 】

アドレス入力イネーブル信号 AINENZ の活性化により、図 1 に示した入力バッファ 10、12、14 が活性化され、兼用端子 A / DQ に供給されているアドレス信号 ADD は、遅延アドレス信号線 DA に供給される (図 6 (k))。アドレスラッチ信号 ALATZ の活性化期間に、遅延アドレス信号 DA は、図 1 に示した第 1 アドレスラッチ回路 30 をスルーして外部アドレス信号 EA として供給され、アドレスラッチ信号 ALATZ の非活性化に同期して、第 1 アドレスラッチ回路 30 にラッチされる (図 6 (l))。第 1 アドレスラッチ回路 30 により、兼用端子 A / DQ を介して供給され、確定期間が短いアドレス信号 A19-0 を確定期間の長い外部アドレス信号 EA に変換できる。したがって、外部アドレス信号 EA を受けるマルチプレクサ 32 等の内部回路のタイミングマージンを向上でき、メモリセル MC を確実にアクセスできる。

## 【 0 0 6 4 】

マルチプレクサ 32 は、リフレッシュアドレス信号 REFAD に代えてアドレス信号 ADD を選択し、内部ロウアドレス信号 IRA として出力する。第 2 アドレスラッチ回路 34、36 は、内部ロウアドレス信号 IRA および内部コラムアドレス信号 ICA を、書き込み制御信号 WRPX の活性化に同期してラッチし、ラッチした信号をロウデコーダ 38 およびコラムデコーダ 46 を介してメモリセルアレイ 50 に出力する (図 6 (m))。

## 【 0 0 6 5 】

一方、図 4 と同様に、アクセス要求信号 ACCX の活性化にตอบสนองしてリフレッシュ禁止信号 REFDISX が活性化され、リフレッシュ要求 RREQZ の受け付けは禁止される (図 6 (n))。リフレッシュ動作 REF の実行の完了に同期してリフレッシュ開始信号 REFSZ が非活性化され、アクセス開始信号 ACTSZ が活性化される (図 6 (o))。そして、書き込み動作 WR が実行される (図 6 (p))。リフレッシュ禁止信号 REFDISX は、書き込み動作の完了にตอบสนองして非活性化される (図 6 (q))。

## 【 0 0 6 6 】

上述した動作は、読み出しコマンドが供給される場合も同様に実行される。読み出しコマンドが供給される場合、ライトイネーブル信号 / WE の代わりにアウトプットイネーブル信号 / OE が活性化され、兼用端子 A / DQ には、メモリセル MC から読み出されたデータが、図 1 に示した出力バッファ 16 を介して出力される。第 2 アドレスラッチ回路 34、36 は、読み出し制御信号 RDPX に同期して動作する。その他の動作は、図 6 に示した書き込み動作と同じである。

## 【 0 0 6 7 】

図7は、第1の実施形態における第2仕様に設定された擬似SRAMの別の動作を示している。図4～図6と同じ動作については、詳細な説明を省略する。この例では、上述した図5と同様に、擬似SRAMは、書き込みコマンドWR（アクセス要求）を受けた直後に、リフレッシュ要求REQZを発生する。チップイネーブル信号/CEは、アクセス毎に活性化され、あるいは常時活性化される。

**【0068】**

まず、スタンバイ状態においてアドレスバリッド信号/ADVが活性化され（アクセス要求）、アクセス要求信号ACCXが活性化される（図7（a））。アドレスバリッド信号/ADVおよびアクセス要求信号ACCXの活性化にตอบสนองしてアドレス入力イネーブル信号A1NENZおよびアドレスラッチ信号ALATZが所定期間活性化され（図7（b））、図6と同様に第1アドレスラッチ回路30にアドレス信号ADDがラッチされる（図7（c））。

**【0069】**

また、アクセス要求信号ACCXの活性化にตอบสนองしてリフレッシュ禁止信号REFDISXが活性化される（図7（d））。このとき、リフレッシュ開始信号REFSZは非活性化されている。このため、リフレッシュ禁止信号REFDISXの活性化にตอบสนองしてアクセス開始信号ACTSZは活性化され、書き込み動作WRが実行される（図7（e））。

**【0070】**

書き込み動作WRの完了にตอบสนองしてリフレッシュ禁止信号REFDISXが非活性化される（図7（f））。リフレッシュ禁止信号REFDISXの非活性化にตอบสนองしてリフレッシュ開始信号REFSZが活性化される（図7（g））。リフレッシュ開始信号REFSZが活性化してから所定の期間、リフレッシュアドレス信号REFADが内部ロウアドレス信号IRAとして出力され（図7（h））。リフレッシュ動作REFが実行される（図7（i））。

**【0071】**

上述した動作は、図6と同様に、読み出しコマンドが供給される場合も同様に実行される。読み出しコマンドが供給される場合、ライトイネーブル信号/WEの代わりにアウトプットイネーブル信号/OEが活性化され、兼用端子A/DQには、メモリセルMCから読み出されたデータが、図1に示した出力バッファ16を介して出力される。第2アドレスラッチ回路34、36は、読み出し制御信号RDPXに同期して動作する。その他の動作は、書き込み動作と同じである。

**【0072】**

図8は、第1の実施形態の擬似SRAMにおいて、第1仕様に設定された状態を示している。図示を省略しているが、各仕様設定部S1の導電パターンは1番の端子に接続されている。このため、入力バッファ12は有効になり、アドレス信号AD15-0を受信し、入力バッファ14および出力バッファ16に接続された兼用端子A/DQは、データ信号DQ15-0の専用端子として使用される。

**【0073】**

遅延回路DL1-2から出力される遅延アドレス信号DA19-0は、第1アドレスラッチ回路30を介さずに、マルチプレクサ32および第2アドレスラッチ回路36に直接供給される。第1仕様に設定された擬似SRAMは、アドレス信号A19-0およびデータ信号DQ15-0をそれぞれ専用端子で受信するため、アドレス信号A19-0の確定期間を、チップイネーブル信号/CEの活性化期間と同等の長さにする。したがって、アドレス信号A19-0を一時的に保持する第1アドレスラッチ回路30は不要である。

**【0074】**

第1仕様では、アドレス信号A19-0およびデータ信号DQ15-0は、それぞれ専用端子に供給されるため、アドレス信号A19-0とデータ信号DQ15-0とを識別するためのアドレスバリッド端子/ADVは不要になる。このため、接地電圧が、アドレス

バリッド信号 / ADVとしてコマンド入力回路 18 に供給される。

図 9 は、第 1 の実施形態において、第 1 仕様 に設定された擬似 S R A M のタイミングコントロール 24 を示している。第 1 仕様では、アドレスバリッド信号 / ADV の経路が接地電圧に固定されるため、アクセス要求信号 ACCX、第 1 アドレスラッチ信号 ALATZ およびアドレス入力イネーブル信号 AINENZ は、チップイネーブル信号 / CE のみの活性化に 応答して生成される。すなわち、第 1 仕様では、チップイネーブル信号 / CE のみ が有効レベル (低レベル) のときに、外部アクセス要求が認識される。レジスタラッチ信号 CREGLZ およびレジスタ読み出し信号 CREGRZ は、常に非活性化される。したがって、第 1 仕様では、コンフィギュレーションレジスタ 44 はアクセスされず、無効状態になる。

#### 【 0075 】

図 10 は、第 1 の実施形態において、第 1 仕様 に設定された擬似 S R A M のアービタ 22 の動作を示している。この例では、上述した図 4 と同様に、擬似 S R A M は、アクセス要求 (読み出しコマンド RD または書き込みコマンド WR) を受ける直前に、リフレッシュ要求 RREQZ を発生する。図 4 と同じ動作については、詳細な説明を省略する。

擬似 S R A M を搭載するシステムは、擬似 S R A M をアクセスするときにチップイネーブル信号 / CE を所定期間活性化する (図 10 (a))。アクセス要求信号 ACCX およびリフレッシュ禁止信号 REFDISX は、チップイネーブル信号 / CE のみの活性化に同期して活性化される (図 10 (b))。その他の動作は、図 4 (第 2 仕様) と同じである。

#### 【 0076 】

図 11 は、第 1 の実施形態において、第 1 仕様 に設定された擬似 S R A M の動作を示している。この例では、上述した図 6 と同様に、擬似 S R A M は、書き込みコマンド (アクセス要求) を受ける直前に、リフレッシュ要求 RREQZ を発生する。第 1 仕様では、アクセス要求信号 ACCX およびアドレス入力イネーブル信号 AINENZ は、チップイネーブル信号 / CE のみに 応答して活性化される (図 11 (a))。その他の動作は、図 6 と同じであるため、説明を省略する。

#### 【 0077 】

以上、第 1 の実施形態では、チップイネーブル信号 / CE およびアドレスバリッド信号 / ADV が共に有効レベルになったときに外部アクセス要求を検出し、この検出からアクセス動作が完了するまでの間、リフレッシュ要求 RREQZ の受け付けを禁止する。このため、アドレス信号 A15 - 0 とデータ信号 DQ15 - 0 を受信する兼用端子 A / DQ15 - 0 を有し、アドレスバリッド信号 / ADV によりアドレス信号の供給を識別する擬似 S R A M において、読み出し動作 RD および書き込み動作 WR と、リフレッシュ要求 RREQZ に 応答するリフレッシュ動作 REF とが競合することを防止できる。この結果、擬似 S R A M が誤動作することを防止できる。

#### 【 0078 】

アドレス信号 A19 - 0 を、外部アクセス要求に対応して生成されるアクセス要求信号 ACCX に 応答して第 1 アドレスラッチ回路 30 によりラッチする。このため、兼用端子 A / DQ に供給される確定期間の短いアドレス信号を確定期間の長い外部アドレス信号 EA に変換できる。外部アドレス信号 EA を用いて読み出し動作および書き込み動作を実行することで、アドレス信号を処理する回路 (マルチプレクサ 32、第 2 アドレスラッチ回路 34、36 等) のタイミングマージンを確保できる。この結果、アドレス信号を確実に受信でき、誤ラッチ等による擬似 S R A M の誤動作を防止できる。タイミングマージンを確保できるため、回路設計が容易になる。また、製造条件の変動の影響を受け難くなるため、歩留を向上できる。さらに、兼用端子 A / DQ に供給されるアドレス信号のセットアップ時間およびホールド時間を最小限に設定できるため、アクセス時間を短縮できる。

#### 【 0079 】

リフレッシュアドレス REFAD または外部アドレス信号 EA を選択するマルチプレクサ 32 は、第 1 アドレスラッチ回路 30 と第 2 アドレスラッチ回路 34 との間に配置され

る。このため、マルチプレクサ32は、第1アドレスラッチ回路30によりラッチされたアドレス信号A15-0と、リフレッシュアドレスカウンタ28から出力されるリフレッシュアドレスREFADとを余裕を持って選択し、切り替えできる。内部回路のタイミングにマージンができるため、回路設計を容易に行うことができ、歩留も向上する。

#### 【0080】

なお、マルチプレクサ32を第1アドレスラッチ回路30の入力側に配置する場合、確定期間の長いリフレッシュアドレス信号REFADと、確定期間の短いアドレス信号(A19-8)とを切り替える必要がある。このとき、マルチプレクサ32は、確定期間の短いアドレス信号に合わせて動作させる必要があり、十分なタイミングマージンを確保できない。マルチプレクサ32を第2アドレスラッチ回路34の出力側に配置する場合、読み出し制御信号RDPX等でラッチしたロウアドレス信号を、さらにマルチプレクサ32により選択する必要がある。このため、メモリセルアレイ50へのアドレス信号の供給が遅くなってしまう。

#### 【0081】

擬似SRAMの製品仕様(動作仕様)は、ホトマスクのパターン形状に対応して半導体基板上の所定の位置に形成される導電膜(仕様設定部S1)の接続先に応じて、第1仕様または第2仕様に設定される。したがって、製品仕様を切り替える回路が不要になり、擬似SRAMのチップサイズを最小限にできる。仕様設定部S1の設定内容に応じて製品仕様を変更できるため、1つの設計データから動作仕様の異なる2つの製品を製造できる。この結果、擬似SRAMの開発コストおよび製造コストを削減できる。

#### 【0082】

既に第1仕様の擬似SRAMが開発されている場合、この擬似SRAMを改良して第1仕様および第2仕様に切り替え可能な擬似SRAMを設計することで、既にある設計資産を有効活用できる。この結果、設計コストを削減できる。また、ホトマスクは、製品を製造するための1セットに、配線工程の1枚を追加することで、異なる2つの製品を製造できる。このため、製造コストを削減できる。

#### 【0083】

図12は、本発明の半導体記憶装置の第2の実施形態を示している。第1の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。この半導体記憶装置は、シリコン基板上にCMOSプロセスを使用して擬似SRAMとして形成されている。擬似SRAMは、例えば、携帯電話等の携帯機器に搭載されるワークメモリに使用される。

この実施形態の仕様設定部S1は、ヒューズ回路(プログラム回路)で構成されている。また、擬似SRAMは、テストモード端子TM、テスト端子TESTおよびテスト制御回路76を有している。端子TM、TESTは、擬似SRAMのテスト工程において、プローブを接触させるためのパッドとして形成されている。このため、端子TM、TESTは、出荷される擬似SRAMの外部端子には存在しない。

#### 【0084】

テスト制御回路76は、テストモード端子TMに高レベルを受けている期間、アクセス動作を実行する通常動作モードからテストモードに移行する。このとき、仕様設定部S1は、テスト制御回路76から出力されるテスト制御信号TCNにより、ヒューズ回路のプログラム状態に関わらず、テスト端子TESTの論理レベルに応じて第1仕様または第2仕様に切り替わる。例えば、テスト端子TESTに低レベルが供給されている間、擬似SRAMは第1仕様に設定される。テスト端子TESTに高レベルが供給されている間、擬似SRAMは第2仕様に設定される。

#### 【0085】

以上、第2の実施形態においても第1の実施形態と同様の効果を得ることができる。さらに、仕様設定部S1をヒューズ回路で構成することで、ヒューズのプログラムに応じて、製品仕様を第1仕様または第2仕様に設定できる。すなわち、擬似SRAMの製造後に製品仕様を設定できる。したがって、予め製造された擬似SRAMを、生産計画に合わせて第1仕様品または第2仕様品に振り分けることができる。製造後の生産計画の変更にも

迅速に対応できる。

【0086】

テストモード端子T M、テスト信号T E S Tおよびテスト制御回路7 6を設けることで、ヒューズのプログラム状態にかかわらず、製品仕様を一時的に第1仕様または第2仕様のいずれかに切り替えることができる。すなわち、ヒューズのプログラム状態にかかわらず、擬似S R A Mを第1仕様および第2仕様に切り替えてテストできる。例えば、テストにより、擬似S R A Mが第1仕様として動作するが第2仕様では動作しないことが判明したときに、その擬似S R A Mをヒューズ回路（仕様設定部S 1）により第1仕様に設定することで、不良を救済できる。この結果、歩留を向上でき、製造コストを削減できる。動作仕様を自在に切り替えられるため、不良解析も容易になる。

【0087】

図13は、本発明の半導体記憶装置の第3の実施形態を示している。第1の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。この半導体記憶装置は、シリコン基板上にC M O Sプロセスを使用して擬似S R A Mとして形成されている。擬似S R A Mは、例えば、携帯電話等の携帯機器に搭載されるワークメモリに使用される。

この実施形態の仕様設定部S 1は、ヒューズ回路（プログラム回路）で構成されている。また、擬似S R A Mは、テスト制御回路7 8を有している。テスト制御回路7 8は、通常動作では使用しない組み合わせのコマンド信号（/ C E、/ W E、/ U B、/ L B）を受けたときに、テストコマンドを認識し、アクセス動作を実行する通常動作モードからテストモードに移行し、あるいはテストモードから通常動作モードに移行する。仕様設定部S 1は、テスト制御回路7 8から出力されるテスト制御信号T C Nにより、ヒューズ回路のプログラム状態に関わらず、テストコマンドの内容に応じて第1仕様または第2仕様に切り替わる。

【0088】

以上、第3の実施形態においても第1および第2の実施形態と同様の効果を得ることができる。さらに、テストコマンドに応じて、擬似S R A Mを一時的に第1仕様または第2仕様に設定できる。このため、擬似S R A Mチップをパッケージングした後、あるいは出荷した後でも、ヒューズ回路（仕様設定部S 1）のプログラム状態に関わらず、擬似S R A Mの動作仕様を第1仕様または第2仕様に切り替えることができる。

【0089】

なお、上述した第1実施形態では、ホトマスクの切り替えに応じて、擬似S R A Mの動作仕様を第1仕様または第2仕様に切り替える例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、仕様設定部S 1を、供給される電圧値に応じて動作仕様が切り替わるように設計しておき、擬似S R A Mの組立工程において、一端が仕様設定部S 1に接続されるボンディングワイヤの他端を電源線V D Dまたは接地線V S Sに接続することで、動作仕様を第1仕様または第2仕様に設定してもよい。この際、第2または第3の実施形態で述べたように、設定した動作仕様を一時的に無効にして、動作仕様を、テスト制御回路により第1仕様または第2仕様に切り替えられるようにしてもよい。

【0090】

上述した第2実施形態では、仕様設定部S 1をヒューズを用いて構成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、ヒューズの代わりに、E P R O M、E E P R O MあるいはF e R A M等の電氣的にプログラム可能なメモリセルを用いて仕様設定部S 1を構成してもよい。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【産業上の利用可能性】

【0091】

本発明を、アドレスバリッド端子を有し、リフレッシュを自動的に実行する半導体記憶装置に適用することで、リフレッシュ動作とアクセス動作とが競合することによる半導体

記憶装置の誤動作を防止できる。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2004/010210
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>7</sup> G11C11/403  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> G11C11/403  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-087048 A (Fujitsu Ltd.), 18 March, 2004 (18.03.04), Par. Nos. [0002] to [0029]; Figs. 7 to 10 & US 2004/0042311 A1 & EP 1394806 A2	1-10
Y	JP 11-328971 A (Hyundai Electronics Ind. Co., Ltd.), 30 November, 1999 (30.11.99), Par. Nos. [0022] to [0031]; Figs. 1 to 4 & US 6272053 B1	1-10
Y	JP 2001-216800 A (Fujitsu Ltd.), 10 August, 2001 (10.08.01), Par. Nos. [0002] to [0012], [0021] to [0036]; Figs. 1, 2 & US 2001/0010653 A1	8, 9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 April, 2005 (12.04.05)		Date of mailing of the international search report 10 May, 2005 (10.05.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010210

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-243765 A (Fujitsu Ltd.), 07 September, 2001 (07.09.01), Full text; all drawings & US 2001/0017811 A1	1-10
A	JP 2002-184174 A (NEC Corp.), 28 June, 2002 (28.06.02), Full text; all drawings & US 2004/0027876 A1 & EP 1351250 A1	1-10
A	JP 2001-344997 A (NEC Corp.), 14 December, 2001 (14.12.01), Full text; all drawings & US 2001/0050578 A1	1-10

国際調査報告		国際出願番号 PCT/JP2004/010210	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl.7 G11C11/403			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl.7 G11C11/403			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP 2004-087048 A (富士通株式会社) 2004-03.18, 段落【0002】-【0029】, 第7図-第10図 & US 2004/0042311 A1 & EP 1394806 A2	1-10	
Y	JP 11-328971 A (ヒュンダイ エレクトロニクス インダストリーズ カムパニー リミテッド) 1999.11.30, 段落【0022】-【0031】, 第1図-第4図 & US 6272053 B1	1-10	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> 特許ファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一特許ファミリー文献	
国際調査を完了した日 12.04.2005		国際調査報告の発送日 10.05.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 丹治 彰	5N 3578
		電話番号 03-3581-1101 内線	3586

国際調査報告		国際出願番号 PCT/JP2004/010210
C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-216800 A (富士通株式会社) 2001.08.10, 段落【0002】-【0012】、【0021】-【0036】、第1図、第2図 & US 2001/0010653 A1	8, 9
A	JP 2001-243765 A (富士通株式会社) 2001.09.07, 全文, 全図 & US 2001/0017811 A1	1-10
A	JP 2002-184174 A (日本電気株式会社) 2002.06.28, 全文, 全図 & US 2004/0027876 A1 & EP 1351250 A1	1-10
A	JP 2001-344997 A (日本電気株式会社) 2001.12.14, 全文, 全図 & US 2001/0050578 A1	1-10

---

フロントページの続き

Fターム(参考) 5M024 AA40 AA52 BB27 BB33 BB34 BB39 DD85 EE05 EE15 HH10  
KK22 LL18 MM04 PP01 PP02 PP03 PP07

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。