



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I508282 B

(45)公告日：中華民國 104 (2015) 年 11 月 11 日

(21)申請案號：098125906

(22)申請日：中華民國 98 (2009) 年 07 月 31 日

(51)Int. Cl. : **H01L29/78 (2006.01)****H01L21/336 (2006.01)****H01L21/316 (2006.01)**

(30)優先權：2008/08/08 日本

2008-206125

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；宮入秀和 MIYAIRI, HIDEKAZU (JP)；宮
永昭治 MIYANAGA, AKIHARU (JP)；秋元健吾 AKIMOTO, KENGO (JP)；白石
康次郎 SHIRAISHI, KOJIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2006-165527A

JP 2007-150158A

JP 2007-220819A

審查人員：陳柏雅

申請專利範圍項數：24 項 圖式數：25 共 102 頁

(54)名稱

半導體裝置及其製造方法

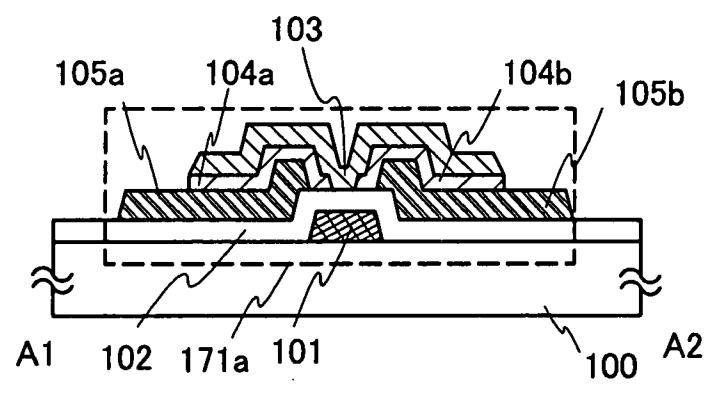
SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明的目的之一在於提供一種使用包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物半導體膜的薄膜電晶體及該薄膜電晶體之製造方法，其中減少了氧化物半導體膜與源電極及汲電極之間的接觸電阻。藉由在源電極層及汲電極層和 IGZO 半導體層之間意圖性地設置載子濃度比 IGZO 半導體層高的緩衝層，形成歐姆接觸。

One of the objects of the present invention is to provide a thin film transistor using an oxide semiconductor film containing indium (In), gallium (Ga), and zinc (Zn), in which the contact resistance between the oxide semiconductor layer and a source and drain electrodes is reduced, and to provide a method for manufacturing the thin film transistor. An ohmic contact is formed by intentionally providing a buffer layer having a higher carrier concentration than the IGZO semiconductor layer between the IGZO semiconductor layer and the source and drain electrode layers.

圖 1B



- 100 . . . 基板
- 101 . . . 閘電極層
- 102 . . . 閘極絕緣層
- 103 . . . 半導體層
- 104a . . . 緩衝層
- 104b . . . 緩衝層
- 105a . . . 源電極層及汲電極層
- 105b . . . 源電極層及汲電極層
- 171a . . . 薄膜電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98125906

※申請日：98年07月31日

※IPC分類：

H01L 29/786 H2000.01

H01L 21/336 H2000.01

H01L 21/316 H2000.01

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

本發明的目的之一在於提供一種使用包含銦 (In)、鎵 (Ga) 及鋅 (Zn) 的氧化物半導體膜的薄膜電晶體及該薄膜電晶體之製造方法，其中減少了氧化物半導體膜與源電極及汲電極之間的接觸電阻。藉由在源電極層及汲電極層和 IGZO 半導體層之間意圖性地設置載子濃度比 IGZO 半導體層高的緩衝層，形成歐姆接觸。

三、英文發明摘要：

One of the objects of the present invention is to provide a thin film transistor using an oxide semiconductor film containing indium (In), gallium (Ga), and zinc (Zn), in which the contact resistance between the oxide semiconductor layer and a source and drain electrodes is reduced, and to provide a method for manufacturing the thin film transistor. An ohmic contact is formed by intentionally providing a buffer layer having a higher carrier concentration than the IGZO semiconductor layer between the IGZO semiconductor layer and the source and drain electrode layers.

四、指定代表圖：

(一)、本案指定代表圖為：第(1B)圖。

(二)、本代表圖之元件代表符號簡單說明：

100：基板

101：閘電極層

102：閘極絕緣層

103：半導體層

104a：緩衝層

104b：緩衝層

105a：源電極層及汲電極層

105b：源電極層及汲電極層

171a：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無



六、發明說明：

【發明所屬之技術領域】

本發明關於一種包括由將氧化物半導體膜用於形成通道形成區的薄膜電晶體（下面稱爲 TFT）構成的電路的半導體裝置及其製造方法。例如，本發明關於將以液晶顯示面板爲代表的電光裝置或具有有機發光元件的發光顯示裝置用作部件而安裝的電子設備。

注意，在本發明說明中，半導體裝置是指利用半導體特性來能夠發揮功能的所有裝置。電光裝置、半導體電路及電子設備都是半導體裝置。

【先前技術】

近年來，對一種主動矩陣型顯示裝置（諸如液晶顯示裝置、發光顯示裝置、電泳顯示裝置）正在進行積極的研究開發，在該主動矩陣型顯示裝置中的配置爲矩陣狀的每個顯示像素中設置由 TFT 構成的開關元件。在主動矩陣型顯示裝置中，每個像素（或每一個點）設置有開關元件，且在其像素密度與被動矩陣型顯示裝置相比增加的情況下可以進行低電壓驅動，所以是有利的。

此外，將氧化物半導體膜用於通道形成區來製造薄膜電晶體（TFT）等並應用於電子裝置及光裝置的技術受到關注。例如，可舉出將氧化鋅（ZnO）用作氧化物半導體膜的 TFT 及將 $\text{InGaO}_3(\text{ZnO})_m$ 用作氧化物半導體膜的 TFT。在專利文獻 1 及專利文獻 2 等中公開將這種使用氧化物

半導體膜的 TFT 形成在具有透光性的基板上並用作圖像顯示裝置的開關元件等的技術。

[專利文獻 1]日本專利申請公開 2007-123861 號公報

[專利文獻 2]日本專利申請公開 2007-096055 號公報

對將氧化物半導體膜用於形成通道形成區的薄膜電晶體，要求工作速度高，製造製程較簡單，且具有充分的可靠性。

當形成薄膜電晶體時，作為源電極及汲電極使用低電阻的金屬材料。尤其是，當製造進行大面積的顯示的顯示裝置時，明顯地出現佈線的電阻所引起的信號的延遲問題。因此，作為佈線或電極的材料，較佳使用電阻值低的金屬材料。另一方面，當採用由電阻值低的金屬材料構成的源電極及汲電極和氧化物半導體膜直接接觸的薄膜電晶體結構時，有接觸電阻增高的憂慮。在源電極及汲電極和氧化物半導體膜的接觸面形成肖特基結的現象被認為是接觸電阻增高的原因之一。

再者，還有如下憂慮：在源電極及汲電極和氧化物半導體膜直接接觸的部分形成電容，頻率特性（被稱為 f 特性）降低，因此阻礙薄膜電晶體的高速工作。

【發明內容】

本發明的一個實施例的課題之一在於：提供使用包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物半導體膜的薄膜電晶體及其製造方法，其中減少了氧化物半導體層與源電



極及汲電極之間的接觸電阻。

此外，本發明的一個實施例的另一課題在於：提高使用包含 In、Ga 及 Zn 的氧化物半導體膜的薄膜電晶體的工作特性及可靠性。

另外，本發明的一個實施例的另一課題在於：減少使用包含 In、Ga 及 Zn 的氧化物半導體膜的薄膜電晶體的電特性的不均勻。尤其是，在液晶顯示裝置中，當各個元件之間的不均勻大時，有發生起因於其 TFT 特性的不均勻的顯示不均勻的憂慮。

此外，在具有發光元件的顯示裝置中，也有如下憂慮：當配置為在像素電極中流過一定的電流的 TFT（配置在驅動電路或像素中的向發光元件供給電流的 TFT）的導通電流（ I_{on} ）的不均勻大時，在顯示畫面中產生亮度的不均勻。

如上所述，本發明的一個實施例的目的在於解決上述課題中的至少一個。

本發明的一個實施例的要旨在於：使用包含 In、Ga 及 Zn 的氧化物半導體膜作為半導體層，並包括在半導體層和源電極層及汲電極層之間設置有緩衝層的薄膜電晶體。

在本發明說明中，將使用包含 In、Ga 及 Zn 的氧化物半導體膜形成的半導體層也表示為“IGZO 半導體層”。

源電極層和 IGZO 半導體層需要實現歐姆接觸。再者，較佳儘量減少該接觸電阻。同樣地，汲電極層和 IGZO

半導體層需要實現歐姆接觸。再者，較佳儘量減少該接觸電阻。

於是，藉由在源電極層及汲電極層和 IGZO 半導體層之間意圖性地設置載子濃度比 IGZO 半導體層高的緩衝層形成歐姆接觸。

作為緩衝層，使用具有 n 型導電性的包含 In、Ga 及 Zn 的氧化物半導體膜。也可以使緩衝層包含賦予 n 型的雜質元素。作為雜質元素，例如可以使用鎂、鋁、鈦、鐵、錫、鈣、銻、銦、鉍、鉛、硼、銻、鉛等。當使緩衝層包含鎂、鋁、鈦等時，發揮對氧的阻擋效果等，且藉由成膜之後的加熱處理等可以將半導體層的氧濃度保持於最合適的範圍內。

緩衝層用作 n^+ 層，並且也可以稱為汲區或源區。

為了減少薄膜電晶體的電特性的不均勻，IGZO 半導體層較佳處於非晶狀態。

本發明說明所公開的半導體裝置的一個實施例包括一種薄膜電晶體，該薄膜電晶體具有：閘電極層；該閘電極層上的閘極絕緣層；該閘極絕緣層上的源電極層及汲電極層；該源電極層及汲電極層上的具有 n 型導電性的緩衝層；以及該緩衝層上的半導體層，其中，與閘電極層重疊的半導體層的一部分接觸於閘極絕緣層上，且與閘電極層重疊的該半導體層設置在源電極層和汲電極層之間，並且，半導體層及緩衝層是包含銦、銻及鋅的氧化物半導體層，並且，緩衝層的載子濃度比半導體層的載子濃度高，並且

，半導體層和源電極層及汲電極層隔著緩衝層電連接。

本發明的一個實施例解決上述課題中的至少一個。

在上述結構中，還可以在半導體層和緩衝層之間設置載子濃度比半導體層高且比緩衝層低的第二緩衝層。第二緩衝層用作 n^+ 層。

包含 In、Ga 及 Zn 的氧化物半導體膜（IGZO 膜）具有隨著載子濃度增高而電洞遷移率也增高的特性。因此，包含 In、Ga 及 Zn 的氧化物半導體膜的載子濃度和電洞遷移率的關係成為圖 25 所示那樣的。在本發明的中，較佳的是，適合半導體層的通道的 IGZO 膜的載子濃度範圍（通道濃度範圍 1）低於 $1 \times 10^{17} \text{ atoms/cm}^3$ （更較佳為 $1 \times 10^{11} \text{ atoms/cm}^3$ 以上），且適合緩衝層的 IGZO 膜的載子濃度範圍（緩衝層濃度範圍 2）為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上（更較佳為 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下）。在將 IGZO 膜用作半導體層的情況下，上述 IGZO 膜的載子濃度為當在室溫下不施加源極、汲極及閘極電壓的狀態時的值。

當通道用 IGZO 的載子濃度範圍超過上述範圍時，有作為薄膜電晶體處於常導通狀態（normally-on）的憂慮。因此，藉由將上述載子濃度範圍內的 IGZO 膜用作半導體層的通道，可以獲得可靠性高的薄膜電晶體。

此外，較佳將鈦膜用於源電極層和汲電極層。例如，當使用層疊鈦膜、鋁膜、鈦膜的疊層時，實現低電阻且在鋁膜中不容易產生小丘。

此外，源電極層的側面和與該側面對置的汲電極層的

側面被緩衝層覆蓋。因此，薄膜電晶體的通道長度 L 相當於覆蓋源電極層的第一緩衝層和覆蓋汲電極層的第二緩衝層的間隔。

另外，為實現上述結構的發明結構是一種半導體裝置的製造方法，包括如下步驟：在基板上形成閘電極層；在該閘電極層上形成閘極絕緣層；在該閘極絕緣層上形成源電極層及汲電極層；在該源電極層及汲電極層上形成具有 n 型導電性的緩衝層；在該緩衝層上形成半導體層；使用包含銮、鎵及鋅的氧化物半導體層形成該半導體層及緩衝層，其中，緩衝層的載子濃度比半導體層的載子濃度高，並且，半導體層和源電極層及汲電極層隔著緩衝層電連接。

注意，在上述製造方法中，半導體層的一部分接觸於與閘電極層重疊的閘極絕緣層上，並且該半導體層形成在源電極層和汲電極層之間。

藉由濺射法 (sputtering) 形成半導體層、具有 n 型導電性的緩衝層、源電極層及汲電極層，即可。較佳是，在氧氣氛下 (或氧為 90% 以上，稀有氣體 (氬) 為 10% 以下) 形成閘極絕緣層及半導體層，而在稀有氣體 (氬) 氣氛下形成具有 n 型導電性的緩衝層。

作為濺射法，有作為濺射用電源使用高頻電源的 RF 濺射法、DC 濺射法，並還有以脈衝的方式提供偏壓的脈衝 DC 濺射法。在形成絕緣膜的情況下主要採用 RF 濺射法，而在形成金屬膜的情況下主要採用 DC 濺射法。

此外，還有能夠設置多個材料不同的靶子的多元濺射裝置（multi-source sputtering apparatus）。多元濺射裝置能夠在同一處理室中層疊形成不同的材料膜或同一處理室中同時使多種材料放電來進行成膜。

另外，還有在處理室中具備磁鐵機構的採用磁控濺射法的濺射裝置、以及採用 ECR 濺射法的濺射裝置，該 ECR 濺射法採用不使用輝光放電而使用微波產生的電漿。

作為採用濺射法的成膜方法，還有在成膜時使靶子物質和濺射氣體成分引起化學反應來形成它們的化合物薄膜的反應濺射法、以及在成膜時也對基板施加電壓的偏壓濺射法。

採用這些各種濺射法形成半導體層、具有 n 型導電性的緩衝層、源電極層及汲電極層。

根據本發明，可以獲得光電流少，寄生電容小，且導通截止比高的薄膜電晶體，並且還可以製造具有優良的動態特性的薄膜電晶體。因此，可以提供包括電特性高且可靠性高的薄膜電晶體的半導體裝置。

【實施方式】

下面，將參照附圖詳細地說明本發明的實施例。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在下面所示的實

施例所記載的內容中。注意，在下面所說明的本發明的結構中，在不同附圖之間共同使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[實施例 1]

在本實施例中，參照圖 1A 和 1B 以及圖 2 說明薄膜電晶體及其製造製程。

圖 1A 和 1B 以及圖 2 示出本實施例的底閘極結構的一種（也稱為底接觸結構）的薄膜電晶體 171a、171b。圖 1A 是平面圖，而圖 1B 是沿著圖 1A 中的線 A1-A2 的截面圖。

在圖 1A 和 1B 中，在基板 100 上設置有薄膜電晶體 171a，該薄膜電晶體包括閘電極層 101、閘極絕緣層 102、源電極層及汲電極層 105a、105b、具有 n 型導電性的緩衝層 104a、104b 以及半導體層 103。

藉由作為半導體層 103 使用包含 In、Ga 及 Zn 的氧化物半導體膜，並在源電極層及汲電極層 105a、105b 和 IGZO 半導體層的半導體層 103 之間意圖性地設置載子濃度比半導體層 103 高的緩衝層 104a、104b，形成歐姆接觸。

作為緩衝層 104a、104b，使用具有 n 型導電性的包含 In、Ga 及 Zn 的氧化物半導體膜。也可以使緩衝層 104a、104b 包含賦予 n 型的雜質元素。作為雜質元素，例如可以使用鎂、鋁、鈦、鐵、錫、鈣、銻、釩、鉍、鉛、硼

、鈦、鉛等。藉由使緩衝層包含鎂、鋁、鈦等，可以發揮對氧的阻擋效果等，並且藉由在成膜之後的加熱處理等，可以將半導體層的氧濃度保持在最合適的範圍內。

在本發明中，半導體層的載子濃度範圍較佳低於 $1 \times 10^{17} \text{ atoms/cm}^3$ （更佳的為 $1 \times 10^{11} \text{ atoms/cm}^3$ 以上），並且緩衝層的載子濃度範圍較佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上（更佳的為 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下）。

當通道用 IGZO 膜的載子濃度範圍超過上述範圍時，有作為薄膜電晶體處於常導通狀態的憂慮。因此，藉由將上述載子濃度範圍內的 IGZO 膜用作半導體層的通道，可以實現可靠性高的薄膜電晶體。

此外，當在半導體層和緩衝層之間設置載子濃度比緩衝層低且比半導體層高的用作 n^+ 層的第二緩衝層時，將第二緩衝層的載子濃度設定為半導體層和緩衝層的載子濃度之間的濃度範圍，即可。

緩衝層 104a、104b 用作 n^+ 層，也可以稱為汲區或源區。

參照圖 3A 至 3E 說明圖 1A 及 1B 的薄膜電晶體 171a 的製造方法。

在基板 100 上形成閘電極層 101、閘極絕緣層 102、導電膜 117（參照圖 3A）。作為基板 100，除了藉由熔融法或浮法製造的無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等、以及陶瓷基板之外，還可以使用具有可耐受本製造製程的處理溫度的耐熱性的塑膠基

板等。此外，還可以應用在不銹鋼合金等的金屬基板的表面上設置絕緣膜的基板。作為基板 100 的尺寸，可以使用 320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm 或 2850mm×3050mm 等。

此外，也可以在基板 100 上形成用作基底膜的絕緣膜。藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜的單層或疊層形成基底膜，即可。

使用金屬材料如鈦、鉬、鉻、鉭、鎢、鋁等或其合金材料形成閘電極層 101。可以藉由在基板 100 上採用濺射法或真空蒸鍍法形成導電膜，在該導電膜上採用光微影技術或噴墨法形成掩模，並使用該掩模蝕刻導電膜，來形成閘電極層 101。此外，可以藉由使用銀、金、銅等的導電奈米膏並採用噴墨法噴出並焙燒，來形成閘電極層 101。注意，作為用來提高閘電極層 101 的密接性並防止閘電極層 101 的材料擴散到基板及基底膜的阻擋金屬，也可以在基板 100 和閘電極層 101 之間設置上述金屬材料的氮化物膜。另外，閘電極層 101 可以採用單層結構或疊層結構，例如可以從基板 100 一側層疊鉬膜和鋁膜的疊層、鉬膜和鋁及鈹的合金膜的疊層、鈦膜和鋁膜的疊層、鈦膜、鋁膜和鈦膜的疊層等。

另外，由於在閘電極層 101 上形成半導體膜及佈線，因此較佳將端部處理為錐形以防止斷開。

可以藉由採用 CVD 法或濺射法等使用氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜形成閘極絕緣層 102。圖 2 所示的薄膜電晶體 171b 是層疊閘極絕緣層 102 的例子。

可以按順序層疊氮化矽膜或氮氧化矽膜和氧化矽膜或氧氮化矽膜來形成閘極絕緣層 102。另外，閘極絕緣層可以不採用兩層結構而採用如下三層結構而形成，即從基板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜和氮化矽膜或氮氧化矽膜。此外，可以使用氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜的單層形成閘極絕緣層。

此外，較佳在氧氣氛下（或氧為 90%以上，稀有氣體（氬或氬等）為 10%以下）形成閘極絕緣層 102。

另外，作為閘極絕緣層 102，也可以在閘電極層 101 上藉由電漿 CVD 法形成氮化矽膜，並在氮化矽膜上藉由濺射法層疊氧化矽膜。還可以在閘電極層 101 上藉由電漿 CVD 法按順序形成氮化矽膜和氧化矽膜，並在氧化矽膜上藉由濺射法層疊氧化矽膜。

在本發明說明中，氧氮化矽膜是指作為其組成氧的含量多於氮的含量的膜，且當利用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）以及氬前方散射法（HFS：Hydrogen Forward Scattering）進行測量

時作為濃度範圍包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的 Si、0.1 原子%至 10 原子%的氫。氮氧化矽膜是指作為其組成氮的含量多於氧的含量的膜，且當利用 RBS 以及 HFS 進行測量時作為濃度範圍包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的 Si、10 原子%至 30 原子%的氫。但是，當將構成氮氧化矽膜或氮氧化矽膜的原子的總計設定為 100 原子%時，氮、氧、Si 以及氫的含有比率包括於上述範圍內。

此外，作為閘極絕緣層 102，也可以使用鋁、鈦或鉛的氧化物、氮化物、氧氮化物或氮氧化物中的一種或包含上述物質的化合物中的至少兩種以上的化合物。

另外，也可以使閘極絕緣層 102 包含氯、氟等鹵素元素。將閘極絕緣層 102 中的鹵素元素的濃度峰值中的濃度設定為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下，即可。

較佳使用鋁、銅、或添加有矽、鈦、鈹、鈳、鉬等的提高耐熱性的元素或小丘防止元素的鋁合金的單層或疊層形成導電膜 117。此外，也可以採用如下疊層結構，即使用鈦、鉭、鉬、鎢或這些元素的氮化物形成與在後面的製程形成的具有 n 型導電性的半導體膜接觸的一側的膜，然後在其上形成鋁或鋁合金。再者，還可以採用使用鈦、鉭、鉬、鎢或這些元素的氮化物將鋁或鋁合金的上面和下面夾住的疊層結構。在此，作為導電膜 117，使用鈦膜、鋁

膜和鈦膜的疊層導電膜。

當採用鈦膜、鋁膜、鈦膜的疊層時，電阻低，且在鋁膜中不容易產生小丘。

藉由濺射法或真空蒸鍍法形成導電膜 117。此外，也可以藉由使用銀、金、銅等的導電奈米膏並採用絲網印刷法、噴墨法等噴出並焙燒來形成導電膜 117。

接著，在導電膜 117 上形成掩模 118，藉由使用掩模 118 進行蝕刻來處理導電膜 117，以形成源電極層及汲電極層 105a、105b（參照圖 3B）。

接著，去除掩模 118，並且在源電極層及汲電極層 105a、105b 上形成具有 n 型導電性的包含 In、Ga 及 Zn 的氧化物半導體膜的具有 n 型導電性的半導體膜。例如，也可以藉由以 IGZO 為第一靶子，並以具有 n 型導電性的材料為第二靶子，同時採用濺射法進行成膜（共濺射），來形成混合膜並將它用作緩衝層。在此源電極層及汲電極層 105a、105b 的上面及側面被具有 n 型導電性的半導體膜覆蓋，因此具有 n 型導電性的半導體膜可以保護源電極層及汲電極層 105a、105b。

接著，在具有 n 型導電性的半導體膜上形成掩模 116，使用掩模 116 進行蝕刻來處理具有 n 型導電性的半導體膜，從而形成 n 型半導體層 115a、115b（參照圖 3C）。在此，採用使用具有 n 型導電性的半導體膜覆蓋源電極層及汲電極層 105a、105b 的圖案形狀，以保護源電極層及汲電極層 105a、105b。然而，不侷限於圖 3C 所示的圖案

形狀。雖然在源電極層及汲電極層 105a、105b 中需要使用具有 n 型導電性的半導體膜至少覆蓋與閘電極靠近一側，但是也可以不覆蓋靠遠離於閘電極的一側的側面。在源電極層及汲電極層 105a、105b 中的靠近於閘電極一側的側面不被具有 n 型導電性的半導體膜覆蓋的情況下，側面直接與形成通道的 IGZO 膜接觸，所以有形成肖特基結而使接觸電阻增高的憂慮。

此外，藉由處理具有 n 型導電性的半導體膜的蝕刻形成的 n 型半導體層 115a、115b 的間隔成爲薄膜電晶體的通道長度。若是 n 型半導體層 115a、115b 的間隔一定，且該間隔位於閘電極上方，則即使產生位置偏差也可以獲得大致相當的電特性，所以可以減少薄膜電晶體的不均勻。另外，可以根據蝕刻條件自由地決定 n 型半導體層 115a、115b 的間隔。在現有的薄膜電晶體中，源電極層和汲電極層之間的間隔成爲通道長度，但是由於使用導電率高的金屬膜及容易產生小丘的金屬膜，因此當源電極層和汲電極層的間隔窄時，有產生短路的憂慮。

接著，去除掩模 116，並且在 n 型半導體層 115a、115b 上形成半導體膜 111（參照圖 3D）。

作爲半導體膜 111，形成包含 In、Ga 及 Zn 的氧化物半導體膜。例如，作爲半導體膜 111，藉由濺射法形成 50nm 厚的包含 In、Ga 及 Zn 的氧化物半導體膜，即可。較佳在氧氣氛下（或氧爲 90%以上，稀有氣體（氬或氦等）爲 10%以下）形成半導體膜 111。

作為半導體膜 111 及具有 n 型導電性的半導體膜等的氧化物半導體膜的採用濺射法以外的其他成膜方法，可以採用脈衝雷射蒸鍍法（PLD 法）及電子束蒸鍍法等的气相法。在氣相法中，從容易控制材料系統的組成的觀點來看，PLD 法是適合的，而從量產性的觀點來看，如上所述濺射法是適合的。

作為半導體膜 111 的具體的成膜條件例子，例如可以使用：直徑 8 英寸的包含 In、Ga 及 Zn 的氧化物半導體靶子；基板和靶子之間的距離為 170mm；壓力為 0.4Pa；直流（DC）電源為 0.5kW；在氬或氧氣氛下進行成膜。此外，當使用脈衝直流（DC）電源時，可以減輕碎屑，且膜厚度分佈也變均勻，所以是較佳的。

接著，形成用來處理半導體膜 111 的掩模 113（參照圖 3E）。藉由使用掩模 113 蝕刻半導體膜 111，可以形成半導體層 103。

此外，使用相同的掩模 113 進行蝕刻形成緩衝層 104a、104b。因此，如圖 1A 和 1B 所示，半導體層 103 的端部和緩衝層 104a、104b 的端部成為大致對準。另外，當進行半導體膜 111、n 型半導體層 115a、115b 等的 IGZO 半導體膜的蝕刻時，可以將檸檬酸及草酸等的有機酸用作蝕刻劑。例如，使用 ITO-07N（日本關東化學株式會社製造）以 150 秒來可以對 50nm 的半導體膜 111 進行蝕刻處理。

此外，藉由將半導體層 103 的端部蝕刻為具有錐形的

形狀，可以防止臺階形狀所引起的佈線的斷開。

然後，去除掩模 113。藉由上述製程，可以形成薄膜電晶體 171a。注意，薄膜電晶體 171a 的通道長度 L 相當於 n 型半導體層 115a、115b 的間隔（緩衝層 104a、104b 的間隔）。由此，可以不改變 n 型半導體層 115a、115b 的間隔地擴大源電極層及汲電極層 105a、105b 的間隔。藉由擴大源電極層及汲電極層 105a、105b 的間隔，可以防止小丘發生並在源電極層和汲電極層之間產生短路的情況。此外，藉由擴大源電極層及汲電極層 105a、105b 的間隔，可以縮小與源電極重疊的面積並減少與閘電極的寄生電容，所以可以實現具有優良的動態特性例如高頻率特性（被稱為 f 特性）的薄膜電晶體。

再者，也可以在薄膜電晶體 171a 上形成用作保護膜的絕緣膜。作為保護膜，可以與閘極絕緣層同樣地形成。另外，保護膜用來防止在大氣中懸浮的有機物、金屬物、水蒸氣等的污染雜質的侵入，所以較佳採用緻密的膜。例如，在薄膜電晶體 171a 上形成用作保護膜的氧化矽膜和氮化矽膜的疊層，即可。

此外，較佳在形成半導體層 103 及緩衝層 104a、104b 等的氧化物半導體膜之後對它們進行加熱處理。可以在成膜之後的任何製程中進行加熱處理，但是可以在剛成膜之後或在形成保護膜之後等進行加熱處理。此外，也可以兼作其他加熱處理進行。另外，加熱溫度為 300°C 以上且 400°C 以下，較佳為 350°C ，即可。也可以進行多次的加熱



處理，以在不同的製程中進行半導體層 103 和緩衝層 104a、104b 的加熱處理。

另外，參照圖 3A 至 3E 說明圖 2 所示的薄膜電晶體 171b 的製造製程。注意，至於圖 2 所示的薄膜電晶體 171b 的製造製程，只是其一部分不同於圖 1B 的薄膜電晶體 171a 的製造製程，所以以下說明該部分。

圖 2 中的與圖 1B 的不同之處在於：閘極絕緣層 102 是兩層；緩衝層的端部的位置與半導體層的端部的位置不同。

當使用圖 3E 所示的掩模 113 進行蝕刻時，藉由僅對半導體層 103 選擇性地進行蝕刻並使 n 型半導體層 115a、115b 殘留，可以獲得圖 2 所示的薄膜電晶體 171b。在圖 2 中，n 型半導體層 115a、115b 用作緩衝層。此外，當薄膜電晶體 171b 上還形成層間絕緣膜並在層間絕緣膜上形成佈線時，即使在接觸孔的底面殘留有 n 型半導體層 115a、115b 的狀態下，也可以與佈線和源電極層及汲電極層良好地電連接。

本實施例的薄膜電晶體具有閘電極層、閘極絕緣層、源電極層及汲電極層、緩衝層（包含 In、Ga 及 Zn 並具有 n 型導電性的氧化物半導體層）、半導體層（包含 In、Ga 及 Zn 的氧化物半導體層）的疊層結構，並且藉由使用如包含 In、Ga 及 Zn 的具有 n 型導電性的氧化物半導體層那樣的載子濃度高的緩衝層，可以在使半導體層的厚度為薄的狀態下抑制寄生電容。注意，即使緩衝層是薄膜，它也

具有對閘極絕緣層的充分的比例。由此，充分地抑制寄生電容。

根據本實施例可以獲得一種薄膜電晶體，在該薄膜電晶體中，光電流少，寄生電容小，且導通截止比高，並且還可以製造具有優良的動態特性的薄膜電晶體。因此，可以提供包括電特性高且可靠性高的薄膜電晶體的半導體裝置。

[實施例 2]

本實施例是本發明的一個實施例的多閘結構的薄膜電晶體的例子。因此，其他部分可以與實施例 1 同樣地進行，所以省略對於與實施例 1 同樣的部分或具有與實施例 1 同樣的功能的部分及製程的重複說明。

在本實施例中，參照圖 4A 和 4B 以及圖 5A 和 5B 說明用於半導體裝置的薄膜電晶體。

圖 4A 是示出薄膜電晶體的平面圖，而圖 4B 相當於沿著圖 4A 中的線 E1-E2 示出薄膜電晶體 172a 的截面圖。

如圖 4A 和 4B 所示，在基板 150 上設置有多閘結構的薄膜電晶體 172a，該薄膜電晶體 172a 包括閘電極層 151a、151b、閘極絕緣層 152、源電極層及汲電極層 155a、155b、緩衝層 154a、154b、154c、半導體層的通道形成區 153a、153b。另外，在多閘結構的薄膜電晶體 172a 中第一通道長度 L1 相當於緩衝層 154a 和 154c 的間隔，而第二通道長度 L2 相當於緩衝層 154b 和 154c 的間隔。



半導體層的通道形成區 153a、153b 是包含 In、Ga 及 Zn 的氧化物半導體層，而緩衝層 154a、154b、154c 是具有 n 型導電性的包含 In、Ga 及 Zn 的氧化物半導體層。用作源區或汲區（ n^+ 層）的緩衝層 154a、154b 的載子濃度比半導體層的通道形成區 153a、153b 高。

半導體層的通道形成區 153a 和半導體層的通道形成區 153b 電連接。此外，半導體層的通道形成區 153a 隔著緩衝層 154a 電連接到源電極層或汲電極層 155a，而半導體層的通道形成區 153b 隔著緩衝層 154b 電連接到源電極層或汲電極層 155b。

圖 5A 和 5B 示出具有其他結構的多閘結構的薄膜電晶體 172b。圖 5A 是示出薄膜電晶體 172b 的平面圖，而圖 5B 相當於沿著圖 5A 的線 F1-F2 示出薄膜電晶體 172b 的截面圖。在圖 5A 和 5B 的薄膜電晶體 172b 中，半導體層分割為多個，設置有藉由與源電極層及汲電極層 155a、155b 同一製程形成的佈線層 156，並且半導體層 153c 和半導體層 153d 隔著緩衝層 154c、154d 並利用佈線層 156 電連接。

注意，在多閘結構的薄膜電晶體 172b 中，第一通道長度 L1 相當於緩衝層 154a 和 154c 的間隔，而第二通道長度 L2 相當於緩衝層 154b 和 154d 的間隔。

像這樣，在本發明的一個實施例的多閘結構的薄膜電晶體中，既可以連續設置形成在各閘電極層上的半導體層，又可以以隔著緩衝層及佈線層等電連接的方式設置多個

半導體層。

本發明的一個實施例的多閘結構的薄膜電晶體的截止電流少，並且包括這種薄膜電晶體的半導體裝置可以賦予高電特性及高可靠性。

在本實施例中，作為多閘結構示出具有兩個閘電極層的雙閘結構的例子。本發明的一個實施例還可以應用於具有更多的閘電極層的三閘結構等。

本實施例可以與其他實施例適當地組合而實施。

[實施例 3]

在本實施例中，下面說明在本發明的一個實施例的半導體裝置的一例的顯示裝置中，在同一基板上至少製造驅動電路的一部分和配置在像素部的薄膜電晶體的例子。

根據實施例 1 或實施例 2 形成配置在像素部的薄膜電晶體。此外，因為實施例 1 或實施例 2 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可使用 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一個的基板上。

圖 6A 示出本發明的一個實施例的半導體裝置的一例的主動矩陣型液晶顯示裝置的方塊圖的一例。圖 6A 所示的顯示裝置在基板 5300 上包括：具有多個具備顯示元件的像素的像素部 5301；選擇各像素的掃描線驅動電路 5302；以及控制對被選擇的視頻信號的輸入的信號線驅動電路 5303。

此外，實施例 1 或實施例 2 中之任一個所示的薄膜電晶體是 n 通道型 TFT，參照圖 7 說明由 n 通道型 TFT 構成的信號線驅動電路。

圖 7 所示的信號線驅動電路包括：驅動器 IC5601；開關群 5602_1 至 5602_M；第一佈線 5611；第二佈線 5612；第三佈線 5613；以及佈線 5621_1 至 5621_M。開關群 5602_1 至 5602_M 分別包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC5601 連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M。而且，開關群 5602_1 至 5602_M 分別連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及分別對應於開關群 5602_1 至 5602_M 的佈線 5621_1 至 5621_M。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到三個信號線。例如，第 J 列的佈線 5621_J（佈線 5621_1 至佈線 5621_M 中任一個）分別藉由開關群 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 S_{j-1}、信號線 S_j、信號線 S_{j+1}。

注意，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

注意，驅動器 IC5601 較佳形成在單晶基板上。再者，開關群 5602_1 至 5602_M 較佳形成在與像素部同一個基板上。因此，較佳藉由 FPC 等連接驅動器 IC5601 和開關

群 5602_1 至 5602_M。

接著，參照圖 8 的時序圖說明圖 7 所示的信號線驅動電路的工作。注意，圖 8 的時序圖示出當第 i 行掃描線 G_i 被選擇時的時序圖。再者，第 i 行掃描線 G_i 的選擇期間被分割為第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 。而且，圖 7 的信號線驅動電路在其他行的掃描線被選擇的情況下也進行與圖 8 相同的工作。

注意，圖 8 的時序圖示出第 J 列佈線 5621_J 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 的情況。

注意，圖 8 的時序圖示出第 i 行掃描線 G_i 被選擇的時序、第一薄膜電晶體 5603a 的導通・截止的時序 5703a、第二薄膜電晶體 5603b 的導通・截止的時序 5703b、第三薄膜電晶體 5603c 的導通・截止的時序 5703c 及輸入到第 J 列佈線 5621_J 的信號 5721_J。

注意，在第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中，對佈線 5621_1 至佈線 5621_M 分別輸入不同的視頻信號。例如，在第一子選擇期間 T_1 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-1} ，在第二子選擇期間 T_2 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_j ，在第三子選擇期間 T_3 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j+1} 。再者，在第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中輸入到佈



線 5621_J 的視頻信號分別為 Data_{j-1}、Data_j、Data_{j+1}

。如圖 8 所示，在第一子選擇期間 T1 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 Data_{j-1} 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1}。在第二子選擇期間 T2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 Data_j 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j。在第三子選擇期間 T3 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_{j+1} 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1}。

據此，圖 7 的信號線驅動電路藉由將一個閘極選擇期間分割為三個而可以在一個閘極選擇期間中將視頻信號從一個佈線 5621 輸入到三個信號線。因此，圖 7 的信號線驅動電路可以將形成有驅動器 IC5601 的基板和形成有像素部的基板的連接數設定為信號線數的大約 1/3。藉由使連接數成為大約 1/3，可以提高圖 7 的信號線驅動電路的可靠性、成品率等。

另外，如圖 7 所示，只要能夠將一個閘極選擇期間分割為多個子選擇期間，並在多個子選擇期間的每一個中分別將視頻信號從某一個佈線輸入到多個信號線，就不限制薄膜電晶體的配置、數量及驅動方法等。

例如，當在三個以上的子選擇期間的每一個中，將視頻信號從一個佈線分別輸入到三個以上的信號線時，追加薄膜電晶體及用來控制薄膜電晶體的佈線，即可。但是，當將一個閘極選擇期間分割為四個以上的子選擇期間時，子選擇期間縮短。因此，較佳將一個閘極選擇期間分割為兩個或三個子選擇期間。

作為另一個例子，也可以如圖 9 的時序圖所示，將一個選擇期間分割為預充電期間 T_p 、第一子選擇期間 T_1 、第二子選擇期間 T_2 、第三子選擇期間 T_3 。再者，圖 9 的時序圖示出選擇第 i 行掃描線 G_i 的時序、第一薄膜電晶體 5603a 的導通・截止的時序 5803a、第二薄膜電晶體 5603b 的導通・截止的時序 5803b、第三薄膜電晶體 5603c 的導通・截止的時序 5803c 以及輸入到第 J 列佈線 5621 $_J$ 的信號 5821 $_J$ 。如圖 9 所示，在預充電期間 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 導通。此時，輸入到佈線 5621 $_J$ 的預充電電壓 V_p 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 分別輸入到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 。在第一子選擇期間 T_1 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621 $_J$ 的 $Data_{j-1}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到

佈線 5621_J 的 Data_j 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j。在第三子選擇期間 T₃ 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_{j+1} 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1}。

據此，因為應用圖 9 的時序圖的圖 7 的信號線驅動電路可以藉由在子選擇期間之前提供預充電選擇期間來對信號線進行預充電，所以可以高速地對像素進行視頻信號的寫入。注意，在圖 9 中，使用相同的附圖標記來表示與圖 8 相同的部分，而省略對於相同的部分或具有相同的功能的部分的詳細說明。

此外，說明掃描線驅動電路的結構。掃描線驅動電路包括移位暫存器、緩衝器。此外，根據情況，還可以包括位準轉移器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號 (CLK) 及起始脈衝信號 (SP)，生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供給到對應的掃描線。掃描線連接有一條線上的像素的電晶體的閘電極。而且，由於需要將一條線上的像素的電晶體同時導通，因此使用能夠產生大電流的緩衝器。

參照圖 10 和圖 11 說明用於掃描線驅動電路的一部分的移位暫存器的一個方式。

圖 10 示出移位暫存器的電路結構。圖 10 所示的移位暫存器由多個正反器 5701_i (正反器 5701₁ 至 5701_n 中任一個) 構成。此外，輸入第一時鐘信號、第二時鐘信號

、起始脈衝信號、重定信號來進行工作。

說明圖 10 的移位暫存器的連接關係。在圖 10 的移位暫存器的第 i 級正反器 5701 _{i} (正反器 5701₁ 至 5701 _{n} 中任一個) 中，圖 11 所示的第一佈線 5501 連接到第七佈線 5717 _{$i-1$} ，圖 11 所示的第二佈線 5502 連接到第七佈線 5717 _{$i+1$} ，圖 11 所示的第三佈線 5503 連接到第七佈線 5717 _{i} ，並且圖 11 所示的第六佈線 5506 連接到第五佈線 5715。

此外，圖 11 所示的第四佈線 5504 在奇數級的正反器中連接到第二佈線 5712，在偶數級的正反器中連接到第三佈線 5713，並且圖 11 所示的第五佈線 5505 連接到第四佈線 5714。

但是，第一級正反器 5701₁ 的圖 11 所示的第一佈線 5501 連接到第一佈線 5711，第 n 級正反器 5701 _{n} 的圖 11 所示的第二佈線 5502 連接到第六佈線 5716。

另外，第一佈線 5711、第二佈線 5712、第三佈線 5713、第六佈線 5716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 5714、第五佈線 5715 也可以分別稱為第一電源線、第二電源線。

接著，圖 11 示出圖 10 所示的正反器的詳細結構。圖 11 所示的正反器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄



膜電晶體 5577 以及第八薄膜電晶體 5578。另外，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 是 n 通道型電晶體，並且它們當閘極・源極之間的電壓 (V_{gs}) 超過臨界值電壓 (V_{th}) 時成爲導通狀態。

● 接著，下面示出圖 10 所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源電極或汲電極中的一者）連接到第四佈線 5504，並且第一薄膜電晶體 5571 的第二電極（源電極或汲電極中的另一者）連接到第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接到第六佈線 5506，並且第二薄膜電晶體 5572 的第二電極連接到第三佈線 5503。

● 第三薄膜電晶體 5573 的第一電極連接到第五佈線 5505，第三薄膜電晶體 5573 的第二電極連接到第二薄膜電晶體 5572 的閘電極，並且第三薄膜電晶體 5573 的閘電極連接到第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接到第六佈線 5506，第四薄膜電晶體 5574 的第二電極連接到第二薄膜電晶體 5572 的閘電極，並且第四薄膜電晶體 5574 的閘電極連接到第一薄膜電晶體 5571 的閘電極。

第五薄膜電晶體 5575 的第一電極連接到第五佈線

5505，第五薄膜電晶體 5575 的第二電極連接到第一薄膜電晶體 5571 的閘電極，並且第五薄膜電晶體 5575 的閘電極連接到第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接到第六佈線 5506，第六薄膜電晶體 5576 的第二電極連接到第一薄膜電晶體 5571 的閘電極，並且第六薄膜電晶體 5576 的閘電極連接到第二薄膜電晶體 5572 的閘電極。

第七薄膜電晶體 5577 的第一電極連接到第六佈線 5506，第七薄膜電晶體 5577 的第二電極連接到第一薄膜電晶體 5571 的閘電極，並且第七薄膜電晶體 5577 的閘電極連接到第二佈線 5502。第八薄膜電晶體 5578 的第一電極連接到第六佈線 5506，第八薄膜電晶體 5578 的第二電極連接到第二薄膜電晶體 5572 的閘電極，並且第八薄膜電晶體 5578 的閘電極連接到第一佈線 5501。

注意，將第一薄膜電晶體 5571 的閘電極、第四薄膜電晶體 5574 的閘電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極的連接部作為節點 5543。再者，將第二薄膜電晶體 5572 的閘電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘電極以及第八薄膜電晶體 5578 的第二電極的連接部作為節點 5544。

另外，第一佈線 5501、第二佈線 5502、第三佈線 5503 以及第四佈線 5504 也可以分別稱為第一信號線、第

二信號線、第三信號線、第四信號線。再者，第五佈線 5505、第六佈線 5506 也可以分別稱為第一電源線、第二電源線。

此外，也可以僅使用實施例 1 或實施例 2 所示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電路。因為實施例 1 或實施例 2 所示的 n 通道型 TFT 的電晶體遷移率大，所以可以提高驅動電路的驅動頻率。另外，由於實施例 1 或實施例 2 所示的 n 通道型 TFT 利用具有 n 型的包含銻、鎘及鋅的氧化物半導體層的緩衝層來減少寄生電容，因此頻率特性（被稱為 f 特性）高。例如，由於可以將使用實施例 1 或實施例 2 所示的 n 通道型 TFT 的掃描線驅動電路進行高速工作，因此可以提高框頻率或實現黑屏插入等。

再者，藉由增大掃描線驅動電路的電晶體的通道寬度，或配置多個掃描線驅動電路等，可以實現更高的框頻率。在配置多個掃描線驅動電路的情況下，藉由在一側配置用來使偶數行的掃描線驅動的掃描線驅動電路，並將用來使奇數行的掃描線驅動的掃描線驅動電路配置在其相反一側，可以實現框頻率的提高。

此外，在製造本發明的一個實施例的半導體裝置的一例的主動矩陣型發光顯示裝置的情況下，在至少一個像素中配置多個薄膜電晶體，因此較佳配置多個掃描線驅動電路。圖 6B 示出主動矩陣型發光裝置的方塊圖的一例。

圖 6B 所示的發光顯示裝置在基板 5400 上包括：具有

多個具備顯示元件的像素的像素部 5401；選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404；以及控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 5403。

在輸入到圖 6B 所示的發光顯示裝置的像素的視頻信號為數位方式的情況下，藉由將電晶體切換為導通狀態或截止狀態，像素變成發光或非發光狀態。因此，可以採用面積灰度法或時間灰度法進行灰度級顯示。面積灰度法是一種驅動法，其中藉由將一個像素分割為多個子像素並使各子像素分別根據視頻信號驅動，來進行灰度級顯示。此外，時間灰度法是一種驅動法，其中藉由控制像素發光的期間，來進行灰度顯示。

發光元件的回應速度比液晶元件等快，所以與液晶元件相比適合時間灰度法。具體地，在採用時間灰度法進行顯示的情況下，將一個框期間分割為多個子框期間。然後，根據視頻信號，在各子框期間中使像素的發光元件處於發光或非發光狀態。藉由分割為多個子框期間，可以利用視頻信號控制像素在一個框期間中實際上發光的期間的總長度，並顯示灰度級。

另外，在圖 6B 所示的發光顯示裝置中示出一個例子，其中當在一個像素中配置兩個 TFT，即開關 TFT 和電流控制 TFT 時，使用第一掃描線驅動電路 5402 生成輸入到開關 TFT 的閘極佈線的第一掃描線的信號，使用第二掃描線驅動電路 5404 生成輸入到電流控制 TFT 的閘極佈線的

第二掃描線的信號。但是，也可以共同使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例如還可能根據開關元件所具有的各電晶體的數量，在各像素中設置多個用來控制開關元件的工作的第一掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個第一掃描線的所有信號，又可以使用多個掃描線驅動電路分別生成輸入到多個第一掃描線的信號。

此外，在發光顯示裝置中也可以將驅動電路中的能夠由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一個基板上。另外，也可以僅使用實施例 1 或實施例 2 所示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電路。

此外，上述驅動電路除了液晶顯示裝置或發光顯示裝置之外，還可以用於利用與開關元件電連接的元件來使電子墨水驅動的電子紙。電子紙也被稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙相同的易讀性、耗電量比其他的顯示裝置小、可形成為薄而輕的形狀。

作為電泳顯示器可考慮各種方式。電泳顯示器是如下裝置，即在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場使微囊中的粒子互相向反方向移動，以僅顯示集合在一側的粒子的顏色。注意，第一粒子或第二粒子包含染料，且在沒有電場時不移動。此外，第一粒子和第二粒

子的顏色不同（包含無色）。

像這樣，電泳顯示器是利用所謂的介電电泳效應的顯示器。在該介電电泳效應中，介電常數高的物質移動到高電場區。电泳顯示器不需要使用液晶顯示裝置所需的偏振片和對置基板，從而可以使其厚度和重量減少一半。

將在其中分散有上述微囊的溶劑稱作電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用彩色濾光片或具有色素的粒子來進行彩色顯示。

此外，在主動矩陣基板上適當地佈置多個上述微囊，使得微囊夾在兩個電極之間而完成主動矩陣型顯示裝置，並且藉由對微囊施加電場可以進行顯示。例如，可以使用根據實施例 1 或實施例 2 的薄膜電晶體而獲得的主動矩陣基板。

此外，作為微囊中的第一粒子及第二粒子，採用選自導電體材料、絕緣體材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、电泳材料中的一種或這些材料的組合材料即可。

藉由上述製程，可以製造作為半導體裝置的可靠性高的顯示裝置。

本實施例可以與實施例 1 或實施例 2 所記載的結構適當地組合而實施。

[實施例 4]

可以藉由製造本發明的一個實施例的薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路來製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，可以藉由將使用本發明的一個實施例的薄膜電晶體的驅動電路的一部分或整體一體形成在與像素部同一基板上來形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。在發光元件的範疇內包括由電流或電壓控制亮度的元件，具體而言，包括無機 EL（Electro Luminescence；電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等的對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。再者，本發明的一個實施例關於一種元件基板，該元件基板相當於製造該顯示裝置的過程中的顯示元件完成之前的一個方式，並且它在多個像素的每一個中分別具備用來將電流供給到顯示元件的單元。具體而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以採用所有方式。

注意，本發明說明中的顯示裝置是指圖像顯示器件、顯示器件、或光源（包括照明裝置）。另外，顯示裝置還

包括安裝有連接器諸如 FPC (Flexible Printed Circuit; 撓性印刷電路)、TAB (Tape Automated Bonding; 載帶自動鍵合) 帶或 TCP (Tape Carrier Package; 載帶封裝) 的模組; 將印刷線路板設置於 TAB 帶或 TCP 端部的模組; 藉由 COG (Chip On Glass; 玻璃上晶片) 方式將 IC (積體電路) 直接安裝到顯示元件上的模組。

在本實施例中, 示出液晶顯示裝置的例子作為本發明的一個實施例的半導體裝置。

圖 12A 和 12B 示出應用本發明的主動矩陣型液晶顯示裝置。圖 12A 是液晶顯示裝置的平面圖, 而圖 12B 是沿著圖 12A 中的線 V-X 的截面圖。用於半導體裝置的薄膜電晶體 201 可以與實施例 2 所示的薄膜電晶體同樣製造, 並且它是包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的可靠性高的薄膜電晶體。此外, 實施例 1 所示的薄膜電晶體也可以用作本實施例的薄膜電晶體 201。

圖 12A 所示的本實施例的液晶顯示裝置包括源極佈線層 202、多閘結構的薄膜電晶體 201、閘極佈線層 203、電容器佈線層 204。

另外, 在圖 12B 中, 本實施例的液晶顯示裝置包括其中間夾著液晶層 262 並對置的基板 200 和基板 266 以及液晶顯示元件 260, 該基板 200 設置有多閘結構的薄膜電晶體 201、絕緣層 211、絕緣層 212、絕緣層 213、用於顯示元件的電極層 255、用作取向膜的絕緣層 261、偏振片 268, 並且該基板 266 設置有用作取向膜的絕緣層 263、用於

顯示元件的電極層 265、用作彩色濾光片的著色層 264、偏振片 267。

此外，還可以採用不使用取向膜的呈現藍相（blue phase）的液晶。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相轉變成均質相之前呈現。由於藍相只在較窄的溫度範圍內呈現，因此使用為改善溫度範圍而混合 5 重量%以上的手性試劑的液晶組成物用於液晶層 262。因為包括呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即 $10\mu\text{s}$ 至 $100\mu\text{s}$ ，且該液晶組成物具有光學各向同性，所以不需要取向處理，且視角的依賴性也小。

注意，圖 12A 和 12B 是透過型液晶顯示裝置的例子，但是本發明的一個實施例可以應用於反射型液晶顯示裝置或半透型液晶顯示裝置。

此外，圖 12A 和 12B 的液晶顯示裝置示出在基板 266 的外側（可見一側）設置偏振片 267，而在基板 266 的內側按順序設置著色層 264、用於顯示元件的電極層 265 的例子，但是也可以在基板 266 的內側設置偏振片 267。另外，偏振片和著色層的疊層結構也不侷限於圖 12B，而根據偏振片及著色層的材料和製造製程條件適當地設定，即可。此外，還可以設置用作黑矩陣的遮光膜。

此外，在本實施例中，為了減少薄膜電晶體表面的凹凸及提高薄膜電晶體的可靠性，採用如下結構，即使用用作保護膜及平坦化絕緣膜的絕緣層（絕緣層 211、絕緣層

212、絕緣層 213) 覆蓋在實施例 2 中獲得的薄膜電晶體。另外，保護膜用來防止在大氣中懸浮的有機物、金屬物、水蒸氣等的污染雜質的侵入，所以較佳採用緻密的膜。藉由 CVD 法或濺射法等使用氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜的單層或疊層形成保護膜，即可。此外，作為保護膜，也可以藉由將有機矽烷氣體和氧用作製程氣體並採用電漿 CVD 法形成氧化矽膜。

有機矽烷是指正矽酸乙酯 (TEOS: 化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基矽烷 (TMS: 化學式 $\text{Si}(\text{CH}_3)_4$)、四甲基環四矽氧烷 (TMCTS)、八甲基環四矽氧烷 (OMCTS)、六甲基二矽氮烷 (HMDS)、三乙氧基矽烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)矽烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等的化合物。

作為保護膜的第一層，形成絕緣層 211。絕緣層 211 有效於防止鋁膜的小丘。在此，作為絕緣層 211，藉由電漿 CVD 法形成氧化矽膜。作為氧化矽膜的成膜用製程氣體，使用 TEOS 及 O_2 ，並且 TEOS 和 O_2 的流量為 $\text{TEOS} \setminus \text{O}_2 = 15 \setminus 750$ (sccm)。成膜製程的基板溫度是 300°C 。

此外，作為保護膜的第二層，形成絕緣層 212。在此，作為絕緣層 212，使用電漿 CVD 法形成氮化矽膜。作為氮化矽膜的成膜用製程氣體，使用 SiH_4 、 N_2 、 NH_3 及 H_2 。藉由將氮化矽膜用作保護膜的一層，可以抑制鈉等的可動離子侵入到半導體區中而改變 TFT 的電特性。

另外，也可以在形成保護膜之後進行 IGZO 半導體層

的退火（300℃至400℃）。

此外，作為平坦化絕緣膜，形成絕緣層 213。作為絕緣層 213，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等。除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。矽氧烷類樹脂除了氫以外，還可以具有氟、烷基、或芳基中的至少一種作為取代基。另外，也可以藉由層疊多個由這種材料形成的絕緣膜，形成絕緣層 213。

另外，矽氧烷類樹脂相當於包含以矽氧烷類材料為起始材料形成的 Si-O-Si 鍵的樹脂。矽氧烷類樹脂除了氫以外，還可以具有氟、烷基、或芳烴中的至少一種作為取代基。

當形成絕緣層 213 時，可以根據其材料採用 CVD 法、濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴出法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗機、簾塗機、刮刀塗布機等。在使用材料液形成絕緣層 213 的情況下，也可以在進行烘乾的製程中同時進行 IGZO 半導體層的退火（300℃至400℃）。藉由兼作絕緣層 213 的焙燒製程和 IGZO 半導體層的退火，可以高效地製造半導體裝置。

作為用作像素電極層的電極層 255、265，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮錫（下面表示為 ITO）、氧化銮鋅、添加有

氧化矽的氧化銮錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成電極層 255、265。使用導電組成物形成的像素電極的薄層電阻較佳為 $10000 \Omega / \square$ 以下，並且其波長為 550 nm 時的透光率較佳為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率較佳為 $0.1 \Omega \cdot \text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

藉由上述製程，可以製造作為半導體裝置的可靠性高的液晶顯示裝置。

本實施例可以與實施例 1 至 3 中任一個所記載的結構適當地組合而實施。

[實施例 5]

在本實施例中，作為本發明的一個實施例的半導體裝置示出電子紙的例子。

在圖 13 中，作為應用本發明的半導體裝置的例子示出主動矩陣型電子紙。可以與實施例 2 所示的薄膜電晶體同樣地製造用於半導體裝置的薄膜電晶體 581，並且該薄膜電晶體 581 是包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的可靠性高的薄膜電晶體。此外，也可以



應用實施例 1 所示的薄膜電晶體作為本實施例的薄膜電晶體 581。

圖 13 的電子紙是採用旋轉球顯示方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將一個半球表面為黑色而另一半球表面為白色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

薄膜電晶體 581 是多閘結構的反交錯型的一種（也稱為底接觸型）的薄膜電晶體，在形成在絕緣層 585 的開口中利用源電極層或汲電極層接觸於第一電極層 587 並與它電連接。在第一電極層 587 和第二電極層 588 之間設置有球形粒子 589，該球形粒子具有黑色區 590a 和白色區 590b，其周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍填充了樹脂等的填料 595（參照圖 13）。

此外，還可以使用電泳元件而代替旋轉球。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，在該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。對於設置在第一電極層和第二電極層之間的微囊，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒移動到相反方向，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，一般地被稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，耗電量小，並且在昏暗的地方也能夠辨別顯示部。

另外，即使不向顯示部供應電源，也能夠保持顯示過一次的圖像，因此，即使使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置）遠離電波發射源，也能夠儲存顯示過的圖像。

藉由上述製程，可以製造作為半導體裝置的可靠性高的電子紙。

本實施例可以與實施例 1 至 3 中任一個所記載的結構適當地組合而實施。

[實施例 6]

在本實施例中，示出發光顯示裝置的例子作為本發明的一個實施例的半導體裝置。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物而被區別，一般來說，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，以產生電流。然後，藉由使這些載子（電子和電洞）重新結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機理，該發光元件被稱為電流激發型發光元件。

根據其元件的結構，將無機 EL 元件分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包



括在黏合劑中分散有發光材料的粒子的發光層，且其發光機理是利用供體能級和受體能級的供體－受體重新結合型發光。薄膜型無機 EL 元件具有利用電介質層夾住發光層並還利用電極夾住該發光層的結構，且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。注意，在此使用有機 EL 元件作為發光元件而進行說明。

在圖 14A 和 14B 中示出主動矩陣型發光顯示裝置作為應用本發明的半導體裝置的例子。圖 14A 是發光顯示裝置的平面圖，而圖 14B 是沿著圖 14A 中的線 Y-Z 截斷的截面圖。注意，圖 15 示出圖 14A 和 14B 所示的發光顯示裝置的等效電路。

可以與實施例 1 及實施例 2 所示的薄膜電晶體同樣地製造用於半導體裝置的薄膜電晶體 301、302，並且該薄膜電晶體 301、302 是包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的可靠性高的薄膜電晶體。

圖 14A 及圖 15 所示的本實施例的發光顯示裝置包括多閘結構的薄膜電晶體 301、薄膜電晶體 302、發光元件 303、電容器元件 304、源極佈線層 305、閘極佈線層 306、電源線 307。薄膜電晶體 301、302 是 n 通道型薄膜電晶體。

此外，在圖 14B 中，本實施例的發光顯示裝置包括薄膜電晶體 302、絕緣層 311、絕緣層 312、絕緣層 313、分隔壁 321 以及用於發光元件 303 的第一電極層 320、電場發光層 322、第二電極層 323。

較佳使用丙烯酸樹脂、聚醯亞胺、聚醯胺等的有機樹脂、或矽氧烷形成絕緣層 313。

在本實施例中，因為像素的薄膜電晶體 302 是 n 型，所以較佳使用陰極作為像素電極層的第一電極層 320。具體而言，作為陰極，可以使用功函數小的材料例如 Ca、Al、CaF、MgAg、AlLi 等。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 321。特別較佳的是，使用感光材料，在第一電極層 320 上形成開口部，並將其開口部的側壁形成為具有連續的曲率的傾斜面。

電場發光層 322 既可以由單層構成，又可以由多個層的疊層構成。

覆蓋電場發光層 322 地形成使用陽極的第二電極層 323。可以利用在實施例 4 中作為像素電極層列舉的使用具有透光性的導電材料的透光導電膜形成第二電極層 323。除了上述透光導電膜之外，還可以使用氮化鈦膜或鈦膜。藉由重疊第一電極層 320、電場發光層 322 和第二電極層 323，形成有發光元件 303。然後，也可以在第二電極層 323 及分隔壁 321 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 303 中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

再者，在實際上，較佳在完成圖 14B 的狀態之後使用氣密性高且漏氣少的保護薄膜（貼合薄膜紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（密封），以防止暴露於大

氣。

接著，參照圖 16A 至 16C 說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。可以與實施例 1 所示的薄膜電晶體同樣製造用於圖 16A、16B 和 16C 的半導體裝置的驅動 TFT 的 TFT7001、7011、7021，並且這些 TFT 是包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的可靠性高的薄膜電晶體。此外，也可以應用實施例 2 所示的薄膜電晶體作為 TFT7001、7011、7021。

為了取出發光，發光元件的陽極或陰極中之至少一者是透明的，即可。而且，在基板上形成薄膜電晶體及發光元件，並且有如下結構的發光元件，即從與基板相反的面取出發光的頂部發射、從基板一側取出發光的底部發射、以及從基板一側及與基板相反的面取出發光的雙面發射。圖 16A 至 16C 所示的像素結構可以應用於任何發射結構的發光元件。

參照圖 16A 說明頂部發射結構的發光元件。

在圖 16A 中示出當驅動 TFT 的 TFT7001 是 n 型，且從發光元件 7002 發射的光穿過陽極 7005 一側時的像素的截面圖。在圖 16A 中，發光元件 7002 的陰極 7003 和驅動 TFT 的 TFT7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。至於陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，較佳採用 Ca、Al、CaF、MgAg、AlLi 等。而且，發光層 7004 可

以由單層或多層的疊層構成。在由多層構成時，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。注意，不需要設置所有這些層。使用透過光的具有透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電膜例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

利用陰極 7003 及陽極 7005 夾住發光層 7004 的區域相當於發光元件 7002。在圖 16A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 16B 說明底部發射結構的發光元件。示出在驅動 TFT7011 是 n 型，且從發光元件 7012 發射的光發射到陰極 7013 一側的情況下的像素的截面圖。在圖 16B 中，在與驅動 TFT7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極上地形成有用來反射光或進行遮光的遮罩膜 7016。與圖 16A 的情況同樣，至於陰極 7013，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度（較佳為 5nm 至 30nm 左右）。例如，可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 16A 同樣，發光層

7014 可以由單層或多層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 16A 同樣使用具有透光性的導電材料形成。並且，雖然作為遮罩膜 7016 例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

利用陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 16B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 16C 說明雙面發射結構的發光元件。在圖 16C 中，在與驅動 TFT7021 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 16A 的情況同樣，至於陰極 7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度。例如，可以將厚度為 20nm 的 Al 用作陰極 7023。而且，與圖 16A 同樣，發光層 7024 可以由單層或多層的疊層構成。陽極 7025 可以與圖 16A 同樣使用透過光的具有透光性的導電材料形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 16C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側兩者。

另外，雖然在此描述了有機 EL 元件作為發光元件，

但是也可以設置無機 EL 元件作為發光元件。

另外，在本實施例中示出了控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件電連接的例子，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

另外，本實施例所示的半導體裝置不侷限於圖 16A 至 16C 所示的結構而可以根據本發明的技術思想進行各種變形。

藉由上述製程，可以製造作為半導體裝置的可靠性高的發光顯示裝置。

本實施例可以與實施例 1 至 3 中任一個所記載的結構適當地組合而實施。

[實施例 7]

接著，下面示出本發明的半導體裝置的一個實施例的顯示面板的結構。在本實施例中，說明包括用作顯示元件的液晶元件的液晶顯示裝置的一個實施例的液晶顯示面板（也稱為液晶面板）、包括用作顯示元件的發光元件的半導體裝置的一個實施例的發光顯示面板（也稱為發光面板）。

接著，參照圖 17A 和 17B 說明相當於本發明的半導體裝置的一個實施例的發光顯示面板的外觀及截面。圖 17A 是一種面板的俯視圖，其中利用密封材料將形成在第一基板上的包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半



導體層的可靠性高的薄膜電晶體及發光元件密封在與第二基板之間。圖 17B 相當於沿著圖 17A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b 以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 17B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

薄膜電晶體 4509、4510 相當於包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的薄膜電晶體，並可以應用實施例 1 或實施例 2 所示的薄膜電晶體。在本實施例中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源電極層或汲電極層電連接。另外，發光元件 4511 的結構不侷限於本實施例所示的結構。可以根據從發光元件 4511 取出的光的方向等適當地改變發光元件

4511 的結構。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例中，連接端子 4515 由與第二電極層 4512 相同的導電膜形成，而佈線 4516 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成。

連接端子 4515 藉由各向異性導電膜 4519 與 FPC4518a 所具有的端子電連接。

位於來自發光元件 4511 的光的取出方向上的第二基板 4506 基板需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

此外，作為填料 4507，除了氮或氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙酯）。在本實施例中，作為填料使用氮。

另外，若有需要，也可以在發光元件的發射面上適當地設置諸如偏振片、圓偏振片（包括橢圓偏振片）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、彩色濾光片等的光學薄膜。另外，也可以在偏振片或圓偏振片上設置抗反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的處理。



也可以在另外準備的基板上作為由單晶半導體膜或多晶半導體膜形成的驅動電路，安裝信號線驅動電路 4503a、4503b、及掃描線驅動電路 4504a、4504b。此外，也可以另外僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。本實施例不侷限於圖 17A 和 17B 的結構。

接著，參照圖 18A1、18A2 和 18B 說明相當於本發明的半導體裝置的一個實施例的液晶顯示面板的外觀及截面。圖 18A1 和 18A2 是一種面板的俯視圖，其中利用密封材料 4005 將形成在第一基板 4001 上的包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的可靠性高的薄膜電晶體 4010、4011 及液晶元件 4013 密封在與第二基板 4006 之間。圖 18B 相當於沿著圖 18A1 和 18A2 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另外準備的基板上。

另外，對於另外形成的驅動電路的連接方法沒有特別

的限制，而可以採用 COG 方法、引線鍵合方法或 TAB 方法等。圖 18A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 18A2 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 18B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。

薄膜電晶體 4010、4011 相當於包括 IGZO 半導體層及具有 n 型導電性的 IGZO 半導體層的薄膜電晶體，並可以應用實施例 1 或實施例 2 所示的薄膜電晶體。在本實施例中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有用作取向膜的絕緣層 4032、4033，且隔著絕緣層 4032、4033 夾有液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型的是不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，還可以採用具有使用 PVF 薄膜或聚酯

薄膜夾住鋁箔的結構的薄片。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離（單元間隙）而設置的。注意，還可以使用球狀間隔物。

另外，供給到另外形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

在本實施例中，連接端子 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且佈線 4016 由與薄膜電晶體 4010、4011 的閘電極層相同的導電膜形成。

連接端子 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 18A1 至 18B 中示出另外形成信號線驅動電路 4003 並將它安裝在第一基板 4001 的例子，但是本實施例不侷限於該結構。既可以另外形成掃描線驅動電路而安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 19 示出使用應用本發明製造的 TFT 基板 2600 來構成用作半導體裝置的液晶顯示模組的一例。

圖 19 是液晶顯示模組的一例，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著

色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素設置有分別對應於紅色、綠色、藍色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏振片 2606、偏振片 2607、漫射片 2613。光源由冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，且其中組裝有控制電路及電源電路等的外部電路。此外，還可以在偏振片和液晶層之間具有相位差板的狀態下層疊。

作為液晶顯示模組，可以採用 TN（扭曲向列；Twisted Nematic）模式、IPS（平面內轉換；In-Plane-Switching）模式、FFS（邊緣電場轉換；Fringe Field Switching）模式、MVA（多疇垂直取向；Multi-domain Vertical Alignment）模式、PVA（垂直取向構型；Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞；Axially Symmetric aligned Micro-cell）模式、OCB（光學補償彎曲；Optical Compensated Birefringence）模式、FLC（鐵電性液晶；Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶；Anti Ferroelectric Liquid Crystal）模式等。

藉由上述製程，可以製造作為半導體裝置的可靠性高的顯示面板。

本實施例可以與實施例 1 至 6 中任一個所記載的結構適當地組合而實施。

[實施例 8]

可以應用本發明的半導體裝置的一個實施例作為電子紙。電子紙可以用於用來顯示資訊的所有領域的電子設備。例如，可以將電子紙應用於電子書籍（電子書）、招貼、電車等的交通工具的車廂廣告、信用卡等的各種卡片的顯示等。圖 20A 和 20B 以及圖 21 示出電子設備的一例。

圖 20A 示出使用電子紙製造的招貼 2631。在廣告媒體是紙的印刷物的情況下用手進行廣告的交換，但是如果使用應用本發明的電子紙，則可以在短時間內改變廣告的顯示內容。此外，顯示不會打亂而可以獲得穩定的圖像。另外，招貼也可以採用能夠以無線的方式收發資訊的結構。

此外，圖 20B 示出電車等的交通工具的車廂廣告 2632。在廣告媒體是紙的印刷物的情況下用手進行廣告的交換，但是如果使用應用本發明的電子紙，則可以在短時間內不需要許多人手地改變廣告的顯示內容。此外，顯示不會打亂而可以獲得穩定的圖像。另外，車廂廣告也可以採用能夠以無線的方式收發資訊的結構。

另外，圖 21 示出電子書籍 2700 的一例。例如，電子書籍 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉動作。藉由採用這種結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，而框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部（圖 21 中的顯示部 2705）上可以顯示文章，而在左邊的顯示部（圖 21 中的顯示部 2707）上可以顯示圖像。

此外，在圖 21 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中，具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一個的面上具備鍵盤及指向裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書籍 2700 也可以具有電子詞典的功能。

此外，電子書籍 2700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

本實施例可以與實施例 1 至 3 中任一個或實施例 5 所記載的結構適當地組合而實施。

[實施例 9]

根據本發明的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可舉出電視裝置（

也稱為電視或電視接收機)、用於電腦等的監視器、數位相機、數位攝影機、數位相框、移動電話機(也稱為移動電話、移動電話裝置)、可攜式遊戲機、可攜式資訊終端、音頻再現裝置、彈珠機等的大型遊戲機等。

圖 22A 示出電視裝置 9600 的一例。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

藉由利用框體 9601 所具備的操作開關、另外提供的遙控操作機 9610 可以進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的映射進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向(從發送者到接收者)或雙向(在發送者和接收者之間或在接收者之間等)的資訊通信。

圖 22B 示出數位相框 9700 的一例。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接用端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這些結構也可以組裝到與顯示部同一個面，但是藉由將它們設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 23A 是可攜式遊戲機。它由框體 9881 和框體 9891 的兩個框體構成，並且使用聯結部 9893 能夠開閉地聯結。在框體 9881 中組裝有顯示部 9882，而在框體 9891 中組裝有顯示部 9883。此外，圖 23A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測量如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉動數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、斜率、振動、氣味或紅外線）、麥克風 9889）等。當然，可攜式遊戲機的結構不侷限於上述結構而採用至少具備根據本發明的半導體裝置的結構即可，且可以採用適當地設置有其他輔助設備的結構。圖 23A

所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示於顯示部；藉由與其他可攜式遊戲機進行無線通信實現資訊共用。注意，圖 23A 所示的可攜式遊戲機所具有的功能不侷限於此而可以具有各種功能。

圖 23B 示出大型遊戲機的自動賭博機 9900 的一例。在自動賭博機 9900 的框體 9901 中組裝有顯示部 9903。此外，自動賭博機 9900 還具備起動杆及停止開關等的操作單元、投幣口、揚聲器等。當然，自動賭博機 9900 的結構不侷限於上述結構而採用至少具備根據本發明的半導體裝置的結構即可，且可以採用適當地設置有其他輔助設備的結構。

圖 24 示出移動電話機 1000 的一例。移動電話機 1000 除了安裝在框體 1001 中的顯示部 1002 之外還具備操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

圖 24 所示的移動電話機 1000 可以用手指等觸摸顯示部 1002 來輸入資訊。此外，可以用手指等觸摸顯示部 1002 來進行打電話或輸入電子郵件等的操作。

顯示部 1002 的畫面主要有三種模式。第一是以圖像的顯示為主的顯示模式，第二是以文字等的資訊的輸入為主的輸入模式，第三是混合顯示模式和輸入模式的兩個模式的顯示+輸入模式。

例如，在打電話或製作電子郵件的情況下，將顯示部

1002 設定為以文字輸入為主的文字輸入模式，並進行在畫面上顯示的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 1002 的畫面的大多部分上顯示鍵盤或號碼按鈕。

藉由在移動電話機 1000 的內部設置具有陀螺儀、加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷移動電話機 1000 的方向（豎向還是橫向），而可以對顯示部 1002 的畫面顯示進行自動切換。

藉由觸摸顯示部 1002 或對框體 1001 的操作按鈕 1003 進行操作，切換畫面模式。還可以根據顯示在顯示部 1002 上的圖像種類切換畫面模式。例如，當顯示在顯示部上的視頻信號為動態圖像的資料時，將畫面模式切換成顯示模式，而當顯示在顯示部上的視頻信號為文字資料時，將畫面模式切換成輸入模式。

當在輸入模式中藉由檢測出顯示部 1002 的光感測器所檢測的信號得知在一定期間中沒有利用顯示部 1002 的觸摸操作的輸入時，也可以以將畫面模式從輸入模式切換成顯示模式的方式來進行控制。

還可以將顯示部 1002 用作圖像感測器。例如，藉由用手掌或手指觸摸顯示部 1002，來拍攝掌紋、指紋等，而可以進行個人識別。此外，藉由在顯示部中使用發射近紅外光的背光燈或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

本發明說明根據 2008 年 8 月 8 日在日本專利局申請

的日本專利申請編號 2008-206125 而製作，所述申請內容包括在本發明說明中。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明本發明的一個實施例的半導體裝置的圖；

圖 2 是說明本發明的一個實施例的半導體裝置的圖；

圖 3A 至 3E 是說明本發明的一個實施例的半導體裝置的製造方法的圖；

圖 4A 和 4B 是說明本發明的一個實施例的半導體裝置的圖；

圖 5A 和 5B 是說明本發明的一個實施例的半導體裝置的圖；

圖 6A 和 6B 是說明半導體裝置的方塊圖；

圖 7 是說明信號線驅動電路的結構的圖；

圖 8 是說明信號線驅動電路的工作的時序圖；

圖 9 是說明信號線驅動電路的工作的時序圖；

圖 10 是說明移位暫存器的結構的圖；

圖 11 是說明圖 10 所示的正反器的連接結構的圖；

圖 12A 和 12B 是說明本發明的一個實施例的半導體裝置的圖；

圖 13 是說明本發明的一個實施例的半導體裝置的圖

；

圖 14A 和 14B 是說明本發明的一個實施例的半導體裝置的圖；

圖 15 是說明本發明的一個實施例的半導體裝置的圖；

圖 16A 至 16C 是說明本發明的一個實施例的半導體裝置的圖；

圖 17A 和 17B 是說明本發明的一個實施例的半導體裝置的圖；

圖 18A 至 18B 是說明本發明的一個實施例的半導體裝置的圖；

圖 19 是說明本發明的一個實施例的半導體裝置的圖；

圖 20A 和 20B 是說明電子紙的應用的圖；

圖 21 是示出電子書籍的一例的外觀圖；

圖 22A 和 22B 是示出電視裝置及數位相框的例子的外觀圖；

圖 23A 和 23B 是示出遊戲機的例子的外觀圖；

圖 24 是示出移動電話機的外觀圖；

圖 25 是說明電洞遷移率和載子濃度的關係的圖。

【主要元件符號說明】

100：基板

101：閘電極層

102：閘極絕緣層



- 103 : 半導體層
- 104a : 緩衝層
- 104b : 緩衝層
- 105a : 源電極層及汲電極層
- 105b : 源電極層及汲電極層
- 111 : 半導體膜
- 113 : 掩模
- 115a : n 型半導體層
- 115b : n 型半導體層
- 116 : 掩模
- 117 : 導電膜
- 118 : 掩模
- 150 : 基板
- 151a : 閘電極層
- 151b : 閘電極層
- 152 : 閘極絕緣層
- 153a : 通道形成區
- 153b : 通道形成區
- 153c : 半導體層
- 153d : 半導體層
- 154a : 緩衝層
- 154b : 緩衝層
- 154c : 緩衝層
- 154d : 緩衝層

- 155a：源電極層及汲電極層
- 155b：源電極層及汲電極層
- 156：佈線層
- 171a：薄膜電晶體
- 171b：薄膜電晶體
- 172a：薄膜電晶體
- 172b：薄膜電晶體
- 200：基板
- 201：薄膜電晶體
- 202：源極佈線層
- 203：閘極佈線層
- 204：電容器佈線層
- 211：絕緣層
- 212：絕緣層
- 213：絕緣層
- 255：電極層
- 260：液晶顯示元件
- 261：絕緣層
- 262：液晶層
- 263：絕緣層
- 264：著色層
- 265：電極層
- 266：基板
- 267：偏振片

- 268 : 偏振片
- 301 : 薄膜電晶體
- 302 : 薄膜電晶體
- 303 : 發光元件
- 304 : 電容器元件
- 305 : 源極佈線層
- 306 : 閘極佈線層
- 307 : 電源線
- 311 : 絕緣層
- 312 : 絕緣層
- 313 : 絕緣層
- 320 : 電極層
- 321 : 分隔壁
- 322 : 電場發光層
- 323 : 電極層
- 581 : 薄膜電晶體
- 585 : 絕緣層
- 587 : 電極層
- 588 : 電極層
- 589 : 球形粒子
- 590a : 黑色區
- 590b : 白色區
- 594 : 空洞
- 595 : 填料

- 1000：移動電話機
- 1001：框體
- 1002：顯示部
- 1003：操作按鈕
- 1004：外部連接埠
- 1005：揚聲器
- 1006：麥克風
- 2600：TFT 基板
- 2601：對置基板
- 2602：密封材料
- 2603：像素部
- 2604：顯示元件
- 2605：著色層
- 2606：偏振片
- 2607：偏振片
- 2608：佈線電路部
- 2609：撓性線路板
- 2610：冷陰極管
- 2611：反射板
- 2612：電路基板
- 2613：漫射片
- 2631：招貼
- 2632：車廂廣告
- 2700：電子書籍

- 2701 : 框體
- 2703 : 框體
- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源
- 2723 : 操作鍵
- 2725 : 揚聲器
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層
- 4010 : 薄膜電晶體
- 4011 : 薄膜電晶體
- 4013 : 液晶元件
- 4015 : 連接端子
- 4016 : 佈線
- 4018 : FPC
- 4019 : 各向異性導電膜
- 4030 : 像素電極層
- 4031 : 對置電極層

- 4032 : 絕緣層
- 4033 : 絕緣層
- 4035 : 柱狀間隔物
- 4501 : 基板
- 4502 : 像素部
- 4503a : 信號線驅動電路
- 4503b : 信號線驅動電路
- 4504a : 掃描線驅動電路
- 4504b : 掃描線驅動電路
- 4505 : 密封材料
- 4506 : 基板
- 4507 : 填料
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 電極層
- 4515 : 連接端子
- 4516 : 佈線
- 4517 : 電極層
- 4518a : FPC
- 4518b : FPC
- 4519 : 各向異性導電膜
- 5300 : 基板
- 5301 : 像素部



5302 : 掃描線驅動電路

5303 : 信號線驅動電路

5400 : 基板

5401 : 像素部

5402 : 掃描線驅動電路

4503 : 信號線驅動電路

5404 : 掃描線驅動電路

5501 : 佈線

5502 : 佈線

5503 : 佈線

5504 : 佈線

5505 : 佈線

5506 : 佈線

5543 : 節點

5544 : 節點

5571 : 薄膜電晶體

5572 : 薄膜電晶體

5573 : 薄膜電晶體

5574 : 薄膜電晶體

5575 : 薄膜電晶體

5576 : 薄膜電晶體

5577 : 薄膜電晶體

5578 : 薄膜電晶體

5601 : 驅動器 IC

5602 : 開關群

5603a : 薄膜電晶體

5603b : 薄膜電晶體

5603c : 薄膜電晶體

5611 : 佈線

5612 : 佈線

5613 : 佈線

5621 : 佈線

5701 : 正反器

5703a : 時序

5703b : 時序

5703c : 時序

5711 : 佈線

5712 : 佈線

5713 : 佈線

5714 : 佈線

5715 : 佈線

5716 : 佈線

5717 : 佈線

5721 : 信號

5803a : 時序

5803b : 時序

5803c : 時序

5821 : 信號



- 7001 : 驅動 TFT
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7011 : 驅動 TFT
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7016 : 遮罩膜
- 7017 : 導電膜
- 7021 : 驅動 TFT
- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7027 : 導電膜
- 9600 : 電視裝置
- 9601 : 框體
- 9603 : 顯示部
- 9605 : 支架
- 9607 : 顯示部
- 9609 : 操作鍵

- 9610 : 遙控操作機
- 9700 : 數位相框
- 9701 : 框體
- 9703 : 顯示部
- 9881 : 框體
- 9882 : 顯示部
- 9883 : 顯示部
- 9884 : 揚聲器部
- 9885 : 操作鍵
- 9886 : 記錄媒體插入部
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 麥克風
- 9890 : LED 燈
- 9891 : 框體
- 9893 : 聯結部
- 9900 : 自動賭博機
- 9901 : 框體
- 9903 : 顯示部



七、申請專利範圍：

1. 一種半導體裝置，包括薄膜電晶體，該薄膜電晶體包括：

閘電極層；

該閘電極層上的閘極絕緣層，該閘極絕緣層包括第一區、第二區及第三區；

該閘極絕緣層上的源電極層及汲電極層；

該源電極層上的具有 n 型導電性的第一導電層，該第一導電層包括第四區；

該汲電極層上的具有 n 型導電性的第二導電層，該第二導電層包括第五區；以及

該第一導電層及該第二導電層上的氧化物半導體層，

其中，與該閘電極層重疊的該氧化物半導體層的一部分在該第三區上並與該第三區接觸，且與該閘電極層重疊的該氧化物半導體層設置在該源電極層和該汲電極層之間；

該第一導電層及該第二導電層的載子濃度高於該氧化物半導體層的載子濃度；

該氧化物半導體層和該源電極層隔著該第一導電層彼此電連接；

該氧化物半導體層和該汲電極層隔著該第二導電層彼此電連接；

該第一區與該第四區接觸；並且

該第一區與該第五區接觸。

2. 根據申請專利範圍第 1 項的半導體裝置，其中該第一導電層及該第二導電層包括賦予 n 型導電性的雜質元素。

3. 根據申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層具有低於 $1 \times 10^{17} \text{ atoms/cm}^3$ 的載子濃度，且該第一導電層及該第二導電層具有 $1 \times 10^{18} \text{ atoms/cm}^3$ 或更高的載子濃度。

4. 根據申請專利範圍第 1 項的半導體裝置，還包括：
該氧化物半導體層和該第一導電層之間的第三導電層；以及

該氧化物半導體層和該第二導電層之間的第四導電層，

其中，該第三導電層具有高於該氧化物半導體層之載子濃度並低於該第一導電層之載子濃度的載子濃度；並且

該第四導電層具有高於該氧化物半導體層之載子濃度並低於該第二導電層之載子濃度的載子濃度。

5. 根據申請專利範圍第 1 項的半導體裝置，其中該源電極層及該汲電極層包含鈦。

6. 根據申請專利範圍第 1 項的半導體裝置，其中與該汲電極層的側面相對的該源電極層的側面被該第一導電層覆蓋，其中與該源電極層的側面相對的該汲電極層的側面被該第二導電層覆蓋。

7. 根據申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層包含銮、鎵及鋅。

8. 根據申請專利範圍第 1 項的半導體裝置，其中該第一導電層及該第二導電層包含銻、鎵及鋅。

9. 根據申請專利範圍第 1 項的半導體裝置，其中該第一導電層及該第二導電層包含鎂、鋁或鈦。

10. 根據申請專利範圍第 1 項的半導體裝置，其中，該第一導電層是第一緩衝層；以及該第二導電層是第二緩衝層。

11. 一種顯示模組，包括根據申請專利範圍第 1 項的半導體裝置。

12. 一種電子裝置，包括根據申請專利範圍第 1 項的半導體裝置。

13. 一種半導體裝置，包括薄膜電晶體，該薄膜電晶體包括：

閘電極層；

該閘電極層上的閘極絕緣層，該閘極絕緣層包括第一區及第二區；

該閘極絕緣層上的源電極層，該源電極層包括第一上表面及第一側表面，該第一上表面包括第三區，該第一側表面包括第四區；

該閘極絕緣層上的汲電極層，該汲電極層包括第二上表面及第二側表面，該第二上表面包括第五區，該第二側表面包括第六區；

具有 n 型導電性的第一導電層，該第一導電層包括第七區、第八區及第九區；

具有 n 型導電性的第二導電層，該第二導電層包括第十區、第十一區及第十二區；以及

該第一導電層及該第二導電層上的氧化物半導體層，

其中，該第一區及該第二區分別位於該源電極層和該汲電極層之間；

該第一區與該第九區接觸；

該第二區與該第十二區接觸；

該第三區與該第七區接觸；

該第四區與該第八區接觸；

該第五區與該第十區接觸；並且

該第六區與該第十一區接觸。

14. 根據申請專利範圍第 13 項的半導體裝置，其中與該閘電極層重疊的該氧化物半導體層的一部分在該閘電極層上並與該閘電極層接觸，且與該閘電極層重疊的該氧化物半導體層設置在該源電極層和該汲電極層之間。

15. 根據申請專利範圍第 13 項的半導體裝置，其中該第一導電層及該第二導電層的載子濃度高於該氧化物半導體層的載子濃度。

16. 根據申請專利範圍第 13 項的半導體裝置，其中，該氧化物半導體層和該源電極層隔著該第一導電層彼此電連接；並且，該氧化物半導體層和該汲電極層隔著該第二導電層彼此電連接。

17. 根據申請專利範圍第 13 項的半導體裝置，其中該氧化物半導體層包含銦、鎵及鋅。

18. 根據申請專利範圍第 13 項的半導體裝置，其中該第一導電層及該第二導電層包含銻、鎵及鋅。

19. 根據申請專利範圍第 13 項的半導體裝置，其中該第一導電層及該第二導電層包含鎂、鋁或鈦。

20. 根據申請專利範圍第 13 項的半導體裝置，其中，該第一導電層是第一緩衝層；以及該第二導電層是第二緩衝層。

21. 根據申請專利範圍第 13 項的半導體裝置，其中，該第三區是該第一上表面的整個表面；並且，該第五區是該第二上表面的整個表面。

22. 根據申請專利範圍第 13 項的半導體裝置，其中，該第四區是該第一側表面的整個表面；並且，該第六區是該第二側表面的整個表面。

23. 一種顯示模組，包括根據申請專利範圍第 13 項的半導體裝置。

24. 一種電子裝置，包括根據申請專利範圍第 13 項的半導體裝置。

八、圖式

圖 1A

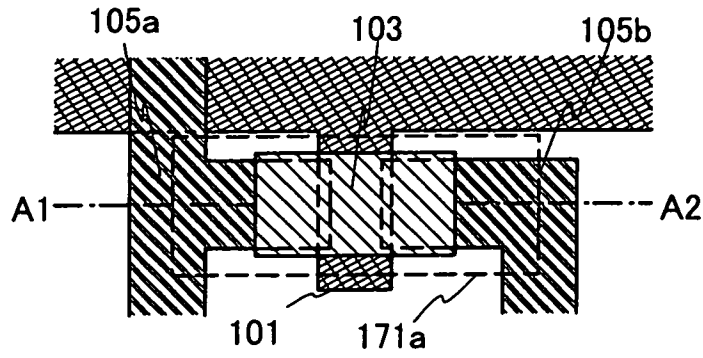


圖 1B

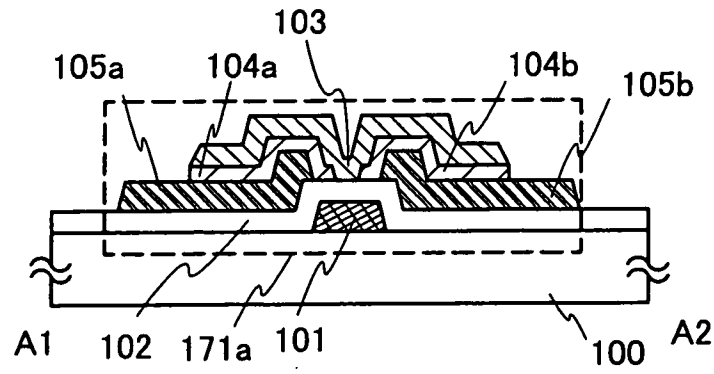


圖2

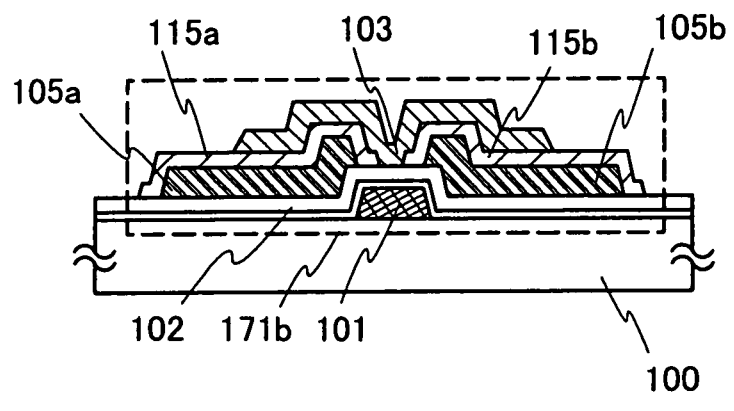


圖 3A

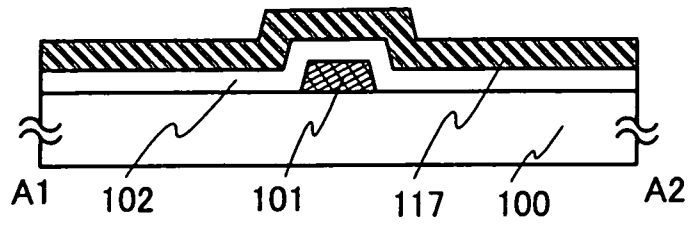


圖 3B

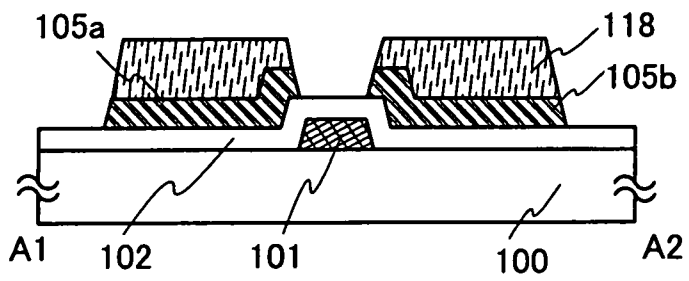


圖 3C

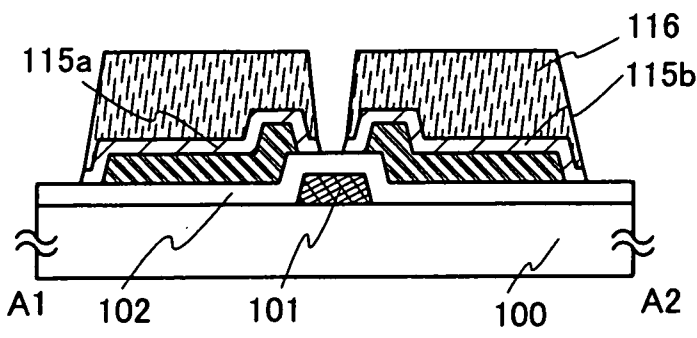


圖 3D

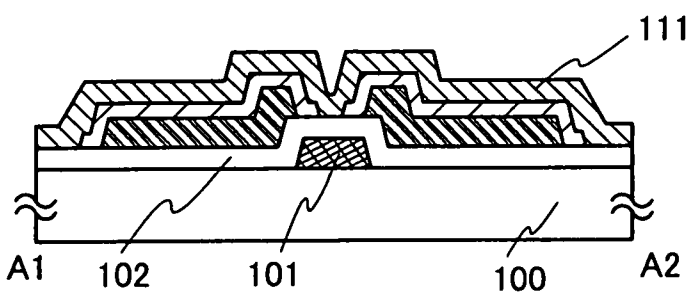


圖 3E

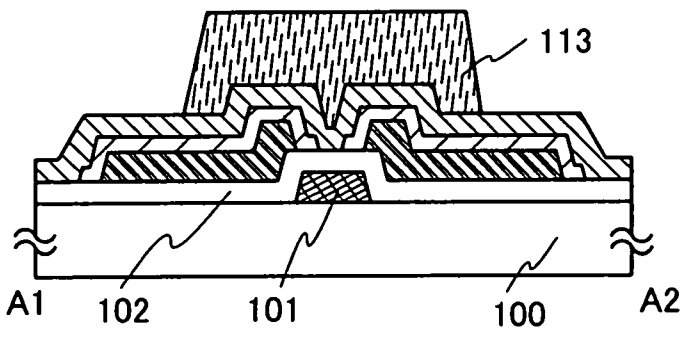


圖 4A

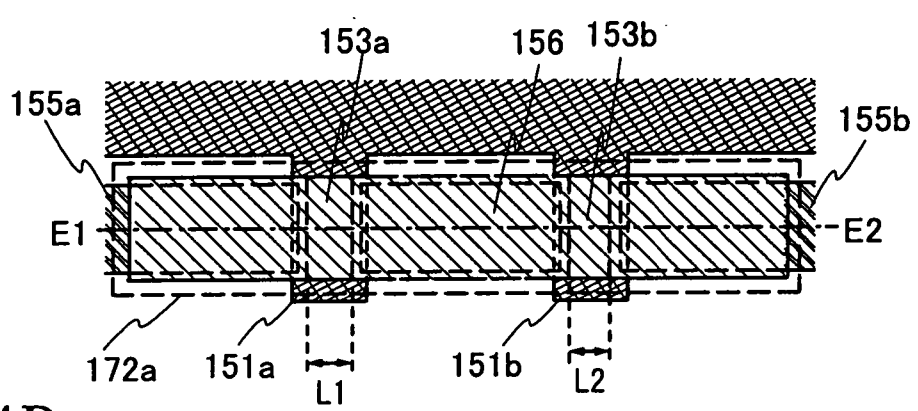


圖 4B

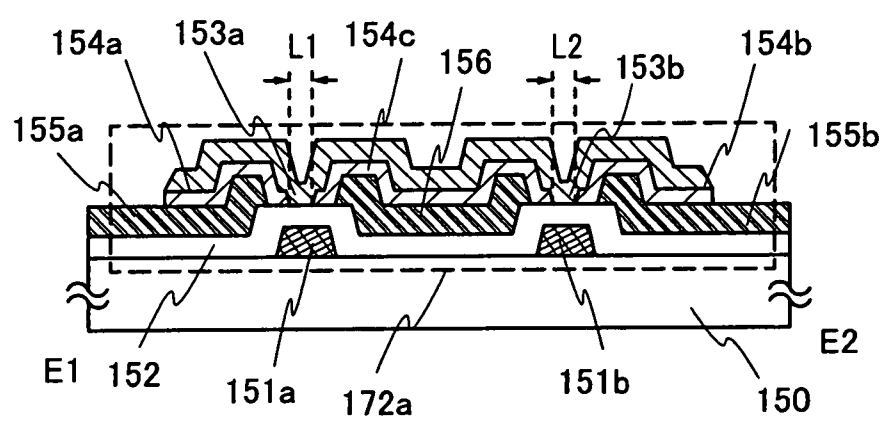


圖 5A

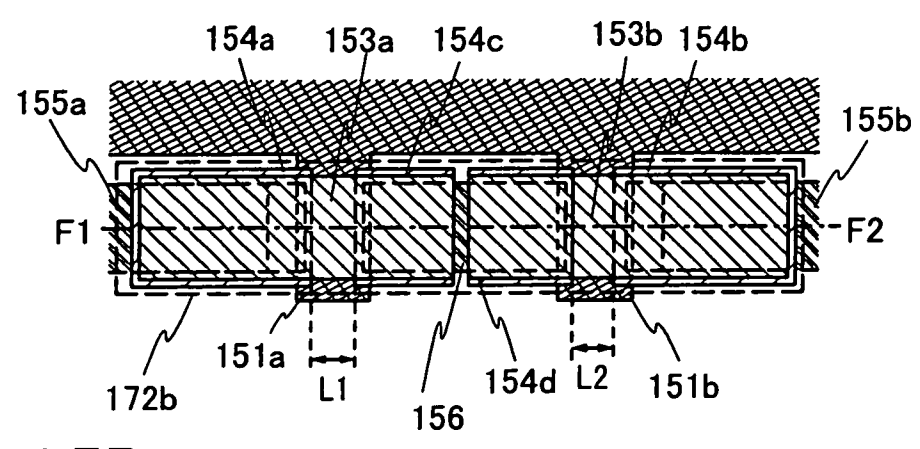


圖 5B

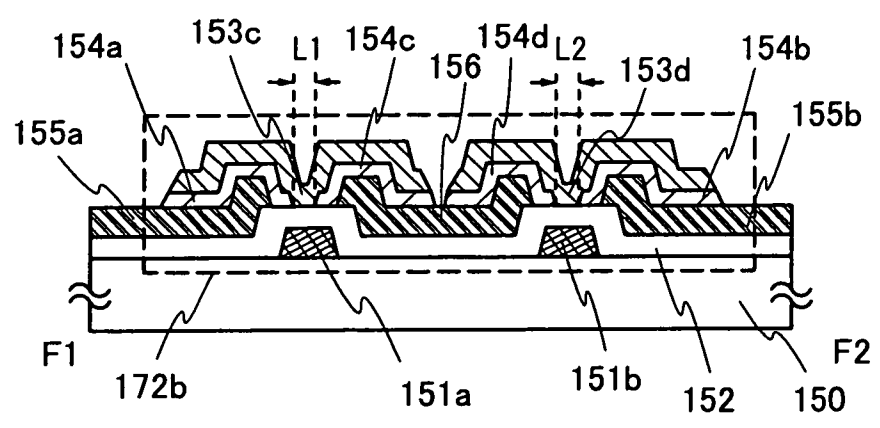


圖 6A

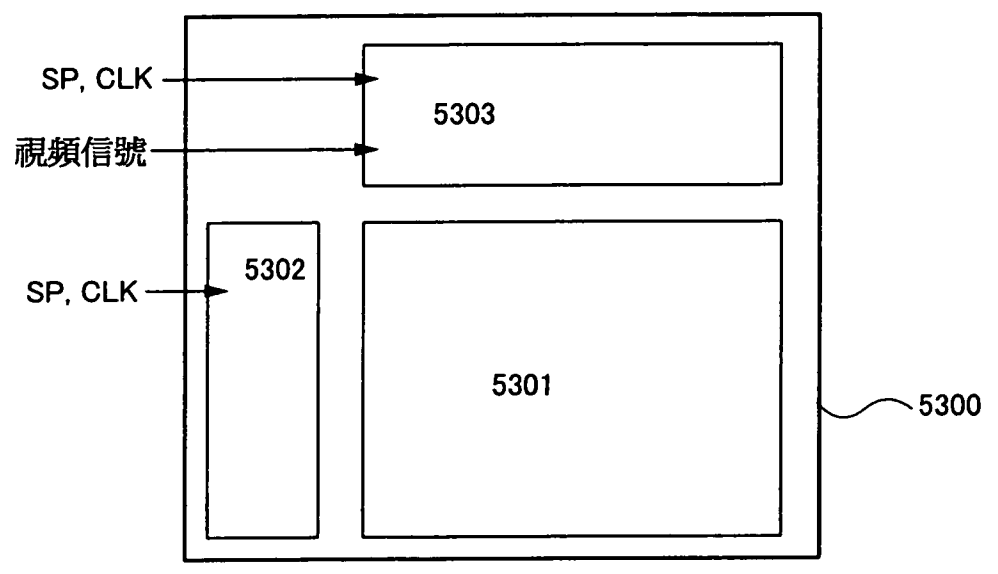


圖 6B

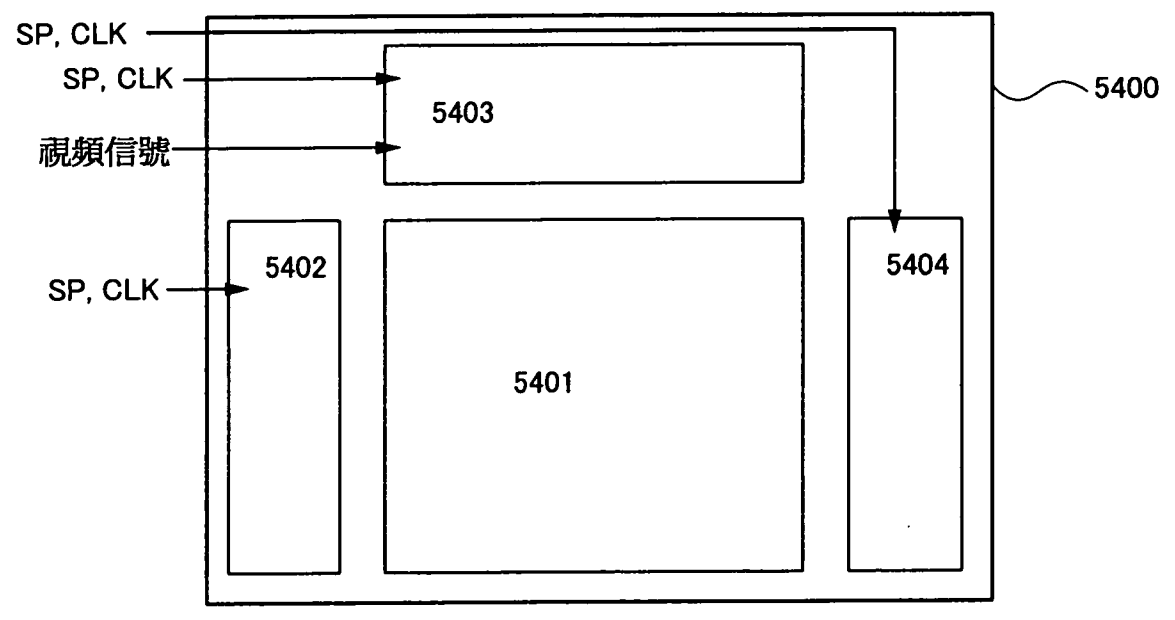


圖7

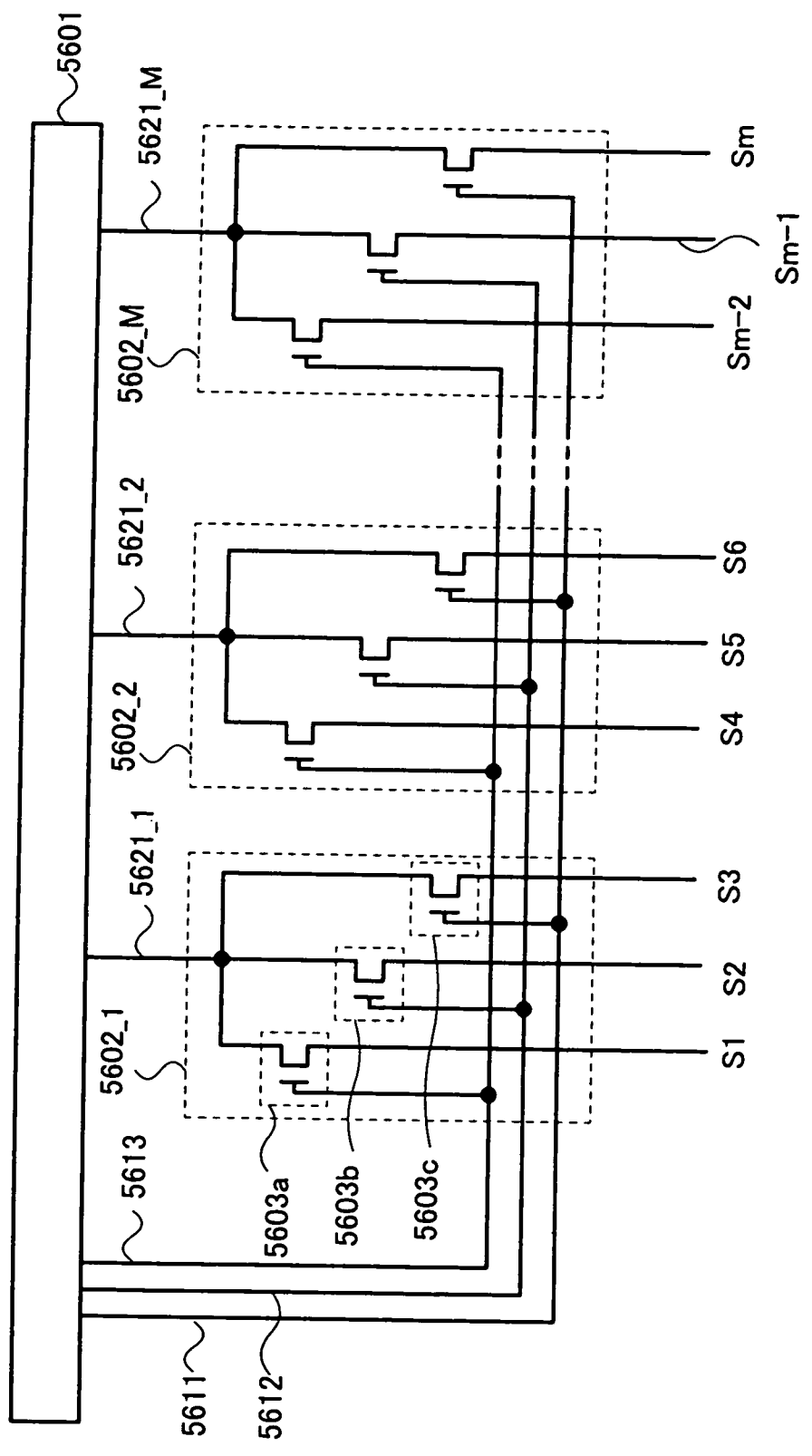


圖8

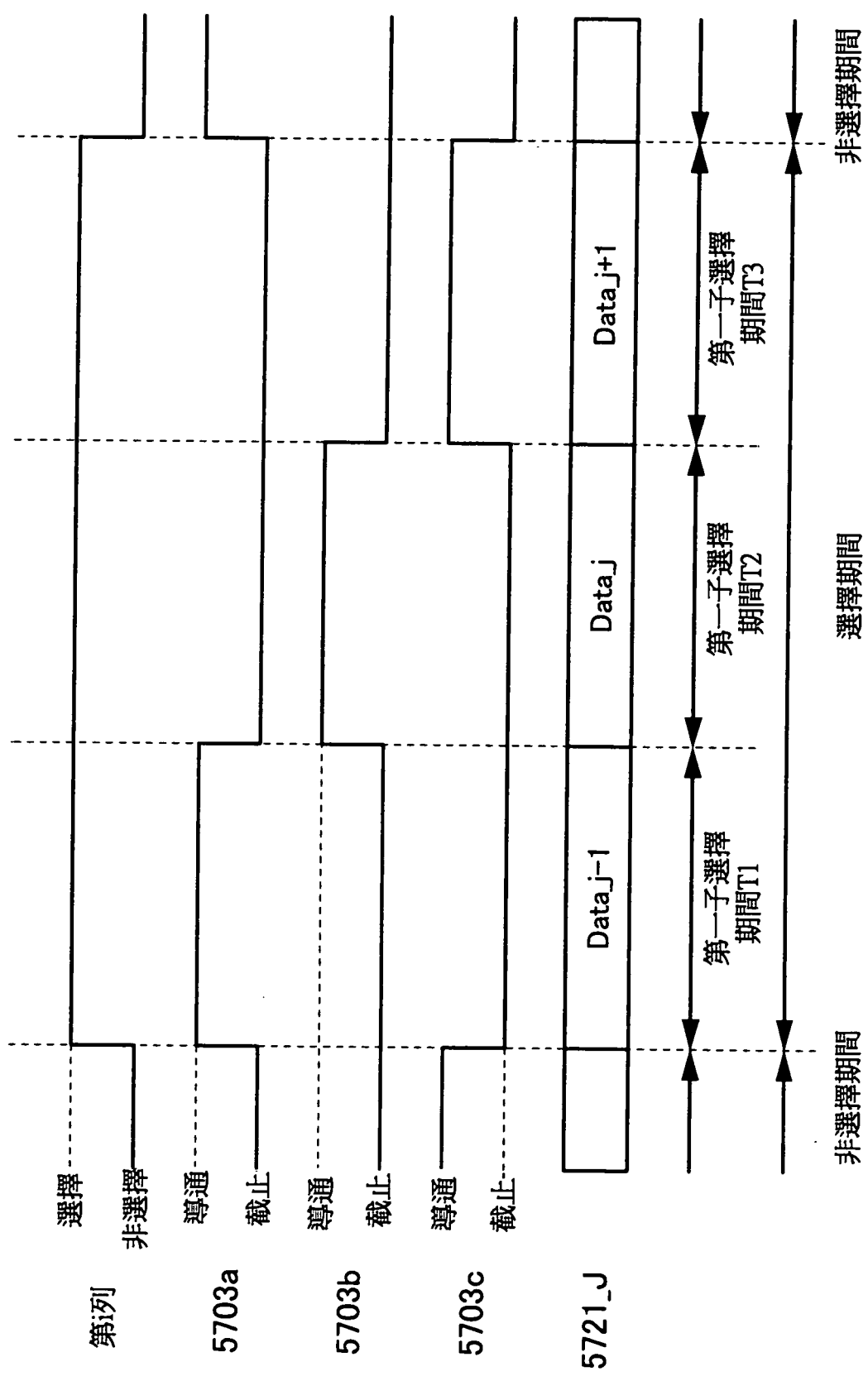


圖9

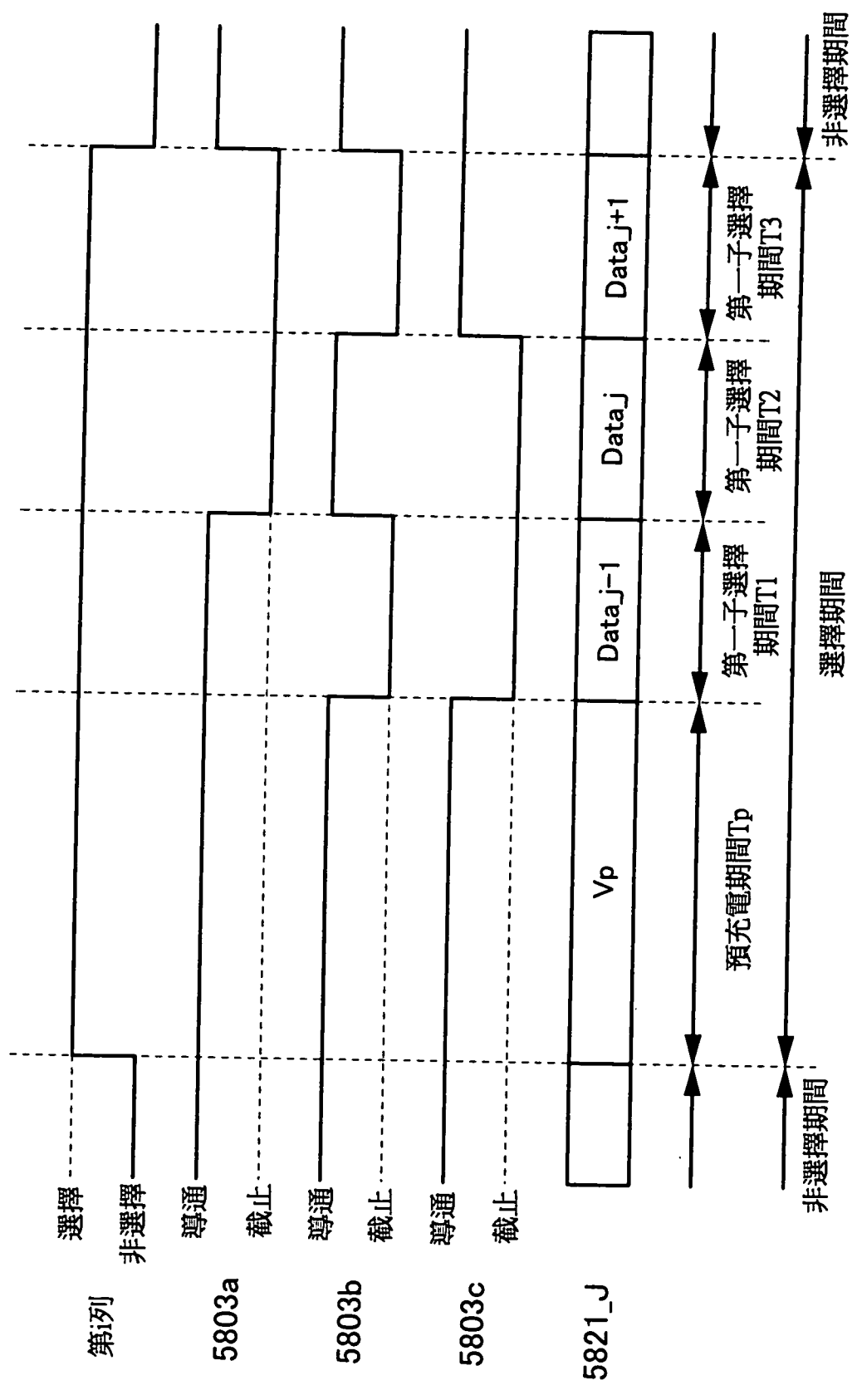


圖10

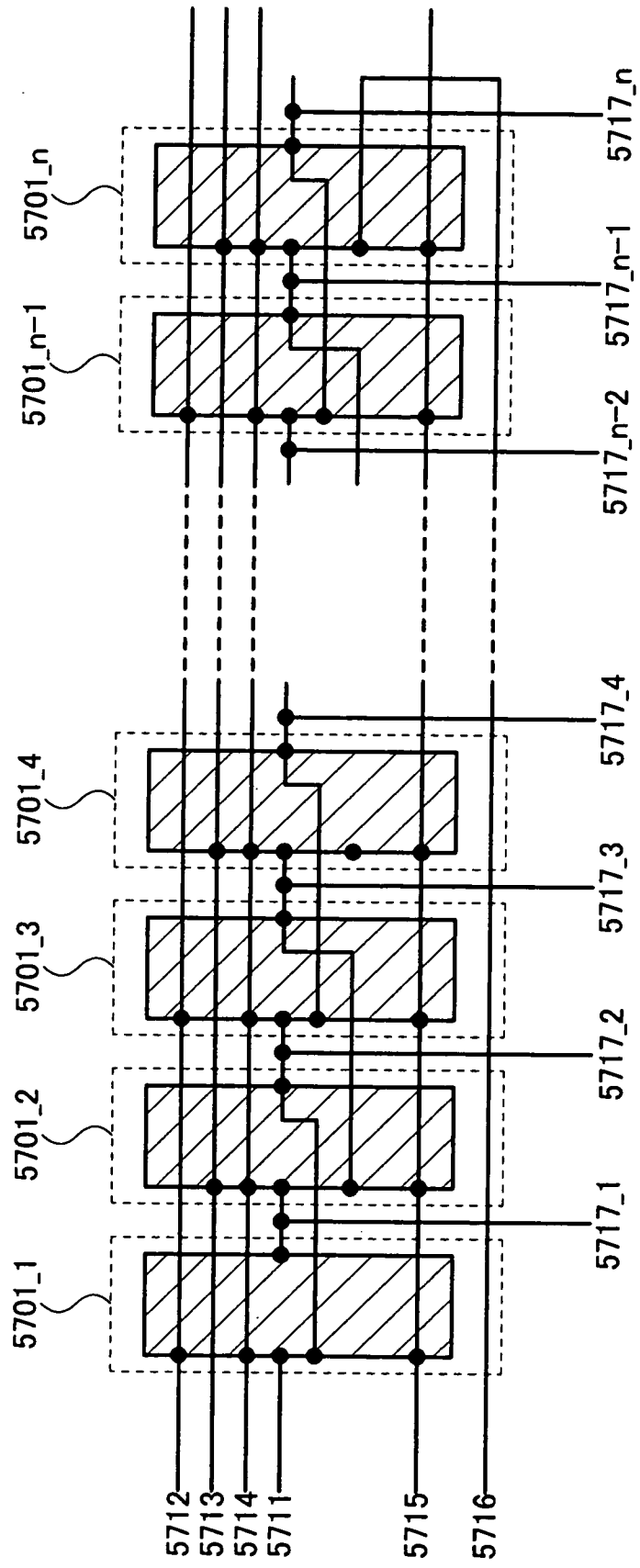


圖 11

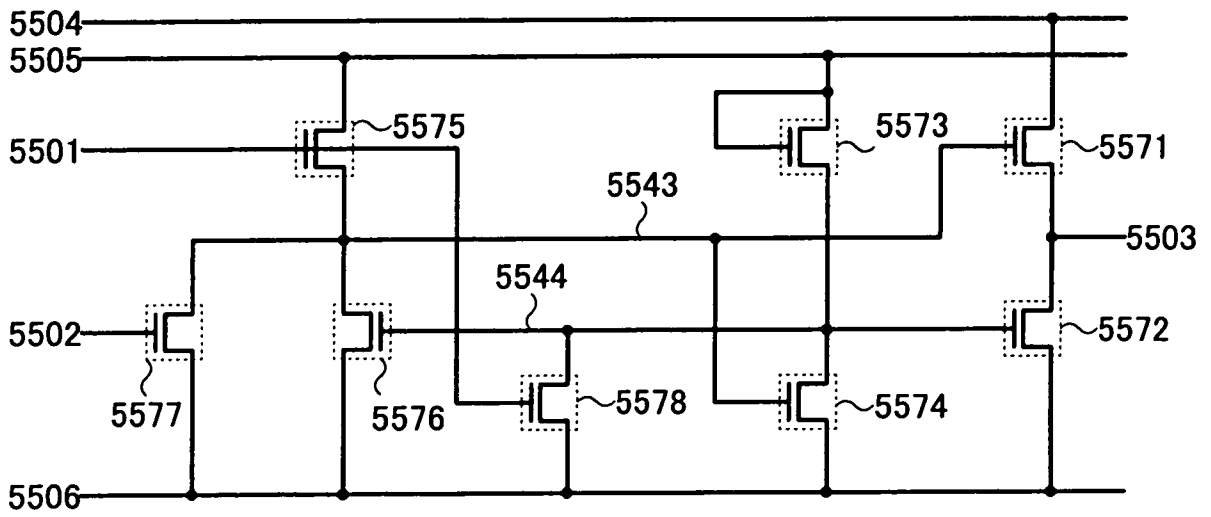


圖 12A

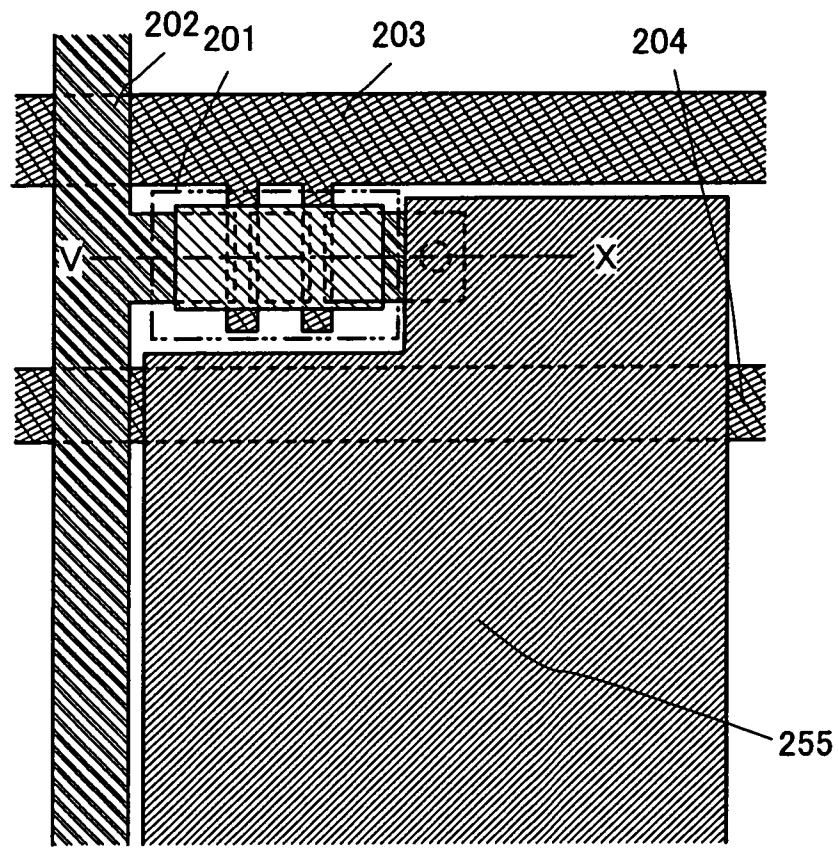


圖 12B

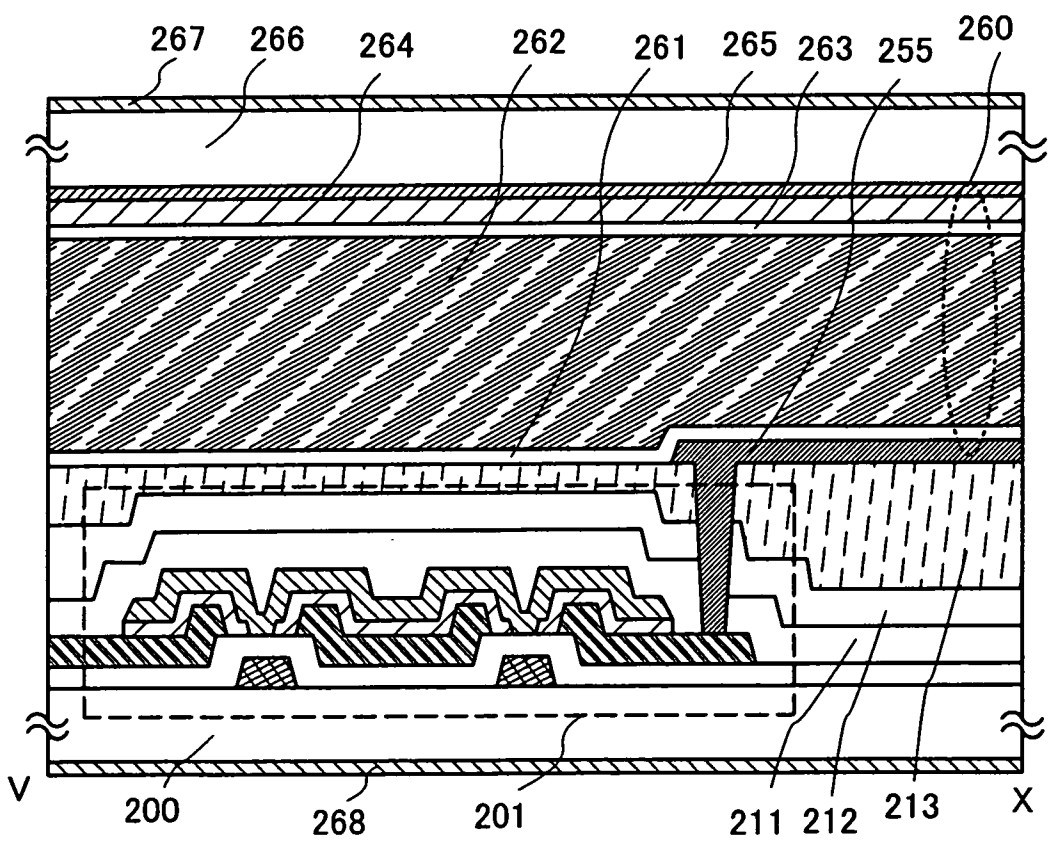


圖 13

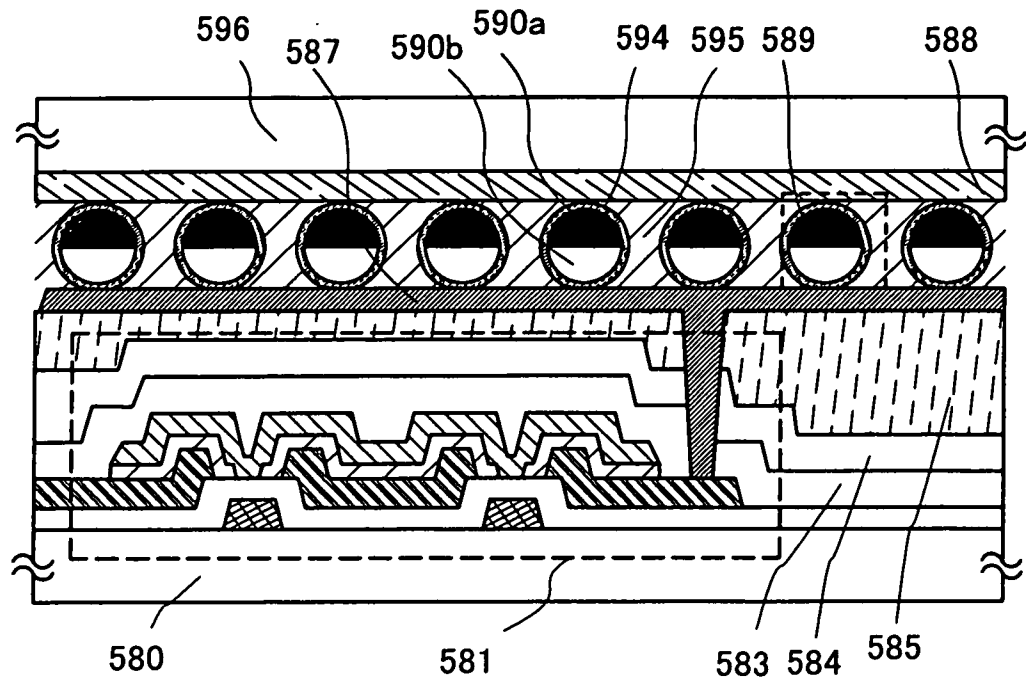


圖 14A

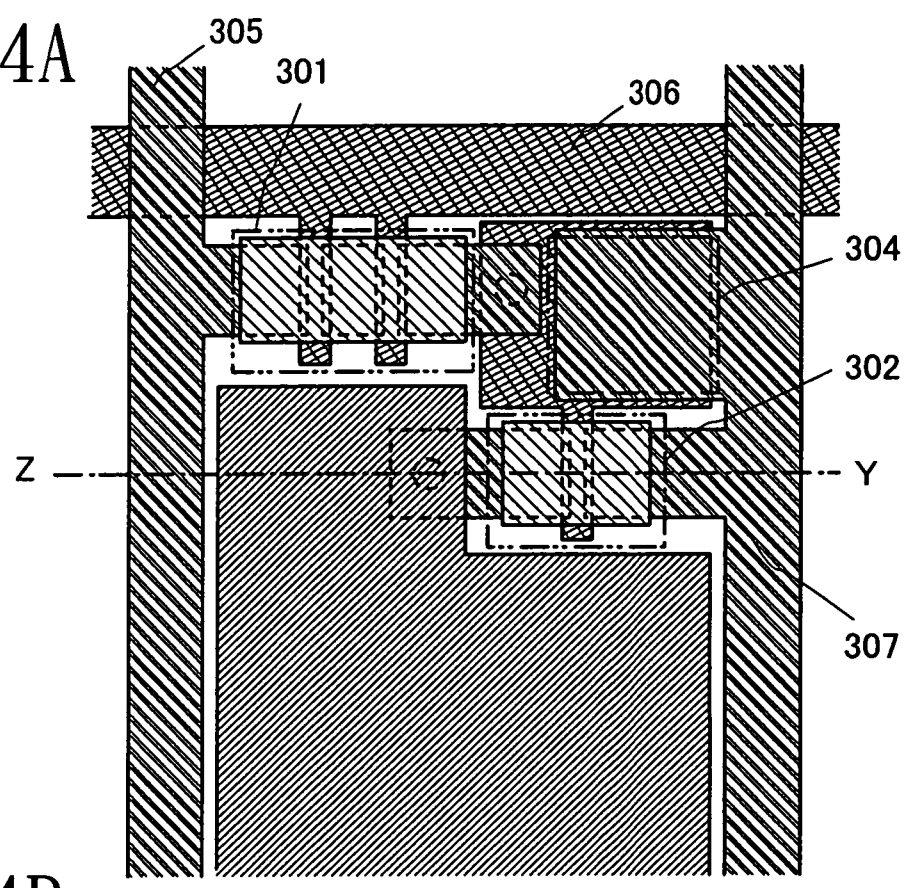


圖 14B

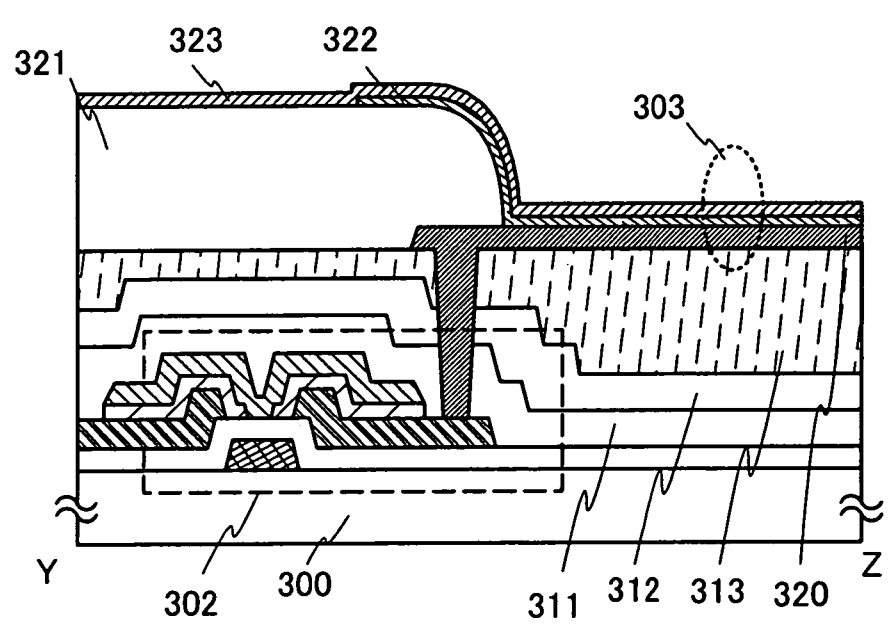


圖 15

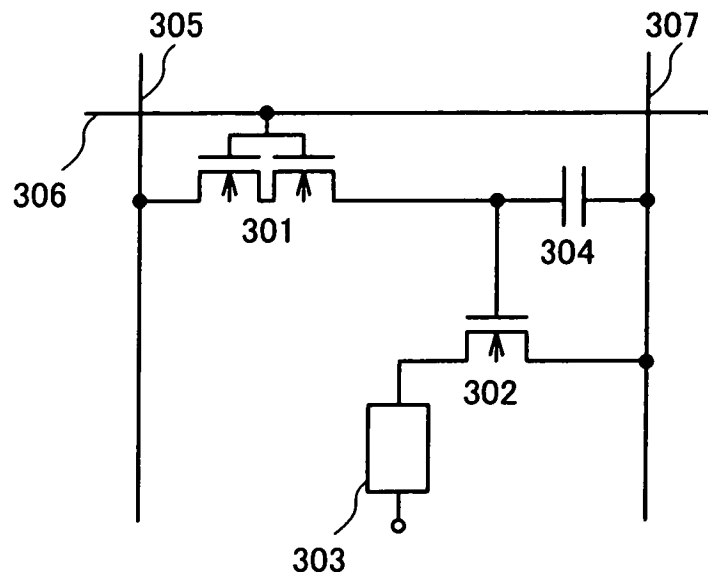


圖 16A

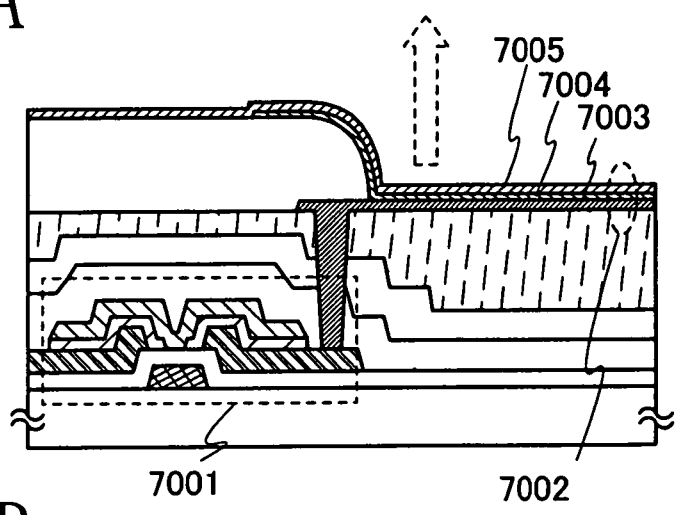


圖 16B

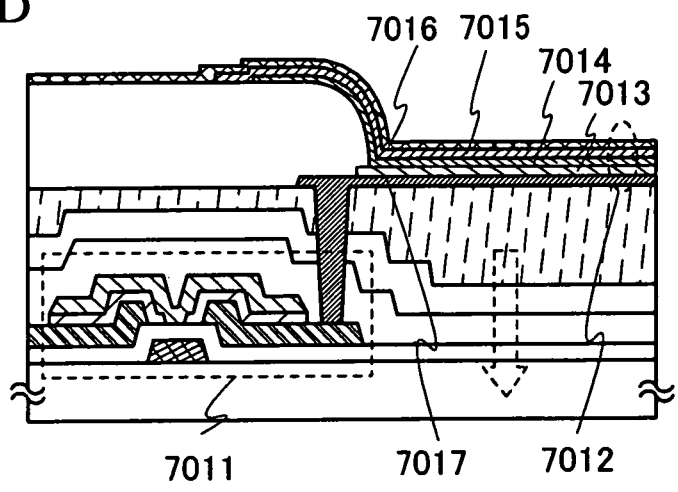


圖 16C

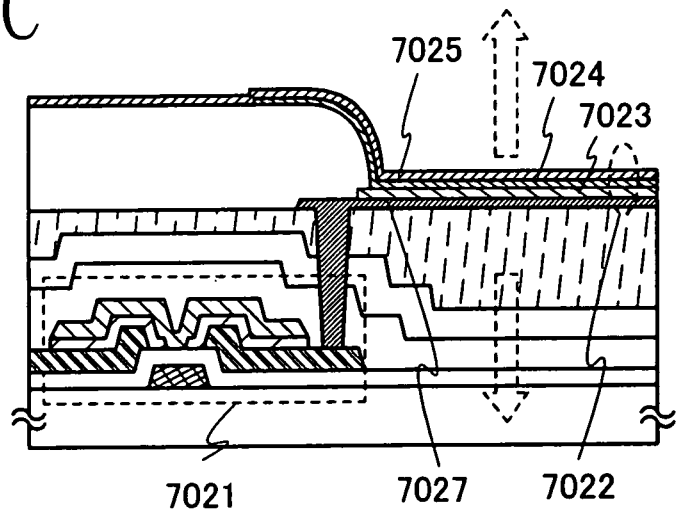


圖17A

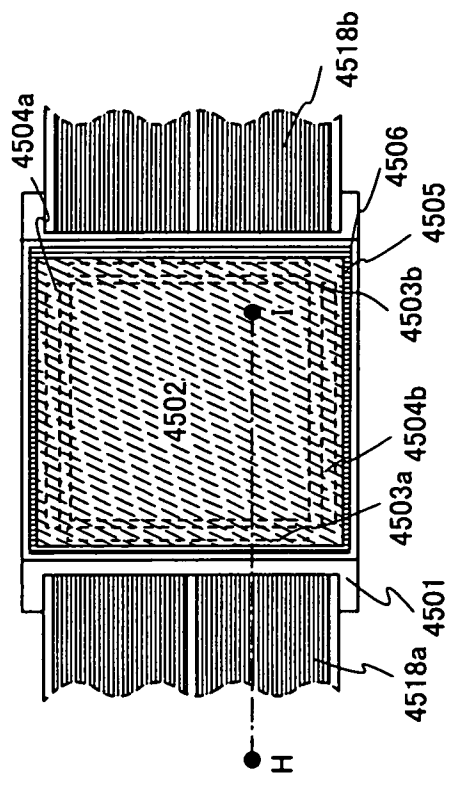


圖17B

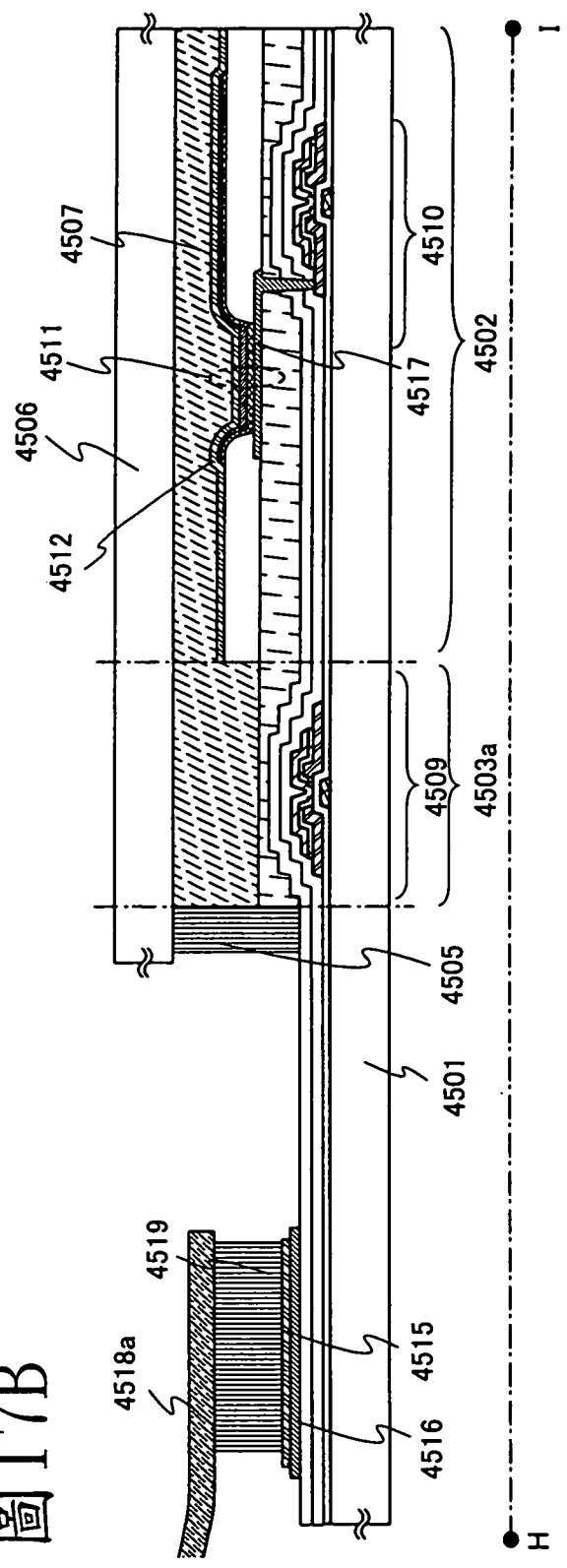


圖18(A1)

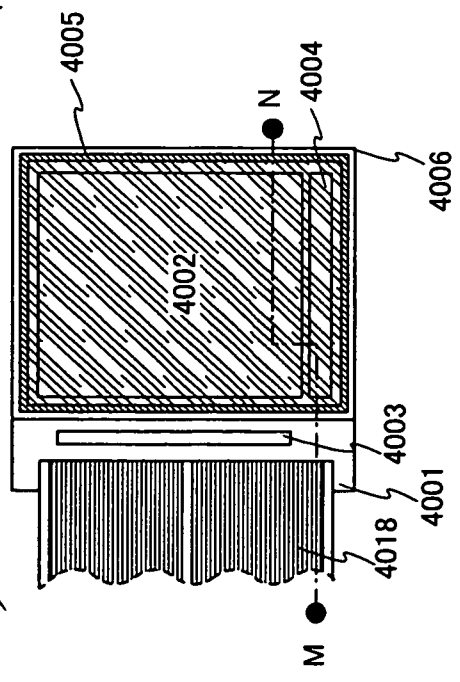


圖18(A2)

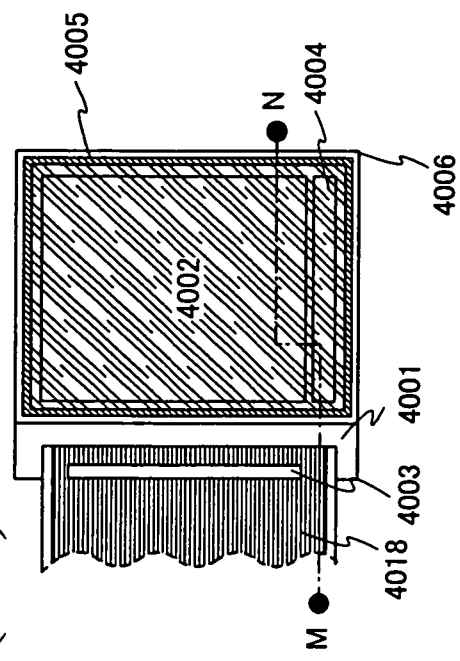


圖18B

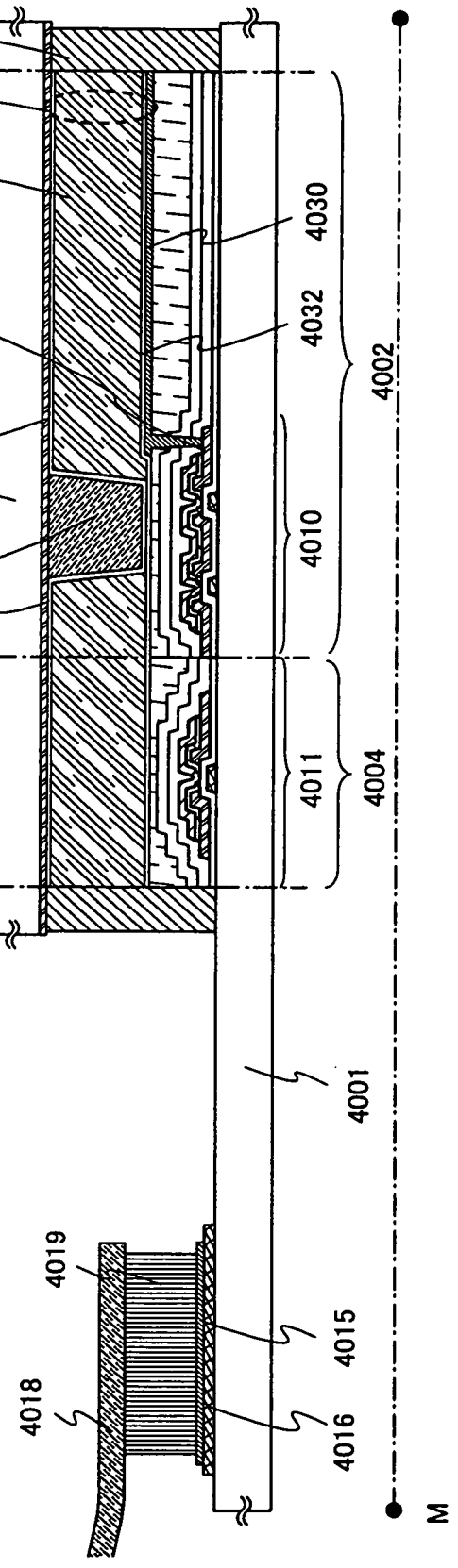


圖19

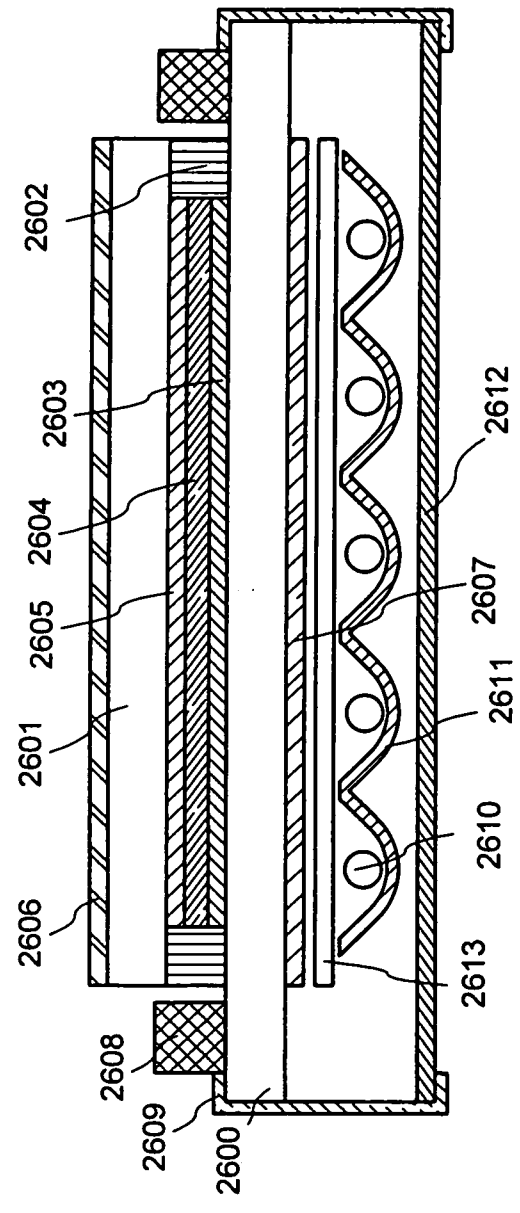


圖 20A

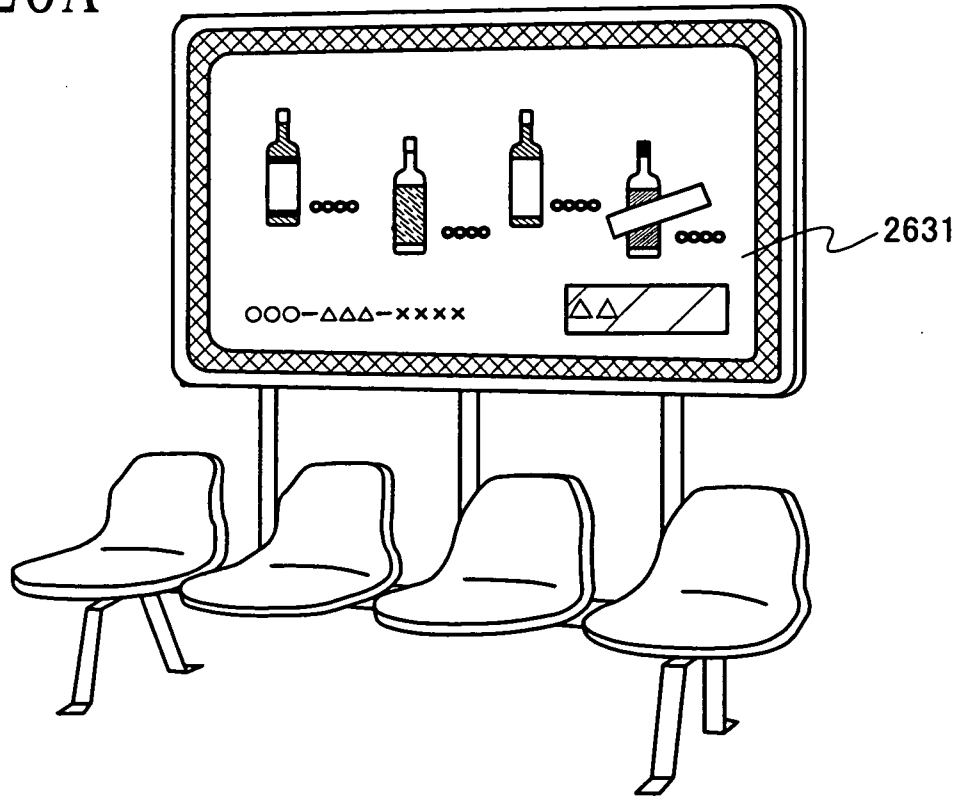


圖 20B

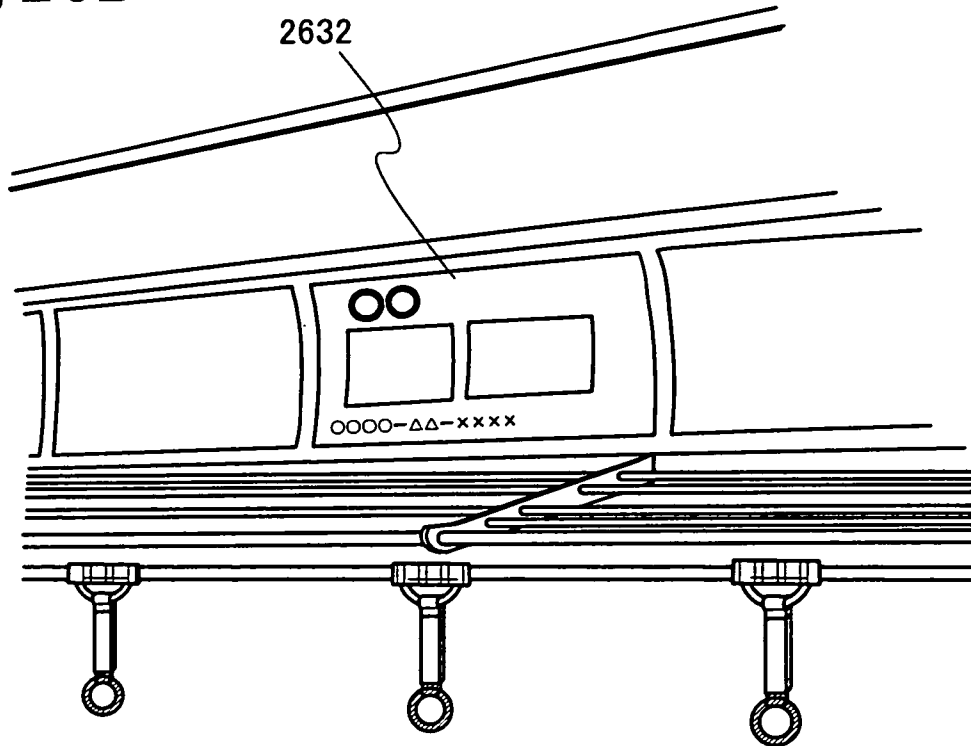


圖 21

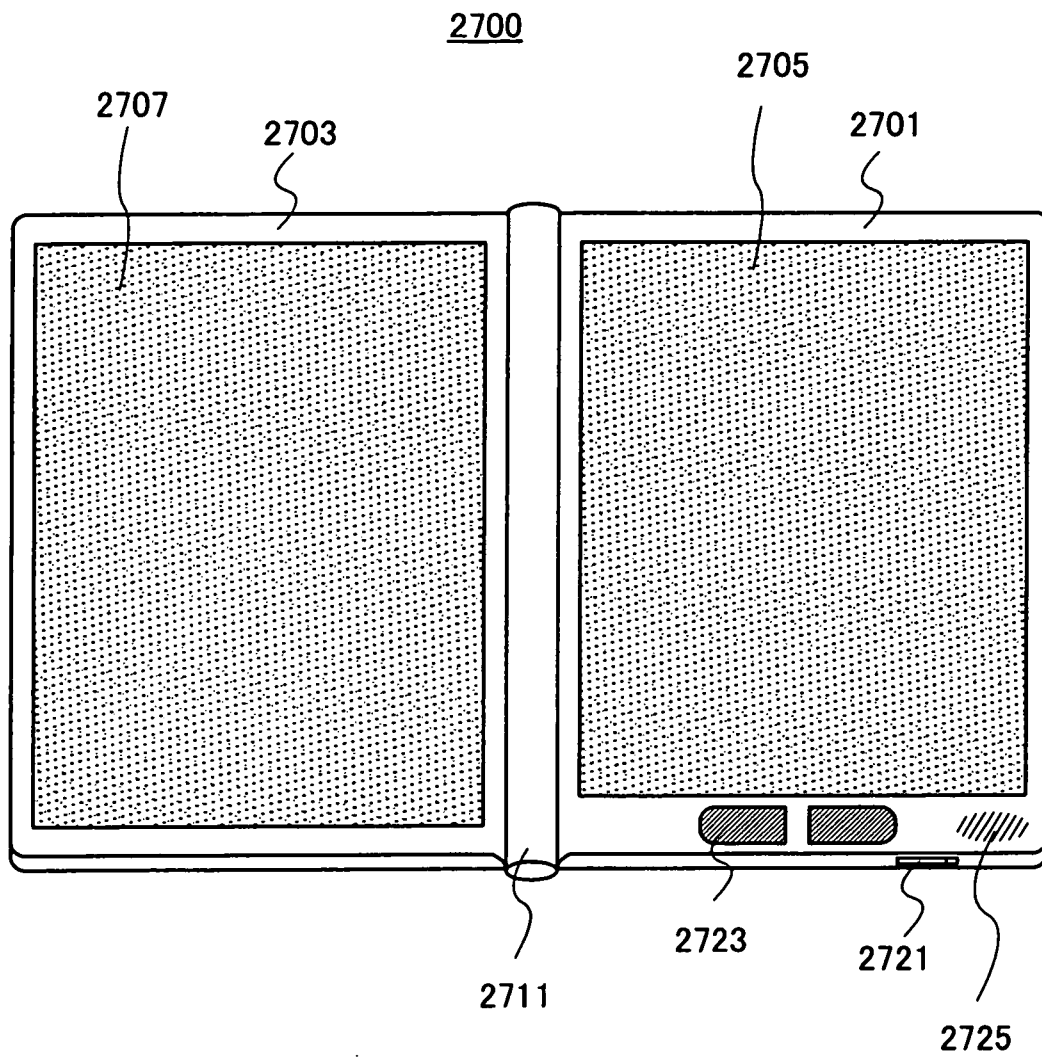


圖 22A

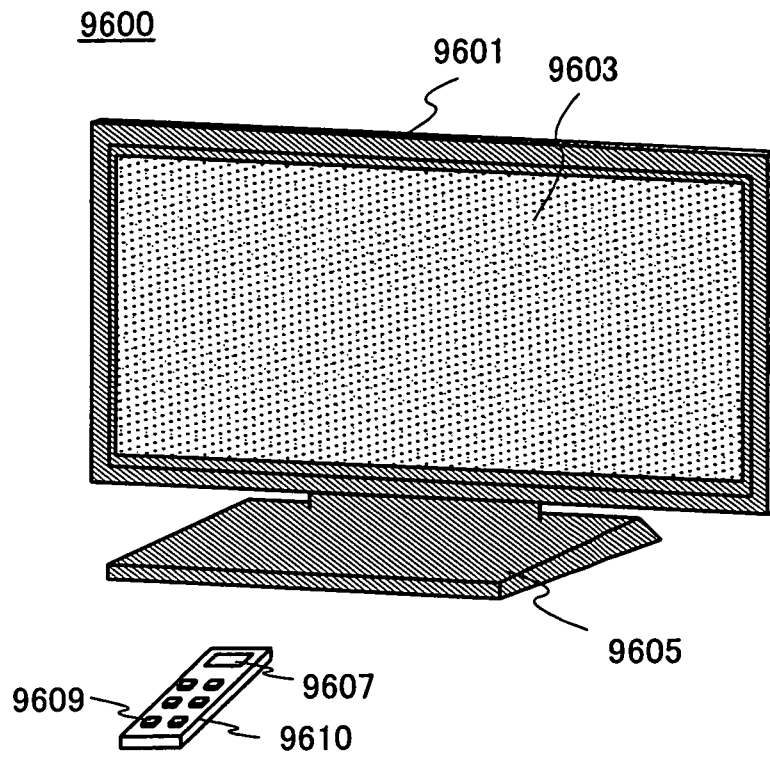


圖 22B

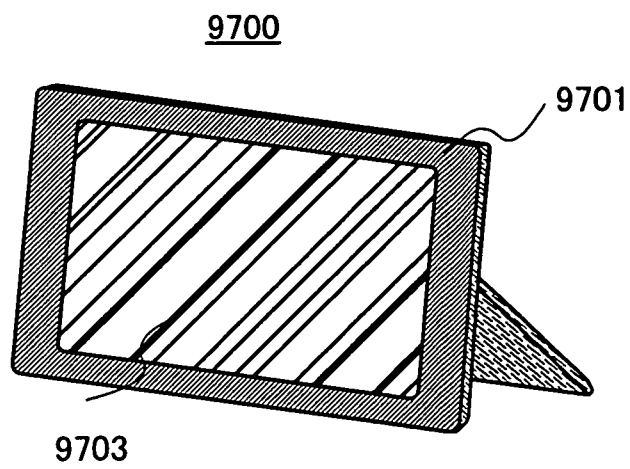


圖 23A

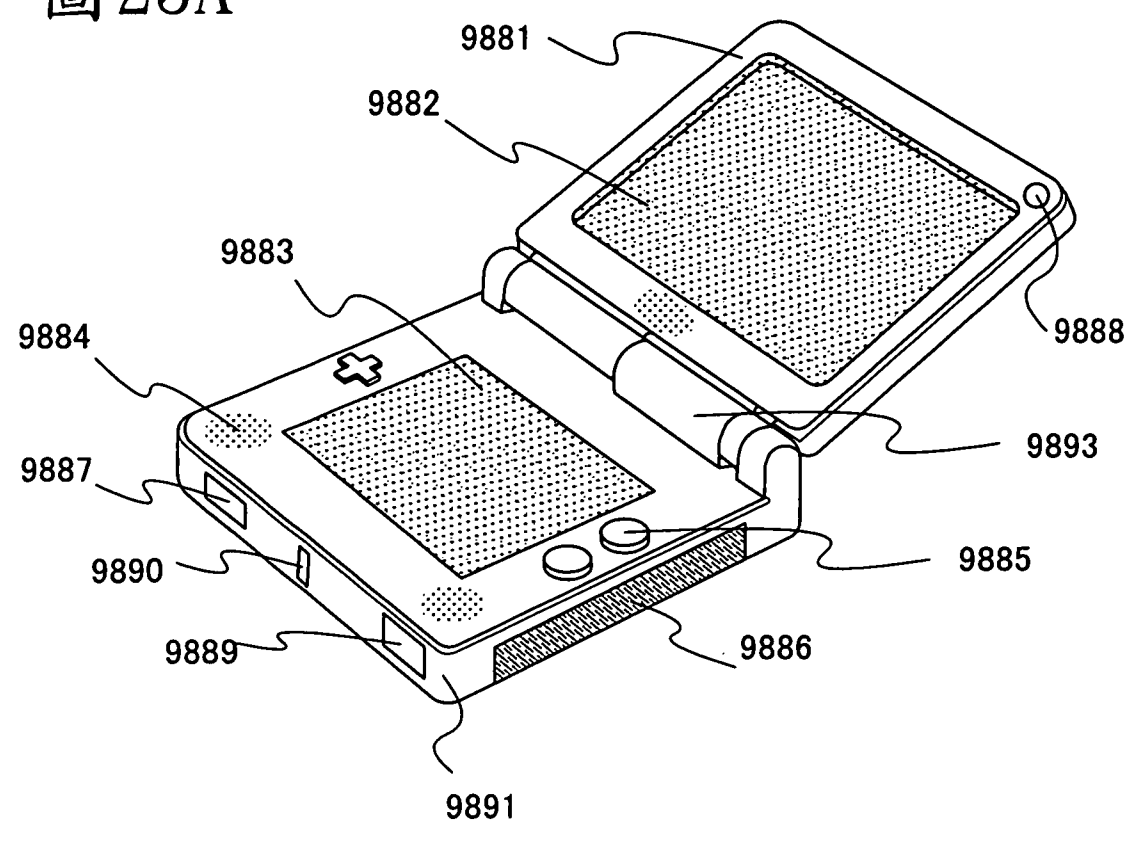


圖 23B

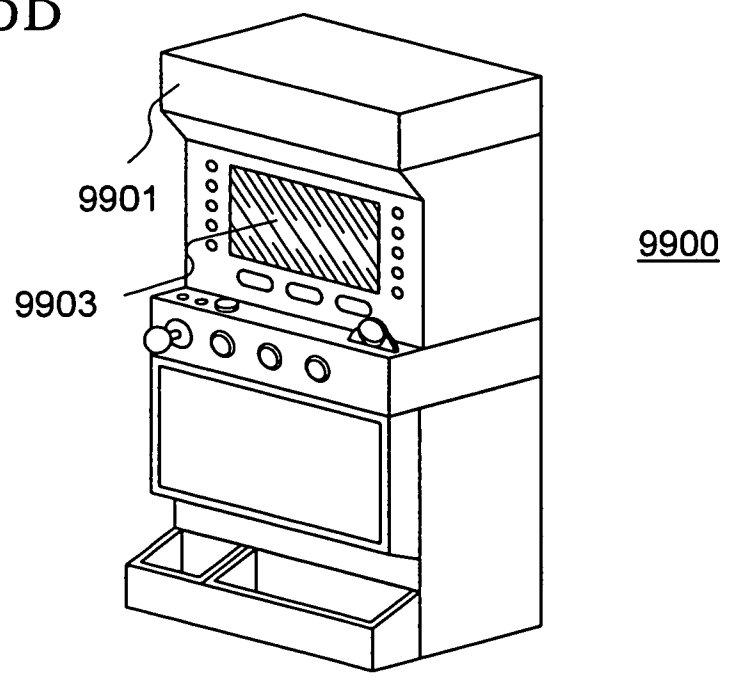


圖 24

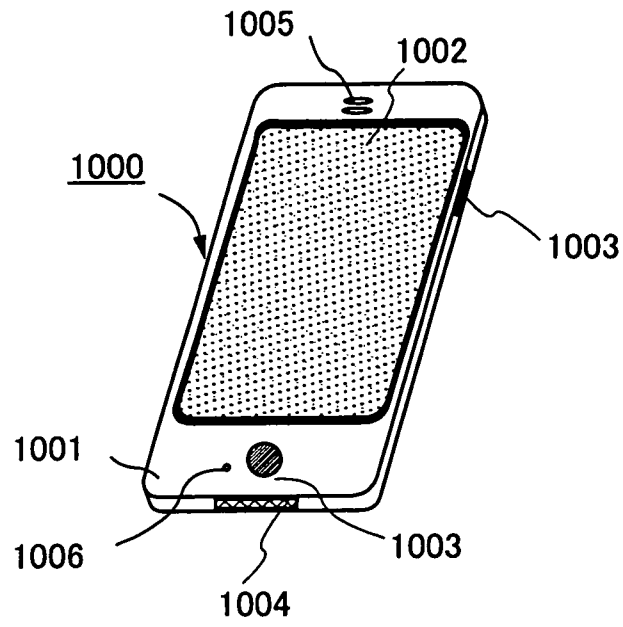


圖 25

