



(12) 发明专利

(10) 授权公告号 CN 102388441 B

(45) 授权公告日 2014. 05. 07

(21) 申请号 201080015388. 2

(22) 申请日 2010. 04. 07

(30) 优先权数据

61/167, 777 2009. 04. 08 US

(85) PCT国际申请进入国家阶段日

2011. 10. 08

(86) PCT国际申请的申请数据

PCT/US2010/030173 2010. 04. 07

(87) PCT国际申请的公布数据

W02010/118087 EN 2010. 10. 14

(73) 专利权人 宜普电源转换公司

地址 美国加利福尼亚州

(72) 发明人 亚力山大·利道 罗伯特·比奇

阿兰娜·纳卡塔 曹建军 赵广元

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 臧建明

(51) Int. Cl.

H01L 21/335(2006. 01)

(56) 对比文件

CN 101022128 A, 2007. 08. 22, 说明书第 5 页第 15 行至第 12 页第 20 行、附图 1-7e.

US 5225360 A, 1993. 07. 06, 说明书第 2 栏第 60 行至第 4 栏第 32 行、附图 2A-3F.

CN 1554121 A, 2004. 12. 08, 说明书第 8 页第 15 - 29 行、附图 6A, 6B.

US 5474946 A, 1995. 12. 12, 说明书第 4 栏第 14 - 40 行、附图 7.

US 2006019435 A1, 2006. 01. 26, 全文.

US 2008116492 A1, 2008. 05. 22, 全文.

US 2006192218 A1, 2006. 08. 31, 全文.

US 7470941 B2, 2008. 12. 30, 全文.

CN 101027780 A, 2007. 08. 29, 全文.

JP 2004165387 A, 2004. 06. 10, 全文.

审查员 刘乐

权利要求书4页 说明书5页 附图12页

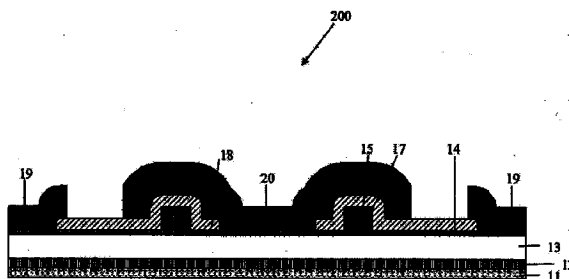
(54) 发明名称

增强型 GaN 高电子迁移率晶体管器件及其制备方法

(57) 摘要

一种增强型 GaN 晶体管及其制备方法。该增强型 GaN 晶体管包括衬底、过渡层、由 III 族氮化物材料构成的缓冲层、由 III 族氮化物材料构成的阻挡层、漏极和源极接触、包含受体型掺杂元素的栅极 III-V 族化合物, 以及栅极金属, 其中所述栅极 III-V 族化合物和栅极金属由单一光掩模工艺形成以便自对准, 并且栅极金属的底部和栅极化合物的顶部具有相同的尺寸。该增强型 GaN 晶体管还可具有由欧姆金属制成的场板, 其中由单一光掩模工艺形成漏极欧姆金属、源极欧姆金属和场板。

CN 102388441 B



1. 一种增强型 GaN 晶体管,包括:
衬底;
过渡层;
由 III 族氮化物材料构成的缓冲层;
由 III 族氮化物材料构成的阻挡层;
漏极和源极接触,所述源极接触用作场板,由此所述场板位于源极电位下;
包含受体型掺杂元素的栅极 III-V 族化合物;以及
栅极金属。
2. 根据权利要求 1 所述的晶体管,其中所述缓冲层由 InAlGa_N 构成。
3. 根据权利要求 1 所述的晶体管,其中所述阻挡层由 InAlGa_N 构成,其带隙大于缓冲层。
4. 根据权利要求 1 所述的晶体管,其中所述栅极金属的底部和栅极 III-V 族化合物的顶部具有相同的尺寸,并且栅极 III-V 族化合物的侧壁具有 80 到 90 度的角度。
5. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物的侧壁具有 30 到 80 度的角度。
6. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 化合物和栅极金属由单一光掩模工艺形成以便自对准,并且栅极金属比栅极 III-V 族化合物更窄,这样在栅极化合物的顶部存在对称的凸出部分。
7. 根据权利要求 6 所述的晶体管,其中所述栅极 III-V 族化合物的侧壁具有 80 到 90 度的角度。
8. 根据权利要求 6 所述的晶体管,其中所述栅极 III-V 族化合物的侧壁是具有 30 到 80 度的斜面。
9. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物和栅极金属由单一光掩模工艺形成以便自对准,栅极金属的底部和栅极 III-V 族化合物的顶部具有相同的尺寸,并且栅极 III-V 族化合物的底部包含恰好位于阻挡层上方的对称凸出部分。
10. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物和栅极金属由单一光掩模工艺形成以便自对准,栅极金属比栅极 III-V 族化合物更窄,这样在栅极 III-V 化合物的顶部存在对称的凸出部分,并且栅极 III-V 化合物的底部包含恰好位于阻挡层上方的对称凸出部分。
11. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物是掺杂受体型掺杂剂的 GaN,并且 p- 型掺杂剂被激活。
12. 根据权利要求 11 所述的晶体管,其中受体型掺杂剂选自 Mg, C, Zn 和 Ca。
13. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物是掺杂受体型掺杂剂的 GaN,并且 p- 型掺杂剂用氢补偿。
14. 根据权利要求 13 所述的晶体管,其中受体型掺杂剂选自 Mg, C, Zn 和 Ca。
15. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物包含 AlGa_N 层以及掺杂受体型掺杂剂的 GaN 层。
16. 根据权利要求 15 所述的晶体管,其中受体型掺杂剂选自 Mg, C, Zn 和 Ca。
17. 根据权利要求 1 所述的晶体管,其中所述栅极 III-V 族化合物包含 AlGa_N 层以及

GaN 层,用单一光掩模工艺对所述栅极金属和栅极 GaN 进行蚀刻,并且由于第二光掩模工艺使得栅极 AlGaIn 朝向漏极延伸。

18. 根据权利要求 1 所述的晶体管,其中所述栅极金属是 TiN。

19. 根据权利要求 1 所述的晶体管,其中所述栅极金属包含一种或多种难熔金属、金属化合物和合金。

20. 根据权利要求 19 所述的晶体管,其中所述难熔金属、金属化合物和合金选自 Ta, W, TaN, TiN, WN 和 WSi。

21. 一种增强型 GaN 晶体管,包括:

衬底;

过渡层;

由 III 族氮化物材料构成的缓冲层;

由 III 族氮化物材料构成的阻挡层;

漏极和源极接触;

包含受体型掺杂元件的栅极 III-V 族化合物,以及;

栅极金属,

其中所述源极接触由欧姆金属制成并用作场板,位于源极电位下。

22. 一种用于形成增强型 GaN 晶体管的方法,所述方法包括:

在衬底上成核和生长过渡层;

在该过渡层上方生长 III 族氮化物缓冲层;

在该缓冲层上方生长 III 族氮化物阻挡层;

在该阻挡层上方生长具有受体型掺杂剂的 GaN 层;

将栅极接触层沉积到掺杂的 GaN 层上;

施加栅极光刻图案;

将栅极区域外侧的栅极接触层蚀刻掉;

除了位于栅极接触下方的掺杂的 GaN 层的一部分之外,将掺杂的 GaN 层蚀刻掉;

去除栅极光刻图案;

沉积电介质层;

施加接触光刻图案;

蚀刻该电介质层以使漏极和源极接触区域开口;

去除接触光刻图案;

沉积欧姆接触金属;

施加金属光刻图案;

蚀刻欧姆接触金属;

去除金属光刻图案;以及

执行快速热退火以形成欧姆漏极和源极接触,其中所述源极接触用作场板,位于源极电位下。

23. 根据权利要求 22 所述的方法,其中所述缓冲层由 InAlGaIn 构成。

24. 根据权利要求 22 所述的方法,其中所述阻挡层由 InAlGaIn 构成,其带隙大于缓冲层。

25. 一种用于形成增强型 GaN 晶体管的方法,所述方法包括:

- 在衬底上成核和生长过渡层;
- 在该过渡层上方生长 InAlGa_N 缓冲层;
- 在该 InAlGa_N 缓冲层上方生长 InAlGa_N 阻挡层;
- 在 InAlGa_N 阻挡层上方生长具有受体型掺杂剂的 InAlGa_N 层;
- 在掺杂 InAlGa_N 层上方生长具有受体型掺杂剂的 GaN 层;
- 将栅极接触层沉积到掺杂的 GaN 层上;
- 施加栅极光刻图案;
- 将栅极区域外侧的栅极接触层蚀刻掉;
- 除了位于栅极接触下方的掺杂的 GaN 层以及掺杂的 InAlGa_N 层的一些部分之外,将掺杂的 GaN 层和掺杂的 AlGa_N 层蚀刻掉;
- 去除栅极光刻图案;
- 沉积电介质层;
- 施加接触光刻图案;
- 蚀刻电介质层以使漏极和源极接触区域开口;
- 去除接触光刻图案;
- 沉积欧姆接触金属;
- 施加金属光刻图案;
- 蚀刻欧姆接触金属;
- 去除金属光刻图案;以及

执行快速热退火以形成欧姆漏极和源极接触,其中所述源极接触用作场板,位于源极电位下。

26. 一种用于形成增强型 GaN 晶体管的方法,所述方法包括:

- 在衬底上成核和生长过渡层;
- 在该过渡层上方生长 InAlGa_N 缓冲层;
- 在该 InAlGa_N 缓冲层上方生长 AlGa_N 阻挡层;
- 在该 AlGa_N 阻挡层上方生长具有受体型掺杂剂的 AlGa_N 层;
- 在掺杂 AlGa_N 层上方生长具有受体型掺杂剂的 GaN 层;
- 将栅极接触层沉积到掺杂的 GaN 层上;
- 施加栅极光刻图案;
- 将栅极区域外侧的栅极接触层蚀刻掉;
- 除了位于栅极接触下方的掺杂的 GaN 层以及掺杂的 AlGa_N 层的一些部分之外,将掺杂的 GaN 层蚀刻掉;
- 去除栅极光刻图案;
- 施加另外的光刻图案;
- 蚀刻掺杂的 AlGa_N 层,这样掺杂的 AlGa_N 在栅极区域外侧朝向漏极延伸;
- 去除光刻图案;
- 沉积电介质层;
- 施加接触光刻图案;

蚀刻电介质层以使漏极和源极接触区域开口；
去除接触光刻图案；
沉积欧姆接触金属；
施加第四光刻图案；
蚀刻欧姆接触金属；
去除第四光刻图案；以及

执行快速热退火以形成欧姆漏极和源极接触，其中所述源极接触用作场板，位于源极电位下。

27. 一种增强型 GaN 晶体管，包括：

衬底；

过渡层；

由 III 族氮化物材料构成的缓冲层；

由 III 族氮化物材料构成的阻挡层；

由欧姆金属构成的漏极和源极接触；

包含受体型掺杂元素的栅极 III-V 族化合物，以及
栅极金属，

其中所述源极接触用作场板，位于源极电位下，

其中在同一金属层中形成漏极欧姆金属和源极欧姆金属。

增强型 GaN 高电子迁移率晶体管器件及其制备方法

技术领域

[0001] 本发明涉及增强型氮化镓 (GaN) 高电子迁移率晶体管 (HEMT) 器件。具体的,本发明涉及一种用于提供增强型 HEMT 器件的方法和设备。

背景技术

[0002] 对于功率半导体器件而言,对氮化镓 (GaN) 半导体器件存在着日益增长的需求,原因在于氮化镓 (GaN) 半导体器件具有承载大电流并支持高电压的能力。这些器件的研发通常旨在高功率/高频率应用。为这些应用类型而制造的器件基于表现出高电子迁移率的常规器件结构,且这些器件被称为异质结场效应晶体管 (HFET)、高电子迁移率晶体管 (HEMT) 或调制掺杂场效应晶体管 (MODFET) 等各种名称。

[0003] GaN HEMT 器件包括具有至少两个氮化物层的氮化物半导体。形成于该半导体或缓冲层上的不同材料导致这些层具有不同的带隙。在相邻氮化物层中的不同材料还导致极化,这有助于在两层接合处附近,尤其在具有较窄带隙的层中形成导电二维电子气 (2DEG) 区。

[0004] 导致极化的这些氮化物层通常包括邻近 GaN 层的 AlGa_N 阻挡层以便包括 2DEG,其允许电荷流经动通过器件。该阻挡层可以是掺杂或无掺杂的。由于在零栅偏压下,在栅极下方存在 2DEG 区,所以大多数氮化物器件是常开型或耗尽型器件。如果在施加零栅偏压时在栅极下方的 2DEG 区被耗尽,也就是被移除,那么该器件可以是增强型器件。增强型器件是常关型,并且因为它们提供的附加安全性以及它们更易于由简单、低成本的激励电路来控制,因而符合需要。为了传导电流,增强型器件需要在栅极施加正偏压。

[0005] 在传统的增强型 GaN 晶体管中,通过利用单独的光掩模来限定栅极金属以及 p-型 GaN 材料或 p-型 AlGa_N 材料。例如,图 1(现有技术)示出栅极金属与栅极 pGa_N 用两种不同的光掩模进行处理。图 1 示出传统的增强型 GaN 晶体管器件 100,其包括可为蓝宝石或硅的衬底 101、过渡层 102、非掺杂的 GaN 材料 103、非掺杂的 AlGa_N 材料 104、源极欧姆接触金属 109、漏极欧姆接触金属 110、p-型 AlGa_N 材料或 p-型 GaN 材料 105、高度掺杂的 p-型 GaN 材料 106 以及栅极金属 111。

[0006] 如图 1 中所示,栅极金属、p-型 GaN 或 p-型 AlGa_N 材料由两个单独的光掩模限定。第一掩模用于通过使硬掩模图案化以及使 p-型 GaN 选择性地生长或通过使 p-型 GaN 图案化并被蚀刻来形成 p-型 GaN 或 p-型 AlGa_N。第二掩模用于通过使栅极金属图案化并剥离栅极金属或通过使栅极金属图案化并被蚀刻来形成栅极金属。两次掩模工艺导致比光/蚀刻最小 CD 更宽的栅极长度。这导致高栅极电荷、更宽的单元间距以及更高的 R_{dson} (“导通电阻”)。传统的制造方法还增加生产成本。另一缺陷是最高的电场位于朝向漏极欧姆接触金属的 p-型 GaN 材料或 p-型 AlGa_N 材料的栅极拐角处。该高电场导致高栅极泄漏电流和高栅极可靠性危险。

发明内容

[0007] 希望提供一种具有自对准栅极的增强型 GaN 晶体管结构,其可避免现有技术中的上述缺陷。还希望提供一种减小 p- 型 GaN 或 AlGaIn 的栅极拐角处的高电场的特征。

附图说明

- [0008] 图 1 是传统的增强型 GaN 晶体管的横断面视图。
- [0009] 图 2 示出根据在此描述的本发明第一实施例形成的增强型 GaN HEMT 器件。
- [0010] 图 3A-3E 示意性示出根据本发明第一实施例的增强型 GaN HEMT 器件的形成。
- [0011] 图 4 示出根据本发明第二实施例形成的增强型 GaN HEMT 器件。
- [0012] 图 5A-5E 示意性示出根据本发明第二实施例的增强型 GaN HEMT 器件的形成。
- [0013] 图 6 示出根据本发明第三实施例形成的增强型 GaN HEMT 器件。
- [0014] 图 7A-7F 示意性示出根据本发明第三实施例的增强型 GaN HEMT 器件的形成。
- [0015] 图 8 示出根据本发明第四实施例形成的增强型 GaN HEMT 器件。
- [0016] 图 9 示出根据本发明第五实施例形成的增强型 GaN HEMT 器件。
- [0017] 图 10 示出根据本发明第六实施例形成的增强型 GaN HEMT 器件。
- [0018] 图 11 示出根据本发明第七实施例形成的增强型 GaN HEMT 器件。
- [0019] 图 12 示出根据本发明第八实施例形成的增强型 GaN HEMT 器件。

具体实施方式

[0020] 在下述详细说明中,参照某些实施例进行描述。对这些实施例进行足够详细地描述以便使得本领域的那些技术人员能够实施这些实施例。应该理解可采用其它实施例,并且可进行各种结构、逻辑以及电气改变。

[0021] 本发明涉及具有自对准的栅极金属材料和掺杂的 GaN 或 AlGaIn 材料的增强型 GaN HEMT 器件以及用于制备这种器件的方法。利用单一光掩模使得这些材料形成图案并被蚀刻,由此降低生产成本。此外,使得在源极电位下的场板连同漏极和源极欧姆接触金属一起形成图案蚀刻。场板降低该增强型 GaN HEMT 器件的栅极拐角处的电场。

[0022] 参照图 2 和图 3A-3E,现在描述用于形成具有自对准栅极的增强型 GaN HEMT 器件的第一实施例,其中在整个附图中对于相同特征一致地使用相同的附图标记。图 2 示出通过关于图 3A-3E 在下文描述的方法形成的增强型 GaN HEMT 器件 200,其具有自对准的栅极金属 17 和 p- 型 GaN 材料 15。器件 200 包括硅衬底 11、过渡层 12、非掺杂的 GaN 缓冲材料 13、非掺杂的 AlGaIn 阻挡材料 14、p- 型 GaN 栅极层 15、栅极金属 17、电介质材料 18、漏极欧姆接触 19 以及源极欧姆接触 20。源极金属 20 还起到作为在栅极上方并朝向漏极接触延伸的场板的作用。层 13、14 和 15 由 III 族氮化物材料制成。III 族氮化物材料可由 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 构成,其中 $x+y \leq 1$ 。

[0023] 图 3A 示出 GaN HEMT 器件 200a 的 EPI 结构,从下到上包括硅衬底 11、过渡层 12、非掺杂的 GaN 缓冲材料 13、非掺杂的 AlGaIn 阻挡材料 14、和 p- 型 GaN 栅极层 15。非掺杂的 GaN 缓冲材料 13 优选具有约 0.5 到约 5 微米的厚度。非掺杂的 AlGaIn 阻挡材料 14 优选具有约 50 埃到约 300 埃的厚度。非掺杂的 AlGaIn 阻挡材料 14 包含 AlGaIn 材料金属含量的从约 12%到 100%的铝。p- 型 GaN 栅极层 15 可具有约 100 埃到约 2000 埃的厚度。此外,p- 型 GaN 栅极层可具有从每立方厘米约 10^{18} 至约 10^{21} 个原子的掺杂浓度。

[0024] 如图 3B 中所示,栅极金属 17 沉积到图 3A 中所示的 EPI 结构上。可选的,可在 EPI 的生长末端处生长栅极金属 17。栅极金属 17 可由难熔金属或其化合物制成,例如钽 (Ta)、氮化钽 (TaN)、氮化钛 (TiN)、钯 (Pd)、钨 (W)、硅化钨 (WSi₂)。

[0025] 随后,利用单一光掩模使得栅极金属 17 和 p- 型 GaN 栅极层 15 图案化并被蚀刻,形成图 3C 中所示的结构。栅极金属 17 和 p- 型 GaN 栅极层 15 通过如等离子体蚀刻的任何已知的技术来蚀刻,随后经过光刻胶剥离。p- 型 GaN 栅极层 15 可进行欠蚀刻,在栅极区域外侧留下约 0 至约 10 纳米的栅极材料。p- 型 GaN 栅极层 15 还可进行过蚀刻,将栅极区域外侧的阻挡层 14 去除约 0 至约 3 纳米。在过蚀刻情况下,在栅极区域外侧的阻挡层 14 比在栅极区域内的阻挡层 14 薄约 0 至约 3 纳米。

[0026] 现在参照图 3D,沉积诸如硅氮化物 (Si₃N₄) 的电介质材料 18。在沉积电介质材料 18 之后,利用接触光掩模来使得电介质材料 18 图案化并被蚀刻,随后经过光刻胶剥离,形成图 3D 中所示的结构。

[0027] 现在参照图 3E,沉积欧姆接触金属。欧姆接触金属可由钛 (Ti)、铝 (Al)、和封盖金属叠层制成。在欧姆金属沉积之后,利用金属掩模来使得欧姆接触金属图案化并被蚀刻,形成如图 3E 中所示的漏极欧姆接触 19 和源极欧姆接触 20。执行快速热退火 (RTA) 以便形成到 AlGaIn/GaN 二维电子气的欧姆接触。在栅极上方提供源极欧姆接触金属 20,且该源极欧姆接触金属 20 起到场板的作用。该场板减小在最接近漏极欧姆接触 19 的 p- 型 GaN 材料栅极 15 拐角处的电场。

[0028] 根据上述方法,利用单一光掩模使得栅极金属 17 和 p- 型 GaN 材料 15 图案化并被蚀刻,从而它们可自动自对准。这降低生产成本。最小的栅极长度可与光 / 蚀刻最小 CD 相同,从而将栅极电荷最小化。单元间距减小,从而获得更低的 Rds_{ON}。由于源极欧姆接触金属 20 用作场板以减小最接近漏极欧姆接触 19 的 p- 型 GaN 材料栅极拐角处的电场,从而可获得较低的栅极泄漏电流,并且改善栅极可靠性。此外,在源极电位下的场板保护栅极免受漏极偏压的影响,这样减少栅极 - 漏极电荷 (Q_{gd})。

[0029] 参照图 4 和图 5A-5E,现在描述本发明的第二实施例。图 4 示出由图 5A-5E 中所示的方法形成的增强型 GaN HEMT 器件 200,由此形成自对准的栅极金属 17、p- 型 GaN 栅极层 15、以及 p- 型 AlGaIn 材料 21。图 4 中的器件 200 与图 2 和图 3A-3E 的器件 200 的区别在于其包括附加层,即由 p- 型 AlGaIn 材料 21 形成的层。

[0030] 图 5A 示出 EPI 结构,从下到上包括硅衬底 11、过渡层 12、非掺杂的 GaN 缓冲材料 13、非掺杂的 AlGaIn 阻挡材料 14、p- 型 AlGaIn 材料 21 以及 p- 型 GaN 材料 15。各层的尺寸和组分类似于第一实施例的尺寸和组分。p- 型 AlGaIn 材料 21 的附加层优选具有约 20 埃到约 300 埃的厚度且包括 AlGaIn 材料的从约 12%到约 100%的铝。

[0031] 如图 5B 中所示,如在第一实施例中的那样,栅极金属 17 沉积或生长在图 5A 中示出的 EPI 结构上。

[0032] 随后,利用单一光掩模使得栅极金属 17 和 p- 型 GaN 材料 15、且在该情况下还有 p- 型 AlGaIn 材料 21 图案化并被蚀刻,形成图 5C 中所示的结构。

[0033] 现在参照图 5D,如前所述,沉积诸如硅氮化物 (Si₃N₄) 的电介质材料 18,并利用接触光掩模来使得电介质 18 图案化并被蚀刻,随后经过光刻胶剥离,形成图 5D 中所示的结构。

[0034] 在图 5E 中,如前所述,沉积欧姆接触金属,并利用金属掩模来使得欧姆接触金属图案化并被蚀刻,形成如图 5E 中所示的漏极欧姆接触 19 和源极欧姆接触 20。执行快速热退火 (RTA) 以便形成到 AlGaIn/GaN 二维电子气的欧姆接触。

[0035] 根据上述方法,利用单一光掩模使得栅极金属 17、p- 型 GaN 材料 15 以及 p- 型 AlGaIn 材料 21 图案化并被蚀刻,从而它们自对准,并具有与第一实施例相同的优势。

[0036] 参照图 6 和图 7A-7F,现在描述本发明的第三实施例。本发明的该实施例类似于上述的第二实施例,但是在该实施例中,p- 型 AlGaIn 材料 21 从栅极朝向漏极欧姆接触 19 延伸。从栅极朝向漏极欧姆接触 19 延伸的 p- 型 AlGaIn 材料 21 形成二维电子气密度降低的区域。这进一步降低栅极拐角处以及场板拐角处的电场,导致较高的击穿电压以及减少的栅极-漏极电荷 (Q_{gd})。

[0037] 图 7A-7C 类似于上述的图 5A-5C。但是,在图 7C 中,利用光掩模仅仅使得栅极金属 17 和 p- 型 GaN 材料 15 (不包括 p- 型 AlGaIn 材料 21) 图案化并被蚀刻,形成图 7C 中所示的自对准结构。然后,利用光掩模使得 p- 型 AlGaIn 材料 21 图案化并被蚀刻成图 7D 中所示的图案,这样 p- 型 AlGaIn 材料 21 从栅极向外 (在将形成漏极接触的方向上) 延伸。

[0038] 现在参照图 7E,如前所述,使得诸如硅氮化物 (Si_3N_4) 的电介质材料 18 图案化并被蚀刻,并在图 7F 中,如前所述形成欧姆接触金属。

[0039] 根据上述方法,栅极金属 17 和 p- 型 GaN 材料 15 自对准。此外,在该实施例中存在的从栅极朝向漏极接触延伸的 p- 型 AlGaIn 材料进一步降低栅极拐角处以及场板拐角处的电场,导致较高的击穿电压以及减少的栅极-漏极电荷 (Q_{gd})。

[0040] 参照图 8,现在描述本发明的第四实施例。本发明的该实施例类似于上述的第一实施例,除了使得 p- 型 GaN 材料 15 被蚀刻之外,结果材料的底部比材料的顶部宽超过 10%,形成斜边。

[0041] 为了获得 p- 型 GaN 材料 15 的斜边,对蚀刻化学进行改变。在优选实施例中,利用等离子体蚀刻,并且改变功率设定以便控制 p- 型 GaN 材料的坡度。因此,根据上述方法,p- 型 GaN 具有比顶部宽超过 10% 的基部。较宽的基部导致电子在栅极金属 17 和二维电子气之间沿着 pGaN 侧壁行进的较长路径。该较长路径导致较低的栅极泄漏。

[0042] 参照图 9,现在描述本发明的第五实施例。本发明的该实施例类似于上述的第一实施例,除了使得器件被蚀刻以便形成梯状栅极之外。

[0043] 该实施例的方法紧接图 3A-3C 的过程之后。紧接图 3C 中所示的步骤,将晶圆背向放置到蚀刻机中,蚀刻机仅仅对栅极金属层 17 进行蚀刻而不对器件的任意其它部分进行蚀刻。如图 9 中所示,最终的结构具有梯状轮廓,这导致电子沿着 p- 型 GaN 边缘从栅极金属 17 流动到二维电子气的较长电阻路径。这因此减小不希望的栅极泄漏电流,同时保持自对准结构的所有希望特性。

[0044] 参照图 10,现在描述本发明的第六实施例。该实施例基本是上述第四和第五实施例的组合,且包括梯状的栅极轮廓和具有斜边的 p- 型 GaN 材料两者。用于形成该结构的方法类似于关于第四和第五实施例所述的方法。该实施例增加了沿着栅极边缘的栅极电流路径,从而减小了栅极泄漏电流。

[0045] 参照图 11,现在描述本发明的第七实施例。本发明的该实施例类似于上述的第一实施例,除了 p- 型 GaN 材料 15 具有邻近 AlGaIn 阻挡的对称边缘。该实施例的方法紧接图

3A-3B的过程之后。紧接图 3B 中所示的步骤,进行自对准的栅极蚀刻,这样在蚀刻过程中改变蚀刻条件。进行上述的一种方法是改变在蚀刻过程中其上放置晶圆的卡盘的温度。由于等离子体与光刻胶反应,较高的卡盘温度导致形成更多的聚合物。这些聚合物有效地使得紧靠栅极金属侧壁的蚀刻减慢,从而形成凸出部分。较低的卡盘温度不产生明显的凸出部分,而较高的温度产生较宽的凸出部分。第七实施例还具有第三实施例的益处。p-型 GaN 凸出部分起到类似于第三实施例中的 p-型 AlGaN 的作用,用于降低二维电子气密度,降低栅极拐角处的电场,以及提高器件的击穿电压。

[0046] 参照图 12,现在描述本发明的第八实施例。该实施例基本是上述第五和第七实施例的组合,且包括梯状栅极轮廓和对称的凸出部分两者。用于形成该结构的方法类似于关于第五和第七实施例所述的方法。该实施例具有第五和第七实施例的优势,从而提供减小栅极泄漏电流的结构。

[0047] 在第九实施例中,通过在例如图 3A 中的顶部 EPI 层的生长过程中引入镁 (Mg) 杂质来形成 p-GaN 材料 15。镁是用于形成富含受体 (p-型) GaN 的最常用的杂质原子。

[0048] 在第十实施例中,镁杂质用氢补偿,形成半绝缘的 p-型 GaN 层而非传导层。具有半绝缘栅极具有如下一些优势。其中一个优势是减小栅极与源极或漏极之间的泄漏电流。另一优势是在 p-型 GaN 和 AlGaN 之间形成的二极管与在半绝缘 GaN 和 AlGaN 之间形成的二极管相比具有较低的正向压降。在该实施例的器件中,二极管正向压降足够高以使其不显著导电,直到二维电子气充分增强 (在 1V 和 5V 之间)。

[0049] 在第十一实施例中,在 GaN 栅极层 15 的生长过程中引入碳杂质而不使用镁。碳杂质对于 GaN 栅极层的电特性具有的影响与用氢补偿的镁类似。

[0050] 在第十二实施例中,用氢补偿的镁杂质与碳杂质一起使用。这导致半绝缘 GaN 栅极具有提高的电特性。

[0051] 上述说明和附图仅仅被认为是实现本文所对获得上述特征和优势的本发明特定实例的示例性说明。可对特定工艺条件进行改变和替换。因此,不应该认为在此所述的本发明实施例受到前述说明和附图的限制。

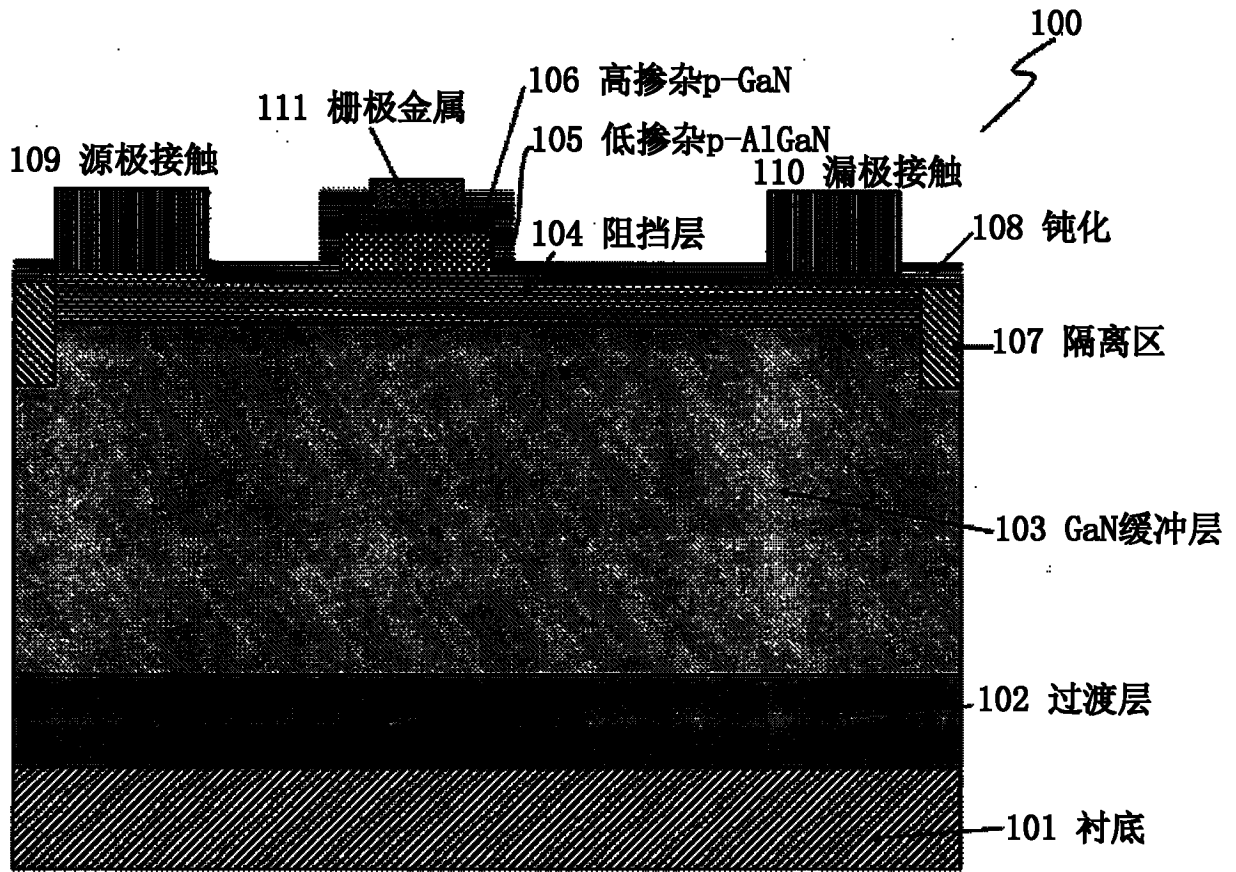


图1(现有技术)

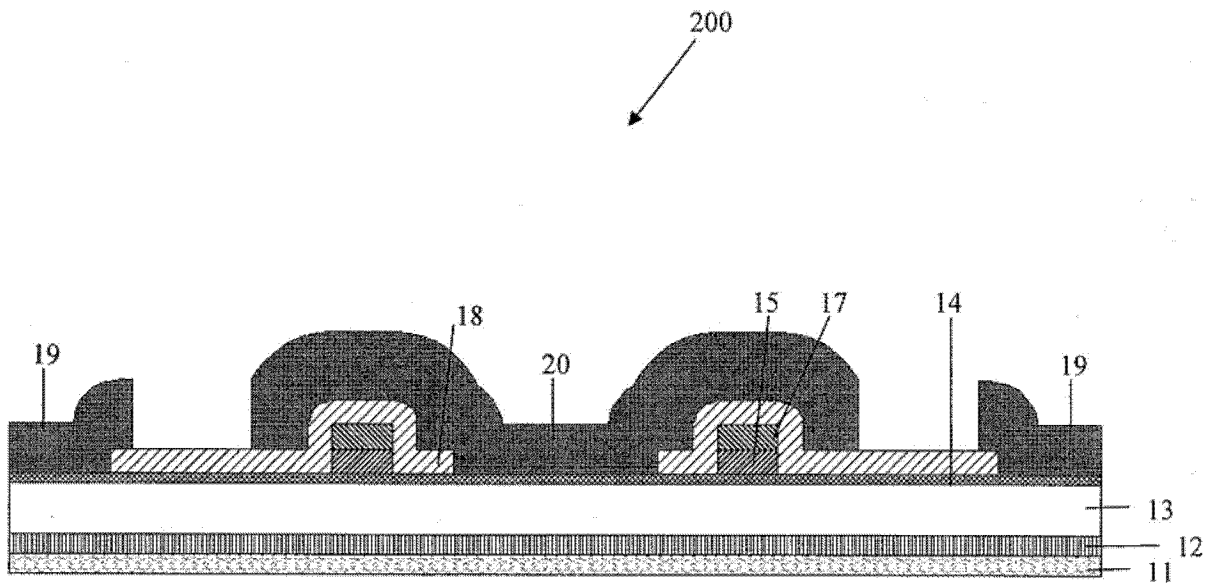


图2

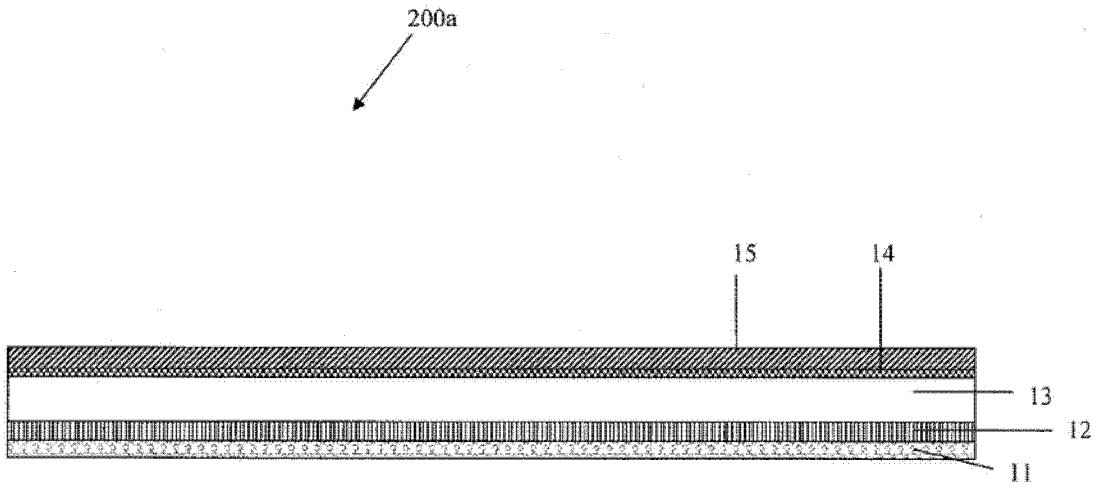


图 3A

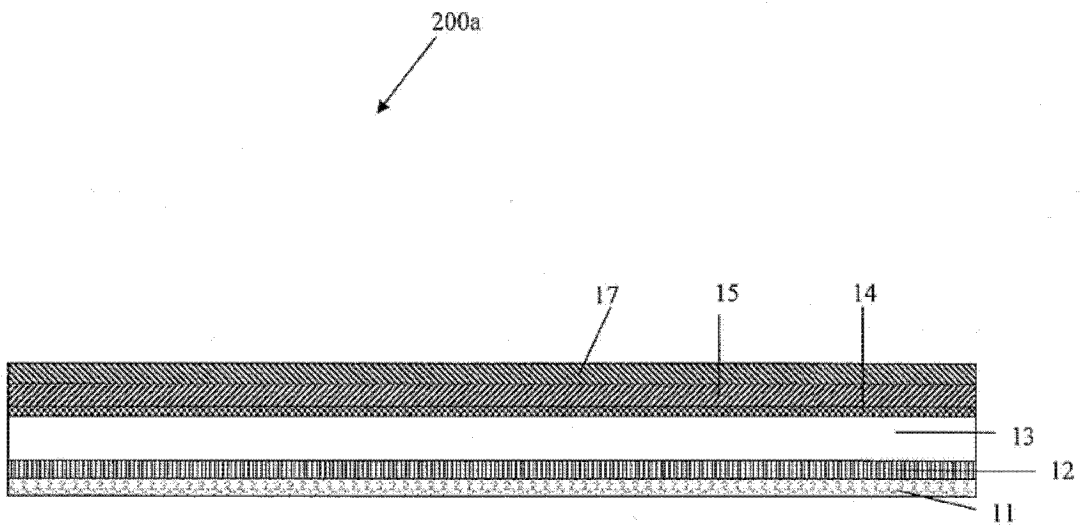


图 3B

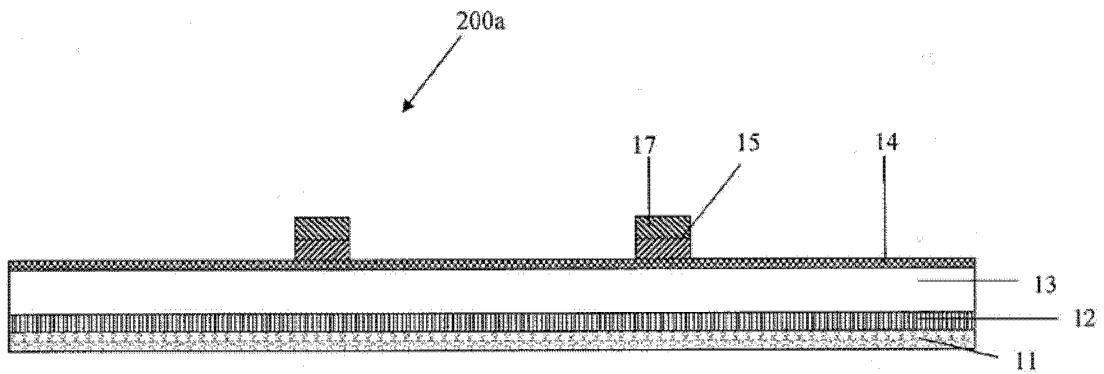


图 3C

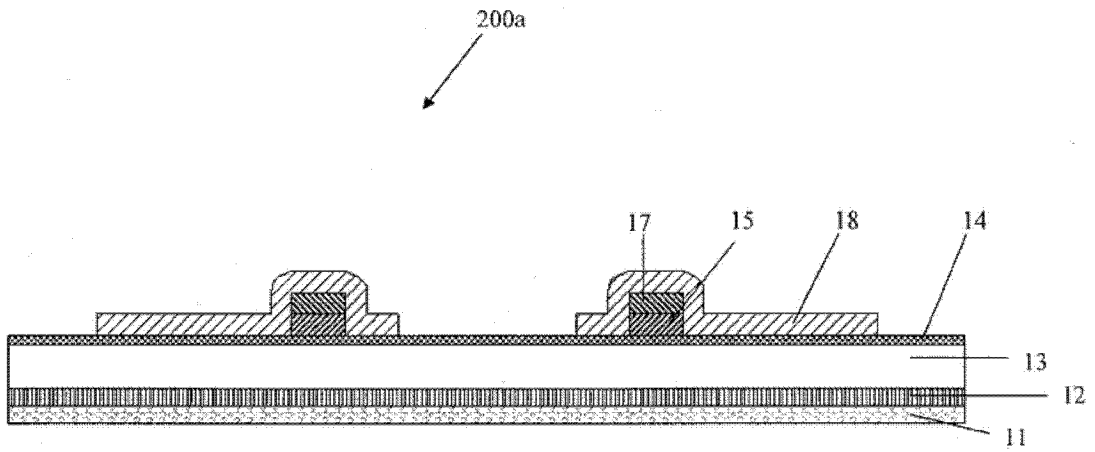


图 3D

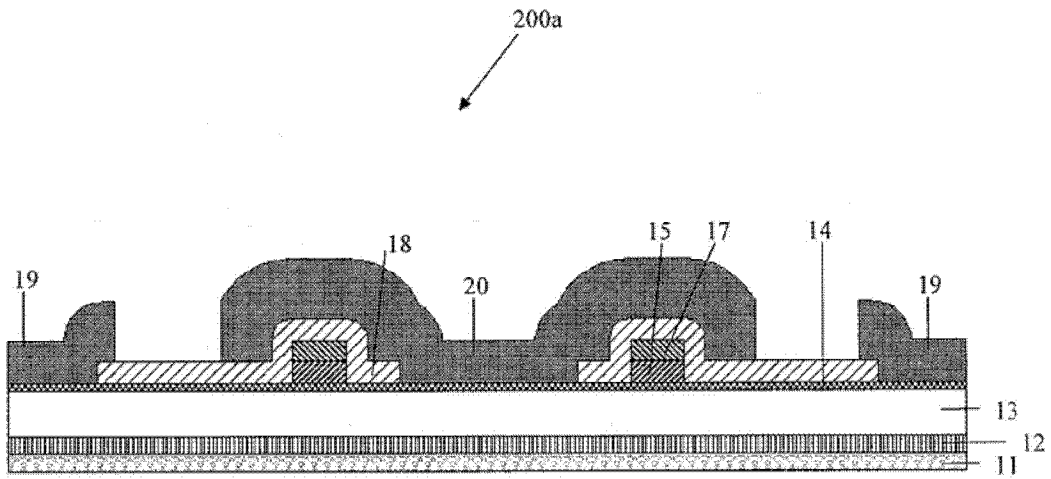


图 3E

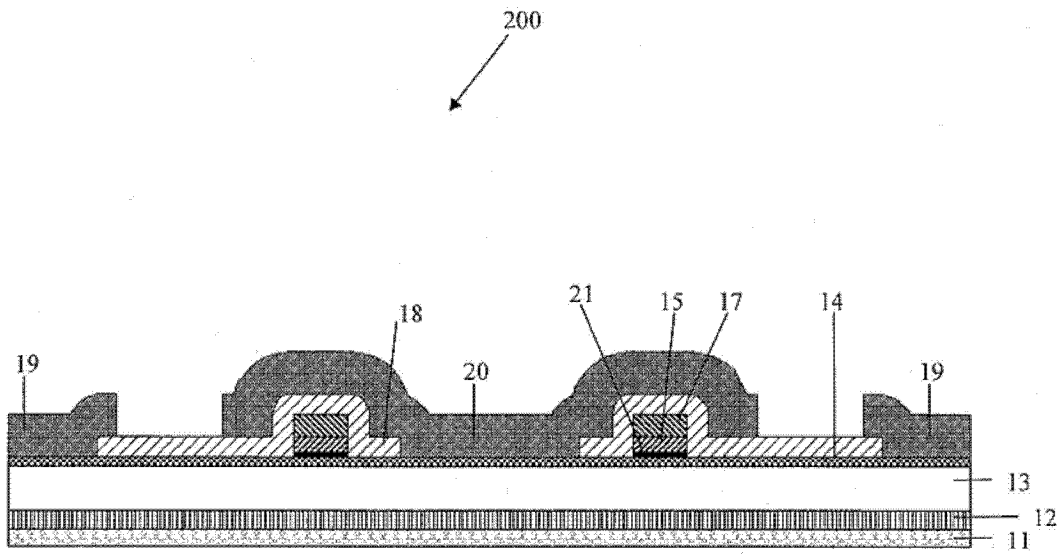


图 4

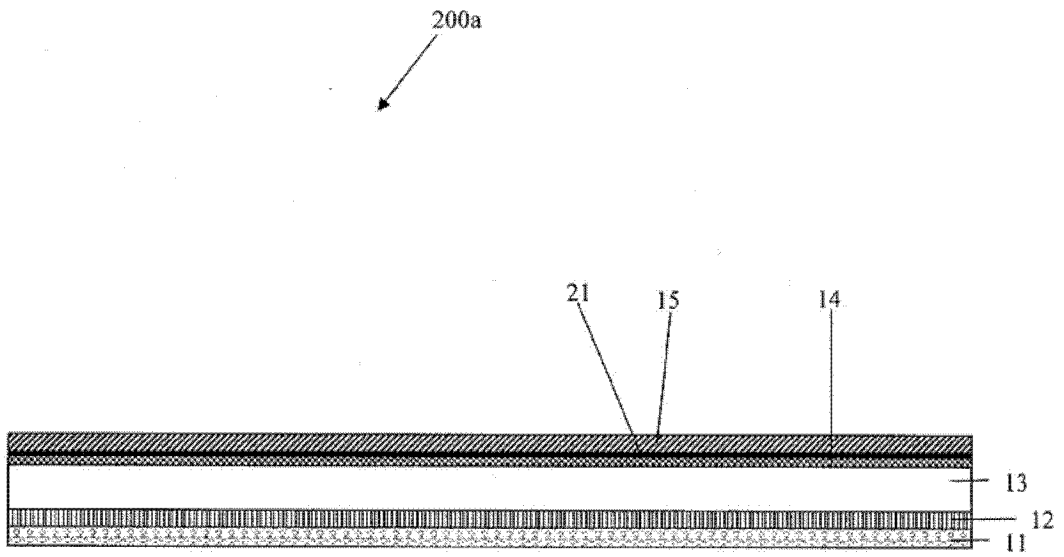


图 5A

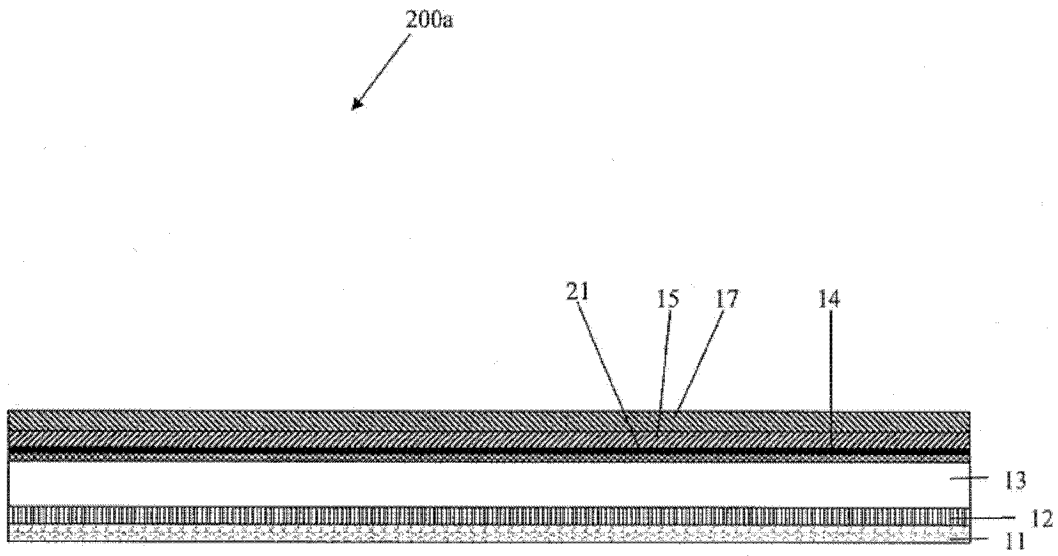


图 5B

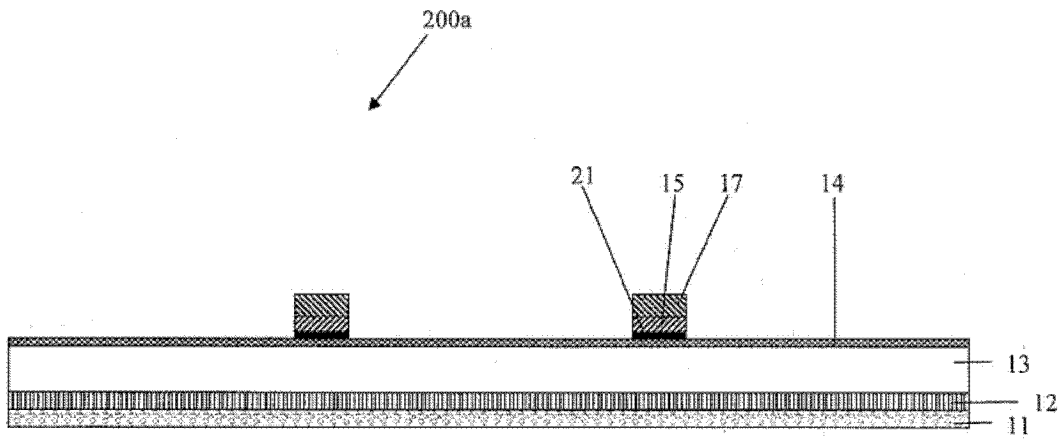


图 5C

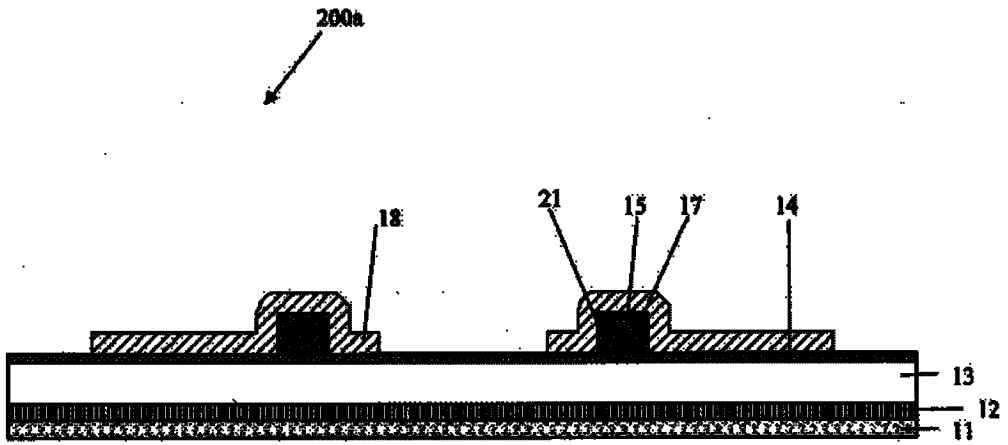


图 5D

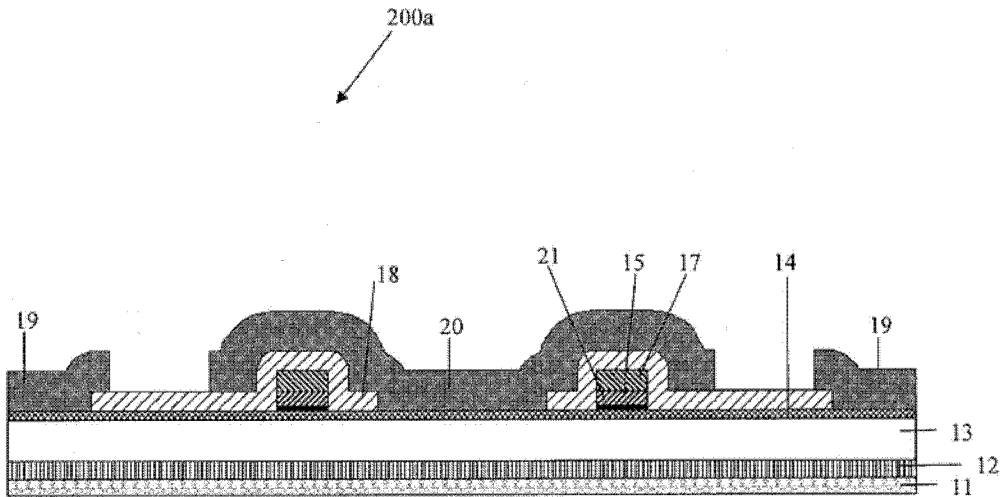


图 5E

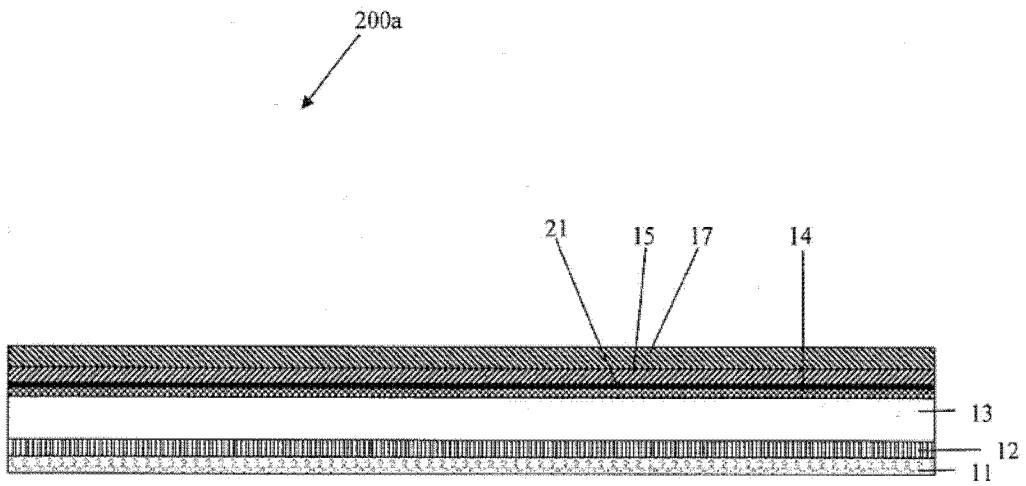


图 7B

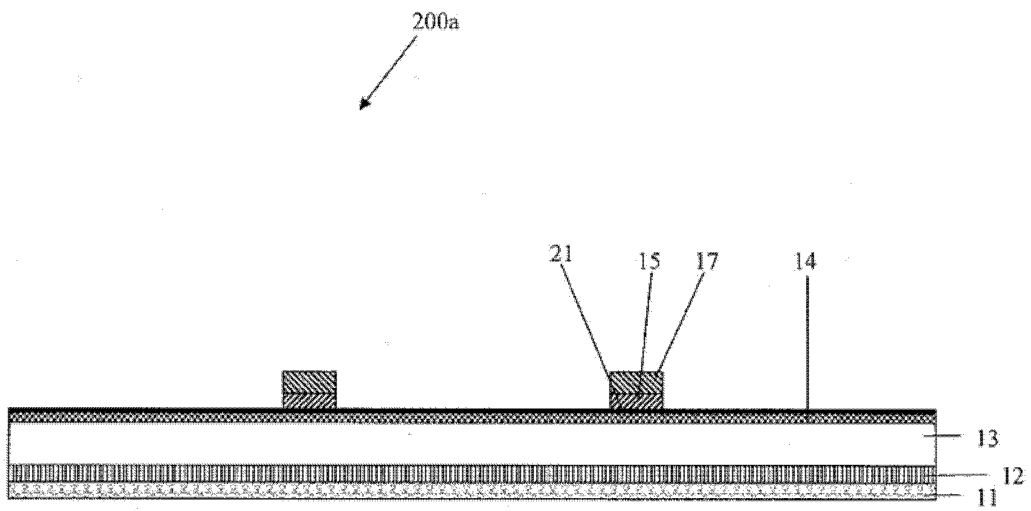


图 7C

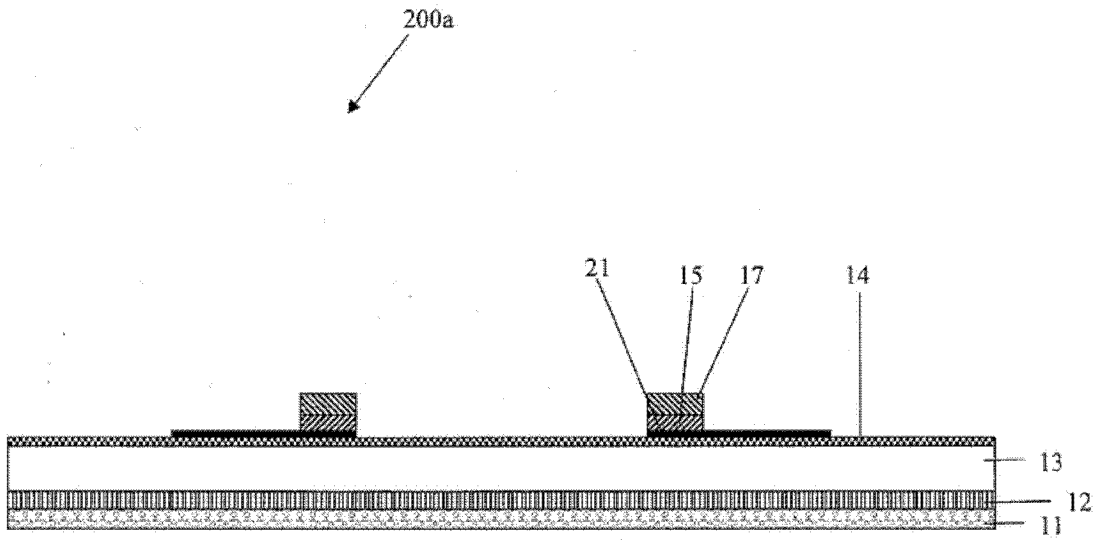


图 7D

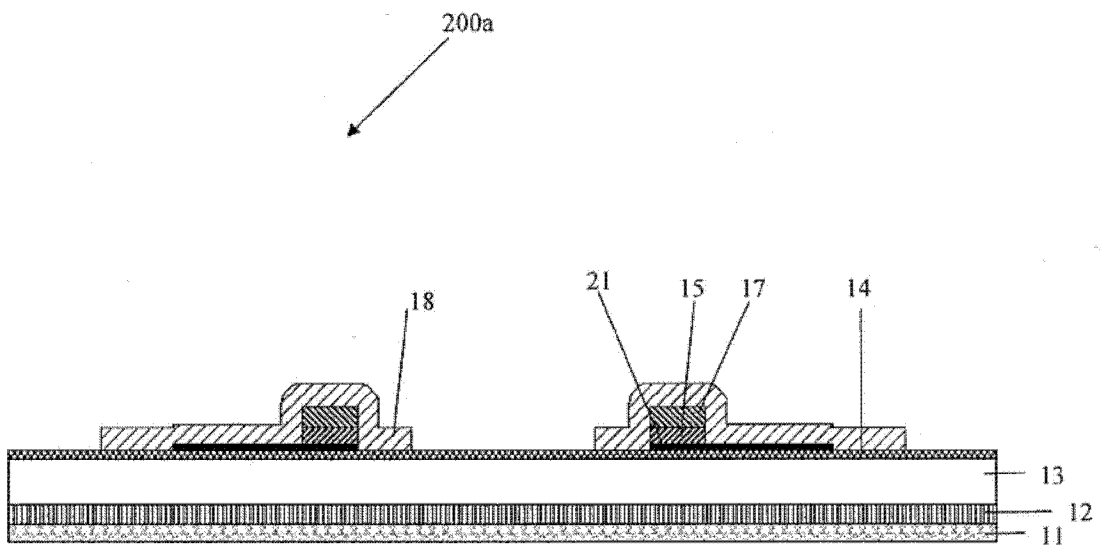


图 7E

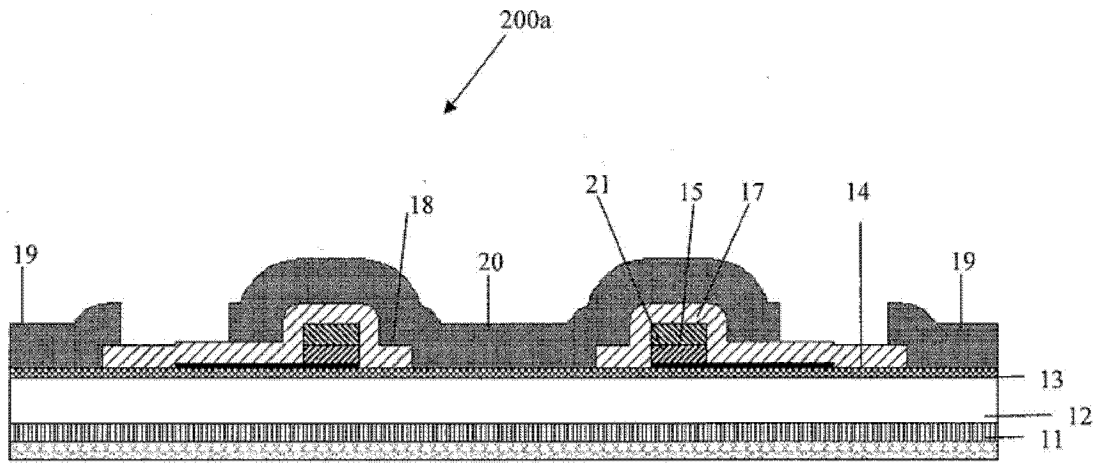


图 7F

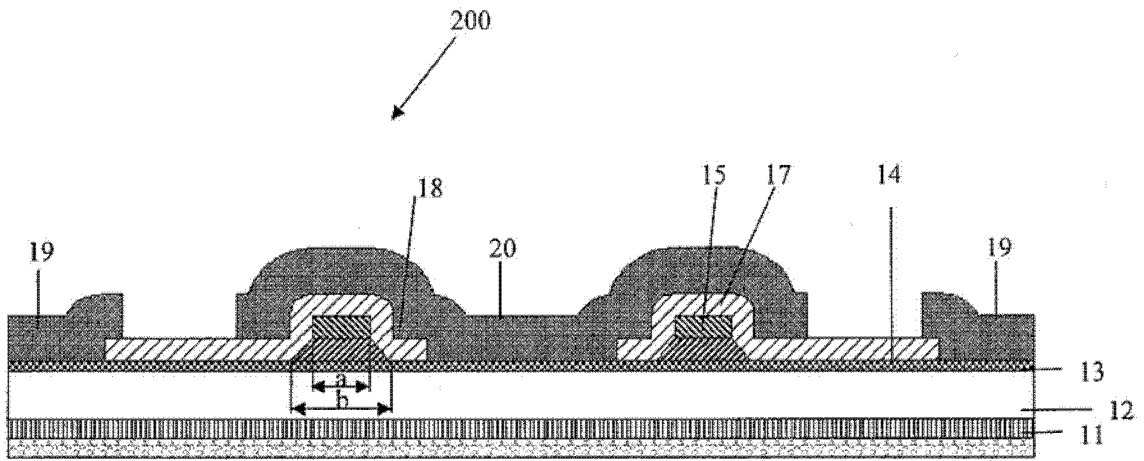


图 8

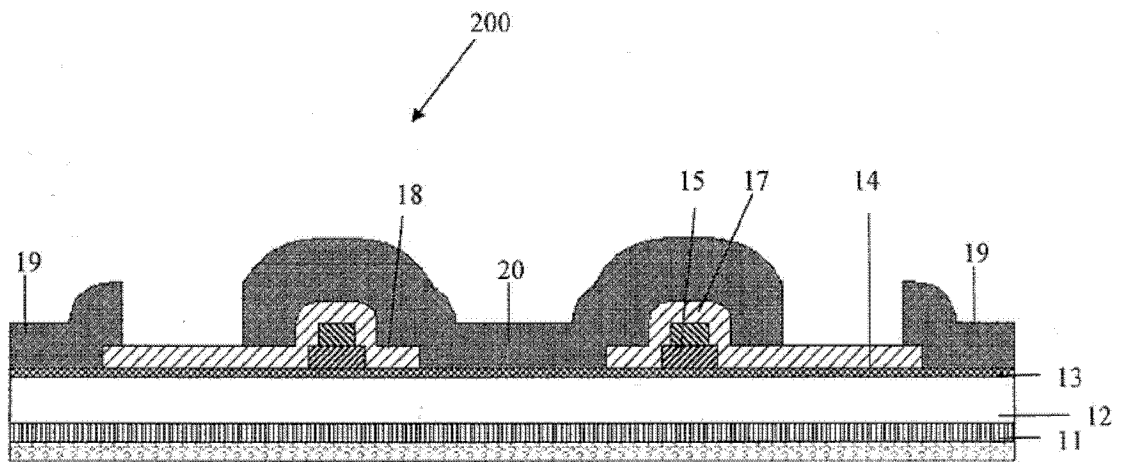


图 9

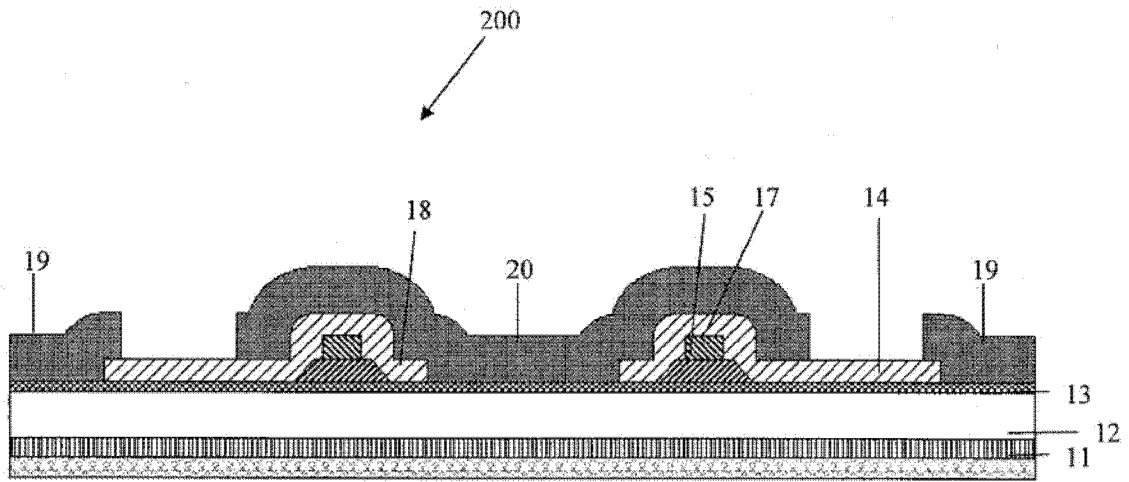


图 10

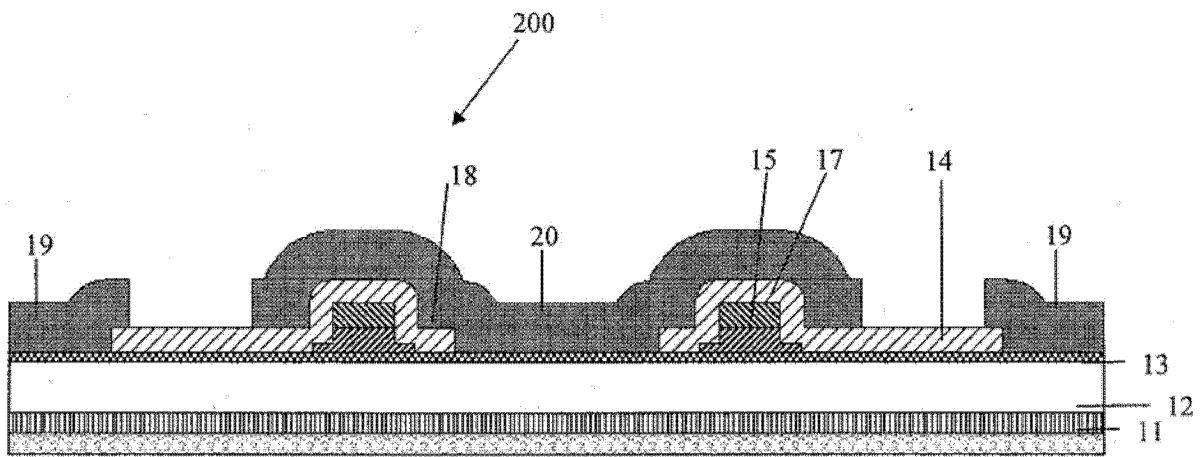


图 11

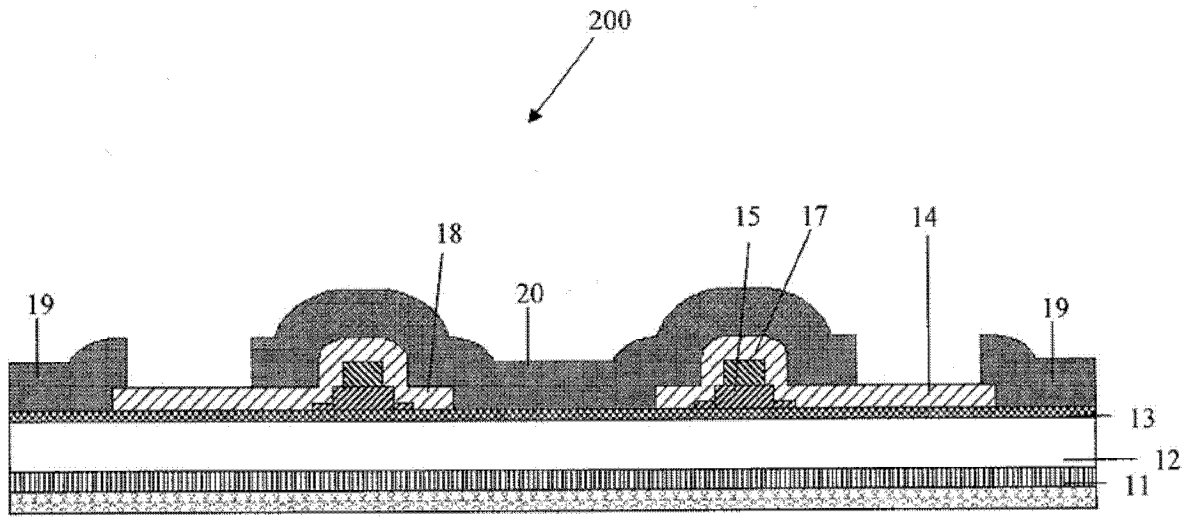


图 12