

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-158938
(P2004-158938A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO4N 5/232	HO4N 5/232	5C022
HO4N 5/92	HO4N 7/01	5C053
HO4N 7/01	HO4N 5/92	5C063

審査請求 未請求 請求項の数 9 O L (全 21 頁)

(21) 出願番号	特願2002-320591 (P2002-320591)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成14年11月5日 (2002.11.5)	(74) 代理人	100068087 弁理士 森本 義弘
		(72) 発明者	浅田 良次 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	船越 裕正 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		Fターム(参考)	5C022 AB51 AC00 AC69 5C053 GA18 GA19 KA03 KA08 KA09 KA12 KA22 LA01 5C063 BA04 BA10 CA05 CA14 CA16

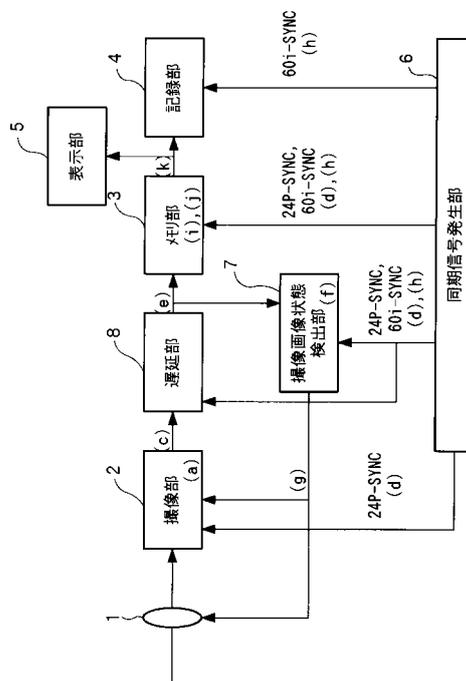
(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 フレーム周波数24Hzのプログレッシブ走査方式による24p撮像信号を、2:3プルダウン処理により、標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による60i信号に変換する撮像装置であって、画面中央部に横筋などを発生させず、画質劣化を抑えることが可能な撮像装置を提供する。

【解決手段】 撮像部2による24p撮像信号の出力タイミングが60i垂直同期信号の位相と一致しない場合には、遅延部8において、60i信号が(1/2)フィールド走査される時間分遅延させてメモリ部3に入力し、メモリ部3内部での24p撮像信号の書き込み動作を60i垂直同期信号に同期して行わせる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

フレーム周波数 24 Hz のプログレッシブ走査方式による 24 p 撮像信号を、2 : 3 プルダウン処理により、標準テレビジョン方式であるフィールド周波数 60 Hz のインターレース走査方式による 60 i 信号に変換する撮像装置であって、

24 p 撮像信号の垂直同期信号に同期して、(1 / 24) 秒ごとに、(1 / 30) 秒かけて 1 フレーム分の 24 p 撮像信号を出力する撮像部と、

60 i 信号の垂直同期信号の位相と一致するタイミングで前記撮像部から出力された 1 フレーム分の 24 p 撮像信号はそのまま出力し、一致しないタイミングで出力された 1 フレーム分の 24 p 撮像信号は、60 i 信号が (1 / 2) フィールド走査される時間分遅延させて出力する遅延部と、

前記遅延部から出力された 1 フレーム分の 24 p 撮像信号を (1 / 30) 秒かけて記憶領域へ書き込み、2 : 3 プルダウン処理により 24 p 撮像信号の 2 フレームを 5 フィールドの 60 i 信号に変換した所謂 2 : 3 プルダウン信号を、60 i 信号の垂直同期信号に同期して、(1 / 60) 秒ごとに出力するメモリ部と、

前記メモリ部からの前記 2 : 3 プルダウン信号を記録媒体に記録する記録部と、

前記メモリ部からの前記 2 : 3 プルダウン信号を表示する表示部と

を備えることを特徴とする撮像装置。

10

【請求項 2】

フレーム周波数 24 Hz のプログレッシブ走査方式による 24 p 撮像信号を、2 : 3 プルダウン処理により、標準テレビジョン方式であるフィールド周波数 60 Hz のインターレース走査方式による 60 i 信号に変換する撮像装置であって、

24 p 撮像信号の垂直同期信号が 60 i 信号の垂直同期信号の位相と一致する場合には、24 p 撮像信号の垂直同期信号に同期して、(1 / 30) 秒かけて 1 フレーム分の 24 p 撮像信号を出力し、一致しない場合には、60 i 信号が (1 / 2) フィールド走査される時間分遅延させて出力を開始する撮像部と、

前記撮像部から出力された 1 フレーム分の 24 p 撮像信号を (1 / 30) 秒かけて記憶領域へ書き込み、2 : 3 プルダウン処理により 24 p 撮像信号の 2 フレームを 5 フィールドの 60 i 信号に変換した所謂 2 : 3 プルダウン信号を、60 i 信号の垂直同期信号に同期して、(1 / 60) 秒ごとに出力するメモリ部と、

前記メモリ部からの前記 2 : 3 プルダウン信号を記録媒体に記録する記録部と、

前記メモリ部からの前記 2 : 3 プルダウン信号を表示する表示部と

を備えることを特徴とする撮像装置。

20

30

【請求項 3】

前記メモリ部において、2 : 3 プルダウン処理により 24 p 撮像信号の 2 フレームを 5 フィールドの 60 i 信号に変換するとともに、24 p 撮像信号の連続する複数フレームに相当する 60 i 信号のフレームを加算したミックス信号を生成し、2 : 3 プルダウン処理により変換された 5 番目のフィールドの 60 i 信号と置き換えて出力することを特徴とする請求項 1 もしくは 2 のいずれかに記載の撮像装置。

【請求項 4】

前記 5 番目のフィールドを含むフレームとその次のフレームを加算したミックス信号を生成することを特徴とする請求項 3 記載の撮像装置。

40

【請求項 5】

前記 5 番目のフィールドの位相と同位相のミックス信号を生成することを特徴とする請求項 3 もしくは 4 のいずれかに記載の撮像装置。

【請求項 6】

フレーム周波数 24 Hz のプログレッシブ走査方式による 24 p 撮像信号を、2 : 3 プルダウン処理により、標準テレビジョン方式であるフィールド周波数 60 Hz のインターレース走査方式による 60 i 信号に変換する撮像装置であって、

24 p 撮像信号の垂直同期信号に同期して、(1 / 24) 秒ごとに、(1 / 30) 秒かけ

50

て1フレーム分の24p撮像信号を出力する撮像部と、
 前記撮像部から出力された1フレーム分の24p撮像信号を(1/30)秒かけて記憶領域へ書き込み、2:3プルダウン処理により24p撮像信号の2フレームを5フィールドの60i信号に変換した所謂2:3プルダウン信号を、60i信号の垂直同期信号に同期して、(1/60)秒ごとに出力するメモリ部と、
 前記メモリ部からの前記2:3プルダウン信号を記録媒体に記録する記録部と、
 前記メモリ部からの前記2:3プルダウン信号を、5番目のフィールドを除去した元の24p撮像信号のフレームと1対1対応となる60i信号のフレームへと変換するとともに、このフレームの間隔が等間隔となるように黒レベルの信号を挿入した表示信号を生成して表示する表示部と

10

【請求項7】

フレーム周波数24Hzのプログレッシブ走査方式による24p撮像信号を、2:3プルダウン処理により、標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による60i信号に変換する撮像装置であって、
 24p撮像信号の垂直同期信号に同期して、(1/24)秒ごとに、(1/30)秒かけて1フレーム分の24p撮像信号を出力する撮像部と、
 前記撮像部から出力された1フレーム分の24p撮像信号の垂直帯域を制限し、(1/30)秒かけて記憶領域へ書き込み、2:3プルダウン処理により、この垂直帯域を制限した24p撮像信号の2フレームを5フィールドの60i信号に変換した所謂2:3プルダウン信号を、60i信号の垂直同期信号に同期して、(1/60)秒ごとに出力するメモリ部と、
 前記メモリ部からの前記2:3プルダウン信号を記録媒体に記録する記録部と、
 前記メモリ部からの前記2:3プルダウン信号を表示する表示部と
 を備えることを特徴とする撮像装置。

20

【請求項8】

前記メモリ部は、24p撮像信号の隣り合う垂直の2ラインを加算することで垂直帯域を制限することを特徴とする請求項7記載の撮像装置。

【請求項9】

請求項7もしくは8のいずれかに記載の撮像装置であって、前記メモリ部は、24p撮像信号の垂直帯域を制限後2:3プルダウン処理して得た2:3プルダウン信号と、垂直帯域を制限せずにそのまま2:3プルダウン処理して得た2:3プルダウン信号とを出力可能であり、前記記録部へは后者の2:3プルダウン信号を出力し、前記表示部へは前者の2:3プルダウン信号を出力することを特徴とする撮像装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映画などに使用されるフレーム周波数24Hzのプログレッシブ走査方式による撮像信号を生成することが可能であるとともに、この撮像信号を標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式によるインターレース信号へ変換することが可能な撮像装置に関する。

40

【0002】

【従来の技術】

近年のHD(High Definition)放送機器の発展により、VTR一体型撮像装置、所謂カムコーダにおいて、垂直解像度が標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による画像の約2倍となる画像を得ることができるようになった。このように、VTR一体型撮像装置において良質な画像を得ることが可能となったことを受け、VTR一体型撮像装置を用いた映画撮影などの動きが活発化してきた。

【0003】

50

このようなVTR一体型撮像装置などの撮像装置は、24コマ撮りのフィルムカメラのように24コマ/秒の静止画を撮像できるように、フレーム周波数24Hzのプログレッシブ走査方式で撮像を行うよう構成されている(例えば、特許文献1参照。)

【0004】

また、このような撮像装置は、フレーム周波数24Hzのプログレッシブ走査方式による撮像信号(以下、24p撮像信号と称す。)を2:3プルダウン処理して標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による画像信号(以下、60i信号と称す。)に変換し、ビデオテープに記録するよう構成されている。これは、60i信号に変換することにより、記録部を従来からあるもので構成することができ、さらに、記録した画像をその場で確認するためのVF(ビューファインダ)や外部モニターなどの表示部も従来からあるもので構成することができるので、プログレッシブ走査方式用のものを開発する必要がなく、価格を抑えることができるためである。なお、2:3プルダウン処理により60i信号に変換された所謂2:3プルダウン信号は、所謂逆2:3プルダウン処理を施すことでフレーム周波数24Hzのプログレッシブ走査方式による信号へ変換可能である。

10

【0005】

以下、従来の24p撮像信号を記録可能な撮像装置について説明する。図15は当該撮像装置の構成を示すブロック図である。

図15において、1は光学系レンズおよび光学絞りと機械シャッターからなるレンズ部、2はCCD(Charge Coupled Device)により構成される撮像部であり、蓄積電荷を順次走査で転送し(1/24)秒ごとに24p撮像信号を出力する。

20

【0006】

3は24p撮像信号を2:3プルダウン処理して標準テレビジョン方式の60i信号に変換し、所謂2:3プルダウン信号を出力するメモリ部であり、(1/60)秒ごとに、インターレース信号の奇数ライン(odd)および偶数ライン(even)を交互に出力する。

【0007】

4はメモリ部3からの2:3プルダウン信号に60i信号の60i垂直同期信号(60i-SYNC)を付加したビデオ信号を生成し、ビデオテープなどの記録媒体に記録する記録部である。

30

【0008】

5はメモリ部3からの2:3プルダウン信号に60i信号の60i垂直同期信号(60i-SYNC)を付加した表示信号を生成して表示するVFなどの表示部である。

【0009】

6は24p撮像信号用の垂直同期信号(以下、24p垂直同期信号と称す。)と60i信号用の垂直同期信号(以下、60i垂直同期信号と称す。)を発生する同期信号発生部、7は撮像画像の状態を検出し、レンズ部1と撮像部2へ制御信号を出力する撮像画像状態検出部である。

【0010】

以上のように構成された撮像装置の動作について、図15、図16を用いて説明する。図16は当該撮像装置の動作を説明するための図であり、図15に示す(a)~(d)、(f)~(k)の信号状態と動作を示している。

40

【0011】

レンズ部1を通して入力された光学像は、撮像部2により24p撮像信号として出力される。撮像部2は、図16(a)に示すように、24p垂直同期信号に同期して(1/24)秒ごとに24p撮像信号を出力する。信号の出力方法としては、図16(b)に示すように(1/24)秒の時間をかけて出力する方法と、図16(c)に示すように(1/24)秒よりも短い時間で間欠的に出力する方法がある。なお、図16(b)、(c)に示す番号は、24p撮像信号のフレーム番号を示している。また、図16(c)に示す斜線部は信号無出力期間(ブランキング期間)を示している。

50

【0012】

図16(c)に示す方法は、CCD (Charge Coupled Device) を用いた撮像装置に適用されている。CCDを用いた場合、蓄積電荷の転送時間が長くなると画質劣化が激しく、(1/30)秒以下の時間で出力(転送)することが望ましいためである。以下、図16(c)に示す方法で、(1/24)秒ごとに、(1/30)秒の時間をかけて24p撮像信号を出力する場合について説明する。

【0013】

撮像画像状態検出部7は、撮像部2から出力される24p撮像信号から1フレームごとの輝度信号と色差信号の平均やピーク値などの撮像画像状態を検出し(図16(f)参照。)、そのデータに基づきレンズ部1および撮像部2へ必要な制御データ(制御信号)を出力する(図16(g)参照。)

10

【0014】

メモリ部3は図16(i)、(j)に示す書込み動作、読出し動作を行う。すなわち、(1/30)秒の時間をかけて図示しない記憶領域へ24p撮像信号を書き込み、2:3プルダウン処理を施して24p撮像信号の2フレームを60i信号の5フィールドに変換する。そして、60i垂直同期信号に同期して、(1/60)秒ごとにインターレース信号の奇数ライン(odd)および偶数ライン(even)を交互に読み出し、2:3プルダウン信号として記録部4および表示部5へ出力する。つまり、例えば24p撮像信号のフレーム1、2を60i信号の1-odd(以下、oddを単にoと称す。)、1-even(以下、evenを単にeと称す。)、2-o、2-e、2-oに変換して出力する。

20

【0015】

同期信号発生部6は、当該撮像装置が上記動作を行うための24p垂直同期信号(図16(d)参照。)と60i垂直同期信号(図16(h)参照。)を各部に出力する。

【0016】

しかしながら、従来の撮像装置においては、24p撮像信号は、図16(c)に示すように、(1/24)秒ごとに、かつ(1/30)秒の時間をかけて撮像部から出力され、2:3プルダウン信号は、図16(j)に示すように、(1/60)秒ごとにメモリ部から読み出される。そのため24p撮像信号の撮像部からの出力タイミング、つまり24p撮像信号のメモリ部への書き込みタイミングと2:3プルダウン信号のメモリ部からの出力タイミングに差が生じ、1フィールドの中央付近の信号をメモリ部から出力中に、24p撮像信号のメモリ部への書き込みが開始される場合がある。つまり、表示位置が(1/2)フィールド付近の2:3プルダウン信号をメモリ部から出力中に、24p撮像信号がブランキング期間から有効期間へ変化する場合がある。

30

【0017】

このように、表示位置が(1/2)フィールド付近の2:3プルダウン信号をメモリ部から出力中に、24p撮像信号のメモリ部への書き込みが開始されると、24p撮像信号のブランキング期間から有効期間への変化により、メモリ部内部の各回路に信号レベルの差が生じる。そして、この信号レベルの差を原因とする横筋が、表示位置(1/2)フィールド付近、つまり画面中央部付近に発生し、画質が劣化するという問題があった。

【0018】

また、60i信号を処理する記録部と表示部は従来からの構成のものを流用すればよいが、撮像画像状態検出部は24p撮像信号を処理せねばならず、撮像画像状態検出部が60i信号に対する処理を基本に設計されている場合、24p撮像信号用の回路をさらに持つか、60i信号用の回路と兼用する場合は処理動作が複雑になるという問題があった。

40

【0019】

また、2:3プルダウンの問題点として、24p撮像信号の各フレームの再現に偏りがあり、動きがぎくしゃくするという問題がある。これは、24p撮像信号の2フレームを60i信号の5フィールドに変換するので、例えば、(2-o、2-e)、(2-o、3-e)のように、同じフィールドを用いたフレームが表示されるためである。

【0020】

50

さらに、垂直解像度が標準テレビジョン方式であるフィールド周波数 60 Hz のインターレース走査方式による画像信号の約 2 倍となるような垂直帯域の高い 24 p 撮像信号を 60 i 信号に変換した場合、この 60 i 信号の折り返し信号の垂直帯域が広帯域となるため、フリッカが大きくなり、画面がちらつき見難くなるという問題がある。

【0021】

【特許文献 1】

特開 2002 - 152569 号公報

【0022】

【発明が解決しようとする課題】

本発明は、上記問題点に鑑み、24 p 撮像信号の出力が 60 i 垂直同期信号の位相と一致しない場合には、60 i 信号が (1/2) フィールド走査される時間分出力タイミングを遅延させ、メモリ部内部での 24 p 撮像信号の書き込み動作が 60 i 垂直同期信号に同期して行われるようすることで、メモリ部内部の各回路の信号レベルに差が生じないようにすることにより、画面中央部に横筋などを発生させず、画質劣化を抑える撮像装置を提供することを目的とする。

10

【0023】

さらに、上述したように 24 p 撮像信号の出力を遅延させれば、撮像画像状態検出部による処理動作も 60 i 垂直同期信号に同期して行われるようになるので、撮像画像状態検出部の 60 i 信号用の回路を用いて簡単に 24 p 撮像信号に対する撮像画像検出処理を行うことが可能となり、24 p 撮像信号用の回路を追加する必要がなくなる。

20

【0024】

また、2:3 プルダウン処理により 24 p 撮像信号の 2 フレームを 60 i 信号の 5 フィールドに変換するとともに、元の 24 p 撮像信号の連続する複数フレームに相当する 60 i 信号のフレームを加算することにより、2:3 プルダウン処理により変換された 5 番目のフィールドの前後のフィールドを補間するミックス信号を生成し、当該 5 番目のフィールドと置き換えることで、2:3 プルダウンの問題点である動きのぎくしゃく感を抑える撮像装置を提供することを目的とする。

【0025】

また、2:3 プルダウン処理により変換された 5 番目のフィールドを除去した元の 24 p 撮像信号のフレームと 1 対 1 対応となる 60 i 信号のフレームへ 2:3 プルダウン信号を変換し、このフレームの間隔が等間隔となるように黒レベルの信号を挿入した表示信号を生成することにより、2:3 プルダウンの問題点である動きのぎくしゃく感を抑え、かつ、フィルムカメラで撮影したような機械的シャッタのちらつきを再現する撮像装置を提供することを目的とする。

30

【0026】

また、24 p 撮像信号の垂直帯域を制限して 2:3 プルダウン信号 (60 i 信号) の折り返し信号の垂直帯域を狭めることにより、大幅にフリッカを低減し、画質を向上する撮像装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

40

本発明の請求項 1 記載の撮像装置は、フレーム周波数 24 Hz のプログレッシブ走査方式による 24 p 撮像信号を、2:3 プルダウン処理により、標準テレビジョン方式であるフィールド周波数 60 Hz のインターレース走査方式による 60 i 信号に変換する撮像装置であって、24 p 撮像信号の垂直同期信号に同期して、(1/24) 秒ごとに、(1/30) 秒かけて 1 フレーム分の 24 p 撮像信号を出力する撮像部と、60 i 信号の垂直同期信号の位相と一致するタイミングで前記撮像部から出力された 1 フレーム分の 24 p 撮像信号はそのまま出力し、一致しないタイミングで出力された 1 フレーム分の 24 p 撮像信号は、60 i 信号が (1/2) フィールド走査される時間分遅延させて出力する遅延部と、前記遅延部から出力された 1 フレーム分の 24 p 撮像信号を (1/30) 秒かけて記憶領域へ書き込み、2:3 プルダウン処理により 24 p 撮像信号の 2 フレームを 5 フィールド

50

ドの60i信号に変換した所謂2:3プルダウン信号を、60i信号の垂直同期信号に同期して、(1/60)秒ごとに出力するメモリ部と、前記メモリ部からの前記2:3プルダウン信号を記録媒体に記録する記録部と、前記メモリ部からの前記2:3プルダウン信号を表示する表示部とを備えることを特徴とする。

【0028】

本発明の請求項2記載の撮像装置は、フレーム周波数24Hzのプログレッシブ走査方式による24p撮像信号を、2:3プルダウン処理により、標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による60i信号に変換する撮像装置であって、24p撮像信号の垂直同期信号が60i信号の垂直同期信号の位相と一致する場合には、24p撮像信号の垂直同期信号に同期して、(1/30)秒かけて1フレーム分の24p撮像信号を出力し、一致しない場合には、60i信号が(1/2)フィールド走査される時間分遅延させて出力を開始する撮像部と、前記撮像部から出力された1フレーム分の24p撮像信号を(1/30)秒かけて記憶領域へ書き込み、2:3プルダウン処理により24p撮像信号の2フレームを5フィールドの60i信号に変換した所謂2:3プルダウン信号を、60i信号の垂直同期信号に同期して、(1/60)秒ごとに出力するメモリ部と、前記メモリ部からの前記2:3プルダウン信号を記録媒体に記録する記録部と、前記メモリ部からの前記2:3プルダウン信号を表示する表示部とを備えることを特徴とする。

10

【0029】

本発明の請求項3記載の撮像装置は、請求項1もしくは2のいずれかに記載の撮像装置であって、前記メモリ部において、2:3プルダウン処理により24p撮像信号の2フレームを5フィールドの60i信号に変換するとともに、24p撮像信号の連続する複数フレームに相当する60i信号のフレームを加算したミックス信号を生成し、2:3プルダウン処理により変換された5番目のフィールドの60i信号と置き換えて出力することを特徴とする。

20

【0030】

本発明の請求項4記載の撮像装置は、請求項3記載の撮像装置であって、前記5番目のフィールドを含むフレームとその次のフレームを加算したミックス信号を生成することを特徴とする。

【0031】

本発明の請求項5記載の撮像装置は、請求項3もしくは4のいずれかに記載の撮像装置であって、前記5番目のフィールドの位相と同位相のミックス信号を生成することを特徴とする。

30

【0032】

本発明の請求項6記載の撮像装置は、フレーム周波数24Hzのプログレッシブ走査方式による24p撮像信号を、2:3プルダウン処理により、標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による60i信号に変換する撮像装置であって、24p撮像信号の垂直同期信号に同期して、(1/24)秒ごとに、(1/30)秒かけて1フレーム分の24p撮像信号を出力する撮像部と、前記撮像部から出力された1フレーム分の24p撮像信号を(1/30)秒かけて記憶領域へ書き込み、2:3プルダウン処理により24p撮像信号の2フレームを5フィールドの60i信号に変換した所謂2:3プルダウン信号を、60i信号の垂直同期信号に同期して、(1/60)秒ごとに出力するメモリ部と、前記メモリ部からの前記2:3プルダウン信号を記録媒体に記録する記録部と、前記メモリ部からの前記2:3プルダウン信号を、5番目のフィールドを除去した元の24p撮像信号のフレームと1対1対応となる60i信号のフレームへと変換するとともに、このフレームの間隔が等間隔となるように黒レベルの信号を挿入した表示信号を生成して表示する表示部とを備えることを特徴とする。

40

【0033】

本発明の請求項7記載の撮像装置は、フレーム周波数24Hzのプログレッシブ走査方式による24p撮像信号を、2:3プルダウン処理により、標準テレビジョン方式であるフ

50

フィールド周波数 60 Hz のインターレース走査方式による 60 i 信号に変換する撮像装置であって、24 p 撮像信号の垂直同期信号に同期して、 $(1/24)$ 秒ごとに、 $(1/30)$ 秒かけて 1 フレーム分の 24 p 撮像信号を出力する撮像部と、前記撮像部から出力された 1 フレーム分の 24 p 撮像信号の垂直帯域を制限し、 $(1/30)$ 秒かけて記憶領域へ書き込み、2 : 3 プルダウン処理により、この垂直帯域を制限した 24 p 撮像信号の 2 フレームを 5 フィールドの 60 i 信号に変換した所謂 2 : 3 プルダウン信号を、60 i 信号の垂直同期信号に同期して、 $(1/60)$ 秒ごとに出力するメモリ部と、前記メモリ部からの前記 2 : 3 プルダウン信号を記録媒体に記録する記録部と、前記メモリ部からの前記 2 : 3 プルダウン信号を表示する表示部とを備えることを特徴とする。

【0034】

本発明の請求項 8 記載の撮像装置は、請求項 7 記載の撮像装置であって、前記メモリ部は、24 p 撮像信号の隣り合う垂直の 2 ラインを加算することで垂直帯域を制限することを特徴とする。

【0035】

本発明の請求項 9 記載の撮像装置は、請求項 7 もしくは 8 のいずれかに記載の撮像装置であって、前記メモリ部は、24 p 撮像信号の垂直帯域を制限後 2 : 3 プルダウン処理して得た 2 : 3 プルダウン信号と、垂直帯域を制限せずにそのまま 2 : 3 プルダウン処理して得た 2 : 3 プルダウン信号とを出力可能であり、前記記録部へは後者の 2 : 3 プルダウン信号を出力し、前記表示部へは前者の 2 : 3 プルダウン信号を出力することを特徴とする。

【0036】

以上のように、本発明によれば、24 p 撮像信号の出力が 60 i 垂直同期信号の位相と一致しない場合には、60 i 信号が $(1/2)$ フィールド走査される時間分出力タイミングを遅延させることにより、メモリ部内部での 24 p 撮像信号の書き込み動作を 60 i 垂直同期信号に同期して行わせることができる。このようにすれば、メモリ部内部の各回路の信号レベルに差が生じないので、画面中央部に横筋などを発生させず、画質劣化を抑えることが可能となる。

【0037】

さらに、上述したように 24 p 撮像信号の出力を遅延させれば、撮像画像状態検出部による処理動作も 60 i 垂直同期信号に同期して行われるようになるので、撮像画像状態検出部の 60 i 信号用の回路を用いて簡単に 24 p 撮像信号に対する撮像画像検出処理を行うことが可能となり、24 p 撮像信号用の回路を追加する必要がなくなる。

【0038】

また、2 : 3 プルダウン処理により 24 p 撮像信号の 2 フレームを 60 i 信号の 5 フィールドに変換するとともに、元の 24 p 撮像信号の連続する複数フレームに相当する 60 i 信号のフレームを加算することにより、2 : 3 プルダウン処理により変換された 5 番目のフィールドの前後のフィールドを補間するミックス信号を生成し、当該 5 番目のフィールドと置き換えることで、2 : 3 プルダウンの問題点である動きのぎくしゃく感を抑えることが可能となる。

【0039】

また、2 : 3 プルダウン処理により変換された 5 番目のフィールドを除去した元の 24 p 撮像信号のフレームと 1 対 1 対応となる 60 i 信号のフレームへ 2 : 3 プルダウン信号を変換し、このフレームの間隔が等間隔となるように黒レベルの信号を挿入した表示信号を生成することにより、2 : 3 プルダウンの問題点である動きのぎくしゃく感を抑えることが可能となり、さらに、フィルムカメラで撮影したような機械的シャッタのちらつきを再現できるようになる。

【0040】

また、24 p 撮像信号の垂直帯域を制限して 2 : 3 プルダウン信号 (60 i 信号) の折り返し信号の垂直帯域を狭めることにより、大幅にフリッカを低減し、画質を向上させることが可能となる。

10

20

30

40

50

【 0 0 4 1 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を用いて説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしも以下の実施の形態に限定されるものではない。

【 0 0 4 2 】

(実施の形態 1)

図 1 は本発明の実施の形態 1 による撮像装置の構成を示すブロック図である。なお、図 1 5 に基づいて説明した部材に対応する部材には同一の符号を付して説明を省略する。

【 0 0 4 3 】

図 1 において、1 は光学系レンズおよび光学絞りと機械シャッタからなるレンズ部、2 は CCD (Charge Coupled Devise) により構成される撮像部であり、蓄積電荷を順次走査で転送し (1 / 2 4) 秒ごとに 2 4 p 撮像信号を出力する。 10

【 0 0 4 4 】

3 は 2 4 p 撮像信号を (1 / 3 0) 秒かけて図示しない記憶領域に書き込み、2 : 3 プルダウン処理して標準テレビジョン方式の 6 0 i 信号に変換し、所謂 2 : 3 プルダウン信号を出力するメモリ部であり、(1 / 6 0) 秒ごとに、インターレース信号の奇数ライン (o d d) および偶数ライン (e v e n) を交互に出力する。

【 0 0 4 5 】

4 はメモリ部 3 からの 2 : 3 プルダウン信号に 6 0 i 信号の 6 0 i 垂直同期信号 (6 0 i - S Y N C) を付加したビデオ信号を生成し、ビデオテープなどの記録媒体に記録する記録部である。 20

【 0 0 4 6 】

5 はメモリ部 3 からの 2 : 3 プルダウン信号に 6 0 i 信号の 6 0 i 垂直同期信号 (6 0 i - S Y N C) を付加した表示信号を生成して表示する V F などの表示部である。

【 0 0 4 7 】

6 は 2 4 p 撮像信号用の垂直同期信号 (以下、2 4 p 垂直同期信号と称す。) と 6 0 i 信号用の垂直同期信号 (以下、6 0 i 垂直同期信号と称す。) を発生する同期信号発生部、7 は撮像画像の状態を検出し、レンズ部 1 と撮像部 2 へ制御信号を出力する撮像画像状態検出部である。

【 0 0 4 8 】

8 は撮像部 2 からの 2 4 p 撮像信号を遅延させてメモリ部 3 へ出力する遅延部である。なお、表示部に撮影中の画像を表示するだけでなく、外部のモニタなどにも撮影中の画像を表示できるようにしてもよいし、また、記録媒体に記録した 6 0 i 信号を再生して外部へ出力できるようにしてもよい。 30

【 0 0 4 9 】

本実施の形態 1 と従来例との相違点は、遅延部 8 を備えた点であり、その他各部については概略同じであり、その動作も同様な動作である。

以上のように構成された本実施の形態 1 による撮像装置の動作について、図 1、図 2 を用いて説明する。図 2 は当該撮像装置の動作を説明するための図であり、図 1 に示す (a) ~ (k) の信号状態と動作を示している。 40

【 0 0 5 0 】

レンズ部 1 を通して入力された光学像は、撮像部 2 により 2 4 p 撮像信号として出力される。撮像部 2 は、図 2 (a) に示すように、2 4 p 垂直同期信号に同期して (1 / 2 4) 秒ごとに 2 4 p 撮像信号を出力する。信号の出力方法としては、従来例と同様に、(1 / 2 4) 秒の時間をかけて出力する方法 (図 2 (b) 参照。) と、(1 / 2 4) 秒よりも短い時間で間欠的に出力する方法 (図 2 (c) 参照。) がある。なお、図 2 (b)、(c) に示す番号は、2 4 p 撮像信号のフレーム番号を示している。また、図 2 (c) に示す斜線部は信号無出力期間 (ブランキング期間) を示している。

【 0 0 5 1 】

本実施の形態 1 においても、従来例と同様に、図 2 (c) に示す方法で、(1 / 2 4) 秒 50

ごとに、(1/30)秒の時間をかけて24p撮像信号を出力する場合について説明する。

【0052】

遅延部8は、撮像部2からの24p撮像信号を、24p垂直同期信号(図2(d)参照。)と60i垂直同期信号(図2(h)参照。)の位相が一致する場合は遅延せずそのまま出力し、一致しない場合は、60i信号が(1/2)フィールド走査される時間分遅延させて出力する。つまり、60i垂直同期信号と一致するタイミングで撮像部2から24p撮像信号が出力された場合にはそのまま出力し、一致しない場合は、60i垂直同期信号と一致するタイミングでメモリ部3への書き込みが開始されるように遅延させて出力する(図2(e)、(i)参照。)

10

【0053】

これにより図2(e)に示す信号がメモリ部3および撮像画像状態検出部7に出力される(図2(e)中、横線部分が遅延期間。)。撮像画像状態検出部7は、60i垂直同期信号と一致するタイミングで、従来例と同様に撮像画像状態を検出し(図2(f)参照。)、図2(g)に示すように、60i垂直同期信号と一致するタイミングで、レンズ部1および撮像部2へ必要な制御データ(制御信号)を出力する。

【0054】

メモリ部3は図2(i)、(j)に示す書き込み動作、読出し動作を行う。すなわち、60i垂直同期信号と一致しないタイミングで撮像部2から出力された24p撮像信号についても、遅延部8により、60i信号が(1/2)フィールド走査される時間分の遅延を与えることにより、60i垂直同期信号と一致するタイミングでメモリ部3への書き込みが開始される。

20

【0055】

記録部4および表示部5へは、図2(k)に示すように、従来例と同様、2:3プルダウン信号が出力される。

このように、遅延部8の処理により、撮像画像状態検出部7による撮像画像状態検出処理および制御信号出力、並びにメモリ部3の書き込み動作を、60i信号の垂直同期信号と同期して行わせることができる。

【0056】

なお、遅延部8は、同期信号発生部6からの24p垂直同期信号および60i垂直同期信号を検出し、24p垂直同期信号と60i垂直同期信号の位相が一致するか否かを判断することにより、24p撮像信号を遅延するか否かを判断する。

30

【0057】

以上のように、本実施の形態1によれば、撮像画像状態検出部7による撮像画像状態検出処理および制御信号出力を60i信号の垂直同期信号と同期して行うことができるため、撮像画像状態検出部が60i信号に対する撮像画像状態検出処理を基本的に設計されている場合であっても、60i信号用の撮像画像状態検出処理回路を用いた24p撮像信号の撮像画像検出処理が複雑とならず、したがって24p撮像信号用の回路を追加する必要もなくなる。

【0058】

また、メモリ部3の書き込み動作も、60i信号の垂直同期信号と同期して行うことができるため、メモリ部内部の各回路の信号レベルに差が生じることを防ぐことができる。これにより、表示位置が(1/2)フィールド付近、つまり画面中央部付近での横筋発生を回避でき、画質劣化を防止することができる。

40

【0059】

(実施の形態2)

図3は本発明の実施の形態2による撮像装置の構成を示すブロック図である。なお、図1、15に基づいて説明した部材に対応する部材には同一の符号を付して説明を省略する。

【0060】

本実施の形態2と実施の形態1及び従来例との相違点は、遅延部は備えず、撮像部9にお

50

いて、24 p 撮像信号の出力タイミングを遅延できるようにした点にあり、その他各部については概略同じであり、その動作も同様な動作である。

【0061】

また、図4は撮像部9の内部構成の一例を示すブロック図であり、10は撮像部9内部に設置された撮像信号駆動回路、11は24 p 垂直同期信号、60 i 垂直同期信号を基に、後述する読み出しパルス、転送パルス1～3を出力可能な撮像信号駆動パルス発生回路、12は撮像信号駆動パルス発生回路11から出力される転送パルス1、2、3を切り換えて出力する切換回路、13は24 p 垂直同期信号、60 i 垂直同期信号の互いの位相関係を判定し切換回路12を制御する同期信号位相判定回路である。

【0062】

以上のように構成された本実施の形態2による撮像装置の動作について、図3、図4、図5を用いて説明する。なお、撮像部以外の動作は実施の形態1と同様であるので、説明を省略する。

【0063】

図5は、当該撮像装置の動作を説明するための図であり、図3、4に示す(a)～(e)、(h)の信号状態と動作を示している。

撮像信号駆動パルス発生回路11は、同期信号発生回路6からの24 p 垂直同期信号(図5(d)参照。)および60 i 垂直同期信号(図5(h)参照。)を基に、24 p 撮像信号の読み出しを開始するための読み出しパルス(図5(a)参照。)と、24 p 撮像信号を(1/24)秒の期間をかけて転送するための転送パルス1(図5(b)参照。)、もしくは(1/30秒)の期間をかけて転送するための転送パルス2(図5(c)参照。)、さらには転送パルス2の転送開始を、60 i 信号が(1/2)フィールド走査される時間分遅延させた転送パルス3(図示せず。)を出力可能であり、切換回路12は同期信号位相判定回路13の判定結果に応じて転送パルス1～3を切り換えて出力する。本実施の形態では、転送パルス2、3を切り換えて出力する。

【0064】

同期信号位相判定回路13は、同期信号発生回路6からの24 p 垂直同期信号および60 i 垂直同期信号の位相を検出し、24 p 垂直同期信号が60 i 垂直同期信号の位相と一致する場合には、切換回路12が転送パルス2を選択する制御信号を出力し、一致しない場合には、切換回路12が転送パルス3を選択する制御信号を出力する。

【0065】

以上の動作により、撮像部9から出力される24 p 撮像信号は図5(e)に示すようになる。つまり、24 p 撮像信号を60 i 垂直同期信号に同期するタイミングで出力することができ、実施の形態1のように遅延部を備えなくとも、実施の形態1と同様の効果を得ることができる。

【0066】

すなわち、撮像画像状態検出部7による撮像画像状態検出処理及び制御信号出力を60 i 信号の垂直同期信号と同期して行うことができるため、撮像画像状態検出部が60 i 信号に対する撮像画像状態検出処理を基本に設計されている場合であっても、60 i 信号用の撮像画像状態検出処理回路を用いた24 p 撮像信号の撮像画像検出処理が複雑とならず、したがって24 p 撮像信号用の回路を追加する必要もなくなる。

【0067】

また、メモリ部3の書込み動作も、60 i 信号の垂直同期信号と同期して行うことができるため、メモリ部内部の各回路の信号レベルに差が生じることを防ぐことができる。これにより、表示位置が(1/2)フィールド付近、つまり画面中央部付近での横筋発生を回避でき、画質劣化を防止することができる。

【0068】

加えて、遅延部を備えなくとも良いので、実施の形態1より回路規模を小さくでき、また低コスト化を図ることができる。

(実施の形態3)

10

20

30

40

50

図 6 は本発明の実施の形態 3 による撮像装置の構成を示すブロック図である。なお、図 1、15 に基づいて説明した部材に対応する部材には同一の符号を付して説明を省略する。

【0069】

本実施の形態 3 と実施の形態 1 及び従来例との相違点は、メモリ部 14 において、2 : 3 プルダウン信号の 5 番目のフィールド (24 p 撮像信号の 2 フレームを 60 i 信号の 5 フィールドに変換した最後のフィールド) を、当該 5 番目のフィールド周辺 (当該 5 番目のフィールドも含む) のフレーム (60 i 信号) をミックスしたミックス信号により置き換えるようにした点にあり、その他各部については概略同じであり、その動作も同様な動作である。

【0070】

図 7 はメモリ部 14 の内部構成の一例を示すブロック図であり、15 は 24 p 撮像信号に 2 : 3 プルダウン処理を施し 60 i 信号に変換して所謂 2 : 3 プルダウン信号を出力する 2 : 3 プルダウン変換回路、16 は 60 i 信号の任意のフレームをミックスして 60 i 信号の 1 フィールドの信号 (ミックス信号) を生成するミックス回路、17 は 2 : 3 プルダウン変換回路 15 から 2 : 3 プルダウン信号とミックス回路 16 からミックス信号を切り換えて出力する切換回路、18 は切換回路 17 を制御する切換コントロール回路である。

10

【0071】

以上のように構成された本実施の形態 3 による撮像装置の動作について、図 6、図 7、図 8 を用いて説明する。図 8 は、当該撮像装置の動作を説明するための図であり、図 6、7 に示す (a) ~ (k1)、(k2) の信号状態と動作を示している。なお、(a) ~ (j) までの動作および信号状態は、実施の形態 1 と全く同様であり、説明は省略する。

20

【0072】

メモリ部 14 に図 8 (e) に示す信号が入力されると、2 : 3 プルダウン変換回路 15 は、実施の形態 1 と同様、図 8 (i)、(j) に示す書込み動作、および読出し動作を行い 2 : 3 プルダウン信号を出力する。ミックス回路 16 は、元の 24 p 撮像信号の連続する複数フレームに相当する 60 i 信号、例えば (2 - e、2 - o)、(3 - e、3 - o) のフレームの信号を加算してミックス信号を出力する。このとき、置き換える 2 : 3 プルダウン信号の 5 番目のフィールドの位相と同位相のミックス信号を出力するようにする。例えば、置き換えるフィールドが奇数ライン、偶数ラインかに合わせて演算フィルタを選択して加算を行う。

30

【0073】

切換回路 17 は、切換コントロール回路 18 の制御により、2 : 3 プルダウン変換回路 15 の出力とミックス回路 16 の出力を切り換えて出力する。

切換コントロール回路 18 は、2 : 3 プルダウン信号の 5 番目のフィールドがミックス回路 16 により生成されたミックス信号と置き換わるように (図 8 (k2) 参照。) 切換回路 17 を制御する。なお、図 8 (k2) に示す信号は、演算による遅延は省略している。

【0074】

以上のように、本実施の形態 3 によれば、元の 24 p 撮像信号の複数フレームに相当する 60 i 信号のフレームを加算し、2 : 3 プルダウン信号の 5 番目のフィールドの前後のフィールドを補間するフィールド (ミックス信号) を生成し、当該 5 番目のフィールドと置き換えることにより、動きがぎくしゃくするという 2 : 3 プルダウンの問題点を軽減できる。

40

【0075】

なお、ミックス回路は、複数フレーム分の信号を用いなくとも、動きのぎくしゃく感を低減できれば、例えば 5 番目のフィールドを含むフレームとその次のフレームを加算するだけでもよい。

【0076】

(実施の形態 4)

図 9 は本発明の実施の形態 4 による撮像装置の構成を示すブロック図である。なお、図 1

50

5に基づいて説明した部材に対応する部材には同一の符号を付して説明を省略する。

【0077】

本実施の形態4と従来例との相違点は、同期信号発生部6において、表示専用の垂直同期信号(60i-SYNC2)を発生するようにし、表示部19において、メモリ部3から入力された2:3プルダウン信号を、2:3プルダウン信号の5番目のフィールド(24p撮像信号の2フレームを60i信号の5フィールドに変換した最後のフィールド)を除去した元の24p撮像信号のフレームと1対1対応となる60i信号のフレームへと変換し、このフレームの間隔が等間隔となるように各フレーム間に任意レベルの信号を挿入し、上記表示専用の垂直同期信号を付加して表示信号を生成するようにした点にあり、その他各部については概略同じであり、その動作も同様な動作である。

10

【0078】

また、図10は表示部19の内部構成の一例を示すブロック図であり、20はメモリ部3から入力された2:3プルダウン信号を、60i信号が(1/2)フィールド走査される時間分遅延させる遅延回路、21はメモリ部3から入力された2:3プルダウン信号、遅延回路20からの信号、および任意レベルの信号を切り換えて出力する切換回路、22は切換回路21からの出力信号に、表示専用の垂直同期信号(60i-SYNC2)を付加する加算回路、23は切換回路21の切り換え動作を制御するタイミングパルス発生回路である。

【0079】

以上のように構成された本実施の形態4による撮像装置の動作について、図9、図10、図11を用いて説明する。なお、同期信号発生部と表示部以外の動作は従来例と同様であるので説明を省略する。

20

【0080】

図11は当該撮像装置の動作を説明するための図であり、図9、10に示す(a)、(c)、(d)、(k1)~(k4)、(h1)、(h2)の信号状態と動作を示している。

【0081】

表示部19および記録部4には、メモリ部3から図11(k1)に示す2:3プルダウン信号が入力される。ここで、表示部19はこの信号を以下のように変換する。まず、遅延回路20で2:3プルダウン信号を、60i信号が(1/2)フィールド走査される時間分遅延させる(図11(k2)参照)。切換回路21は、元の2:3プルダウン信号と、この遅延された信号と、任意レベル(例えば黒レベル)の信号とを切り換えて、図11(k3)に示す信号を出力する。すなわち、2:3プルダウン信号を、2:3プルダウン信号の5番目のフィールドを除去した元の24p撮像信号のフレームと1対1対応となる60i信号のフレームへと変換し、そのフレーム間隔が等間隔となるように任意レベルの信号を挿入した信号となるように切り換える。

30

【0082】

タイミングパルス発生回路23は、所定の切換パルスを発生することにより切換回路21を制御し、図11(k3)に示す信号が出力されるようにする。すなわち、60i垂直同期信号1(図11(h1)参照。)と、60i垂直同期信号1を、60i信号が(1/2)フィールド走査される時間分遅延した信号とを基にして、所定の切換パルスを発生する。

40

【0083】

加算回路22は、表示素子、例えばブラウン管などで、切換回路21の出力信号(図11(k3)に示す信号)の表示が適切になるように、図11(h2)に示す60i垂直同期信号2を切換回路21の出力信号に付加する。この60i垂直同期信号2は、フレーム間隔が等間隔となるように挿入された任意レベルの信号期間の長さに合うように、60i垂直同期信号のその期間の垂直走査期間を短くしたものである。

【0084】

以上のように、本実施の形態4によれば、2:3プルダウン信号を、2:3プルダウン信号の5番目のフィールドを除去した元の24p撮像信号と1対1対応の60i信号のフレ

50

ームへと変換するとともに、このフレームの間隔を等間隔とすることにより、元の24p撮像信号のフレームと1対1対応で、かつ同じ信号間隔の信号を形成することができ、動きがぎくしゃくするという2:3プルダウンの問題点を軽減できる。

【0085】

また、任意レベルの信号として黒レベルの信号を用いれば、フィルムカメラで撮影するときのように、機械的なシャッタのちらつき(黒レベル)も再現することができる。

【0086】

なお、本実施の形態4では、2:3プルダウン信号を元の24p撮像信号と1対1対応の60i信号へと変換するのに、遅延回路20、切換え回路21、タイミングパルス発生回路23を用いたが、同様な動作であればこの例に限らない。

10

【0087】

(実施の形態5)

図12は本発明の実施の形態5による撮像装置の構成を示すブロック図である。なお、図1、15に基づいて説明した部材に対応する部材には同一の符号を付して説明を省略する。

【0088】

本実施の形態5と実施の形態1及び従来例との相違点は、メモリ部24内部に、24p撮像信号の垂直帯域を制限するLPF(ローパスフィルタ)を設け、入力された24p撮像信号の垂直帯域を制限した後2:3プルダウン処理を行うようにした点にあり、その他各部については概略同じであり、その動作も同様な動作である。

20

【0089】

また、図13はメモリ部24の内部構成の一例を示すブロック図であり、25は24p撮像信号に垂直帯域の制限を施す垂直LPF回路(垂直帯域制限用ローパスフィルタ)、26は入力された元の24p撮像信号と垂直LPF回路25からの出力信号とを切り換えて出力する切換回路、27は24p撮像信号に2:3プルダウン処理を施し60i信号に変換して所謂2:3プルダウン信号を出力する2:3プルダウン変換回路、28は切換回路26を制御する切換コントロール回路である。

【0090】

以上のように構成された本実施の形態5による撮像装置の動作について、図12、図13、図14を用いて説明する。

30

図14は、垂直LPF回路25による24p撮像信号の垂直帯域制限を説明するための図である。

【0091】

24p撮像信号の垂直解像度が標準テレビジョン方式のインターレース走査方式による画像信号の約2倍となる場合、図14(a)1に示すように、24p撮像信号の垂直帯域特性は高くなる。このように垂直帯域の高い24p撮像信号を、標準テレビジョン方式の2倍の垂直走査周波数(960TV本)で標本化すると、折り返し雑音が斜線部で示すように発生する。

【0092】

このように垂直帯域が高く、折り返し信号に折り返し雑音が発生する24p撮像信号を2:3プルダウン処理して得た2:3プルダウン信号(60i信号)を、標準テレビジョン方式の垂直走査周波数480TV本で標本化したときの折り返し信号は、図14(a)の点線で示すように、垂直帯域が高く、かつ広帯域な信号となる。

40

【0093】

通常、標準テレビジョン方式による信号を480TV本の周波数で標本化したときの折り返し信号は、フィールド毎に位相が異なるのでモニタおよび人間の目でキャンセルされるように作用する。しかし、垂直帯域の高い信号を標本化した場合には、垂直帯域が広帯域なものとなるため、折り返し信号はフリッカとして検知され、画面がちらつき見難くなるという問題が生じる。

【0094】

50

そのため、垂直解像度が標準テレビジョン方式の約2倍となる24p撮像信号を2:3プルダウン処理して得た60i信号を表示すると、上述したように折り返し信号はフリッカとして検知され、画面がちらつき見難くなるという問題が生じる。

【0095】

そこで、本実施の形態5においては、図14(c) 2 に示すように垂直帯域を制限する垂直LPF回路を設け、24p撮像信号の垂直帯域をこの垂直LPF回路により制限した後に2:3プルダウン処理するようにする。つまり、図14(b)に示すように24p撮像信号の垂直帯域を1から2へ制限し、上記折り返し雑音が生じないようにしてから2:3プルダウン処理するようにする。具体的には、例えば、24p撮像信号の隣り合う垂直の2ラインを加算するようにすれば、24p撮像信号の垂直帯域を1から2へ制限することができる。

10

【0096】

このように垂直帯域を制限し、折り返し雑音が生じないようにすれば、図14(d)の点線で示すように、2:3プルダウン処理して得た60i信号の折り返し信号の垂直帯域を適当に狭めることができるので、大幅にフリッカを低減でき、画を向上できる。

【0097】

切換回路26は元の24p撮像信号と、この垂直帯域制限が施された信号とを切り換えて2:3プルダウン変換回路27へ出力する。2:3プルダウン変換回路27は、他の実施の形態と同様に24p撮像信号を60i信号に変換し、記録部4および表示部5へ出力する。

20

【0098】

なお、表示部5や外部モニタへ出力される2:3プルダウン信号のみ、垂直帯域制限の施された信号となるよう、切換回路26を制御するようにしてもよい。

また、記録媒体に記録された60i信号を、逆2:3プルダウン変換により2:3プルダウン信号をプログレッシブ信号に戻す機能を有する外部装置などに用いる場合には、垂直帯域制限の施されていない広帯域の垂直帯域特性を持つ2:3プルダウン信号を記録媒体に記録するように切換回路26を制御するようにしてもよいし、記録媒体に記録された60i信号をそのまま用いる場合には、垂直帯域制限を施した2:3プルダウン信号を記録媒体に記録するように切換回路26を制御するようにしてもよい。このように適宜自由に切り換えを選択してよいことは言うまでもない。

30

【0099】

以上のように、本実施の形態5によれば、24p撮像信号を2:3プルダウン処理して60i信号に変換することにより生じるフリッカを低減することができ、画質劣化や表示部でのちらつきを抑えることができる。

【0100】**【発明の効果】**

以上のように、本発明によれば、フレーム周波数24Hzのプログレッシブ走査方式による24p撮像信号を、2:3プルダウン処理により、標準テレビジョン方式であるフィールド周波数60Hzのインターレース走査方式による60i信号に変換する撮像装置において、24p撮像信号の出力が60i垂直同期信号の位相と一致しない場合には、60i信号が(1/2)フィールド走査される時間分出力タイミングを遅延させることにより、メモリ部内部での24p撮像信号の書き込み動作を60i垂直同期信号に同期して行わせることができる。このようにすれば、メモリ部内部の各回路の信号レベルに差が生じないので、画面中央部に横筋などを発生させず、画質劣化を抑えることが可能となる。

40

【0101】

さらに、上述したように24p撮像信号の出力を遅延させれば、撮像画像状態検出部による処理動作も60i垂直同期信号に同期して行われるようになるので、撮像画像状態検出部の60i信号用の回路を用いて簡単に24p撮像信号に対する撮像画像検出処理を行うことが可能となり、24p撮像信号用の回路を追加する必要がなくなる。

【0102】

50

また、2：3プルダウン処理により24p撮像信号の2フレームを60i信号の5フィールドに変換するとともに、元の24p撮像信号の連続する複数フレームに相当する60i信号のフレームを加算することにより、2：3プルダウン処理により変換された5番目のフィールドの前後のフィールドを補間するミックス信号を生成し、当該5番目のフィールドと置き換えることで、2：3プルダウンの問題点である動きのぎくしゃく感を抑えることが可能となる。

【0103】

また、2：3プルダウン処理により変換された5番目のフィールドを除去した元の24p撮像信号のフレームと1対1対応となる60i信号のフレームへ2：3プルダウン信号を変換し、このフレームの間隔が等間隔となるように黒レベルの信号を挿入した表示信号を生成することにより、2：3プルダウンの問題点である動きのぎくしゃく感を抑えることが可能となり、さらに、フィルムカメラで撮影したような機械的シャッタのちらつきを再現できるようになる。

10

【0104】

また、24p撮像信号の垂直帯域を制限して2：3プルダウン信号(60i信号)の折り返し信号の垂直帯域を狭めることにより、大幅にフリッカを低減し、画質を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による撮像装置の構成を示すブロック図

【図2】本発明の実施の形態1による撮像装置の動作を説明するための図

20

【図3】本発明の実施の形態2による撮像装置の構成を示すブロック図

【図4】本発明の実施の形態2による撮像装置の撮像部の内部構成の一例を示すブロック図

【図5】本発明の実施の形態2による撮像装置の動作を説明するための図

【図6】本発明の実施の形態3による撮像装置の構成を示すブロック図

【図7】本発明の実施の形態3による撮像装置のメモリ部の内部構成の一例を示すブロック図

【図8】本発明の実施の形態3による撮像装置の動作を説明するための図

【図9】本発明の実施の形態4による撮像装置の構成を示すブロック図

【図10】本発明の実施の形態4による撮像装置の表示部の内部構成の一例を示すブロック図

30

【図11】本発明の実施の形態4による撮像装置の動作を説明するための図

【図12】本発明の実施の形態5による撮像装置の構成を示すブロック図

【図13】本発明の実施の形態5による撮像装置のメモリ部の内部構成の一例を示すブロック図

【図14】本発明の実施の形態5による撮像装置の垂直LPF回路の垂直帯域制限を説明するための図

【図15】従来の撮像装置の構成を示すブロック図

【図16】従来の撮像装置の動作を説明するための図

【符号の説明】

40

1 レンズ

2、9 撮像部

3、14、24 メモリ部

4 記録部

5、19 表示部

6 同期信号発生部

7 撮像画像状態検出部

8 遅延部

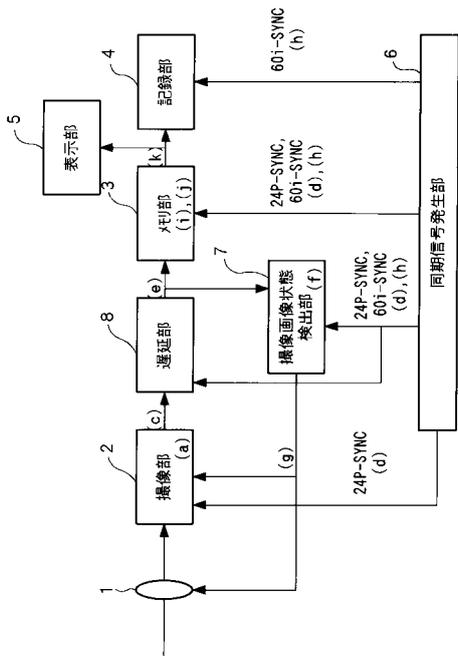
10 撮像信号駆動回路

11 撮像信号駆動パルス発生回路

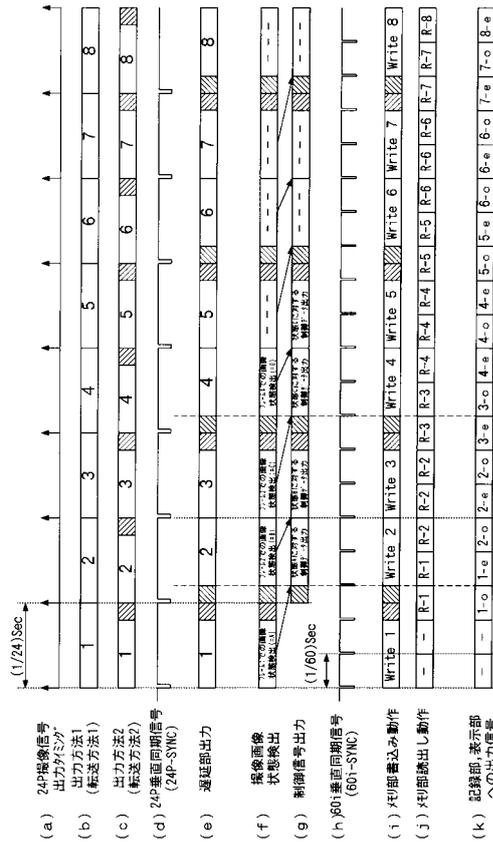
50

- 1 2 切 換 回 路
- 1 3 同 期 信 号 位 相 判 定 回 路
- 1 5、2 7 2 : 3 プ ル ダ ウ ン 変 換 回 路
- 1 6 ミ ッ ク ス 回 路
- 1 7 切 換 回 路
- 1 8 切 換 コ ン ト ロ ー ル 回 路
- 2 0 遅 延 回 路
- 2 1 切 換 回 路
- 2 2 加 算 回 路
- 2 3 タ イ ミ ン グ パ ル ス 発 生 回 路
- 2 5 垂 直 L P F 回 路
- 2 6 切 換 回 路
- 2 8 切 換 コ ン ト ロ ー ル 回 路

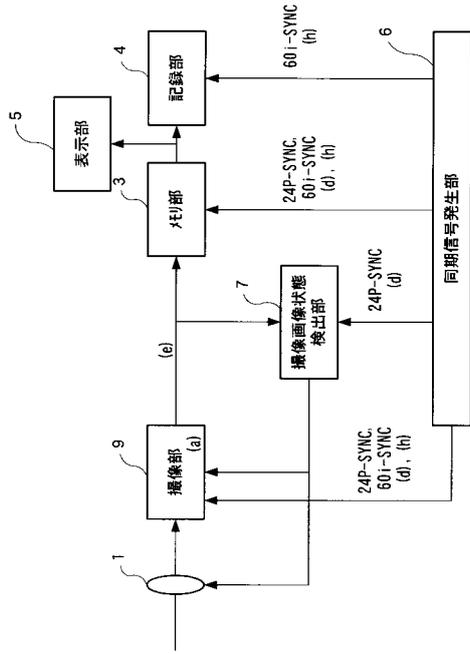
【 図 1 】



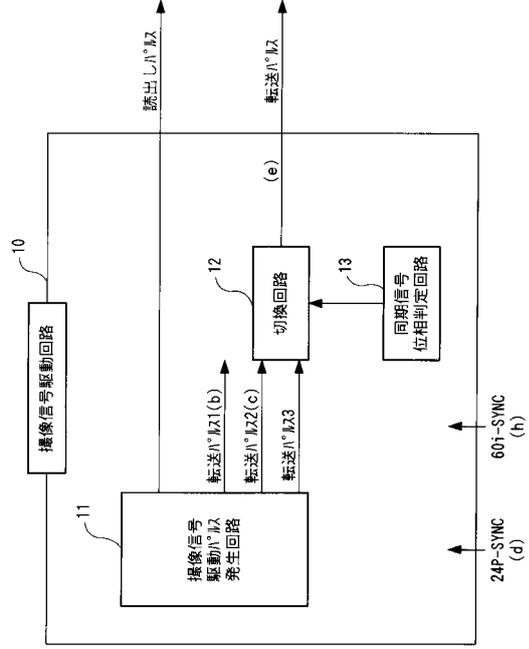
【 図 2 】



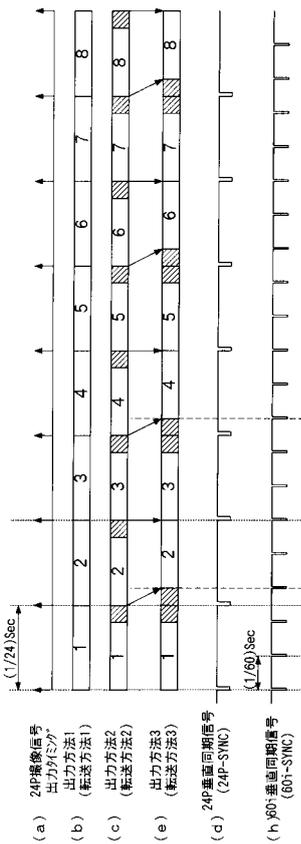
【 図 3 】



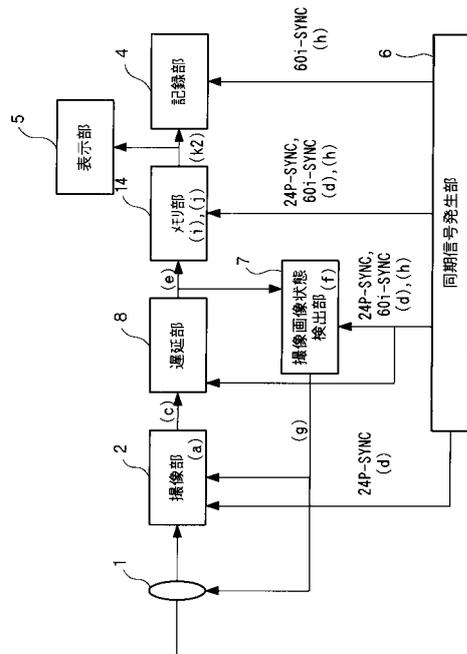
【 図 4 】



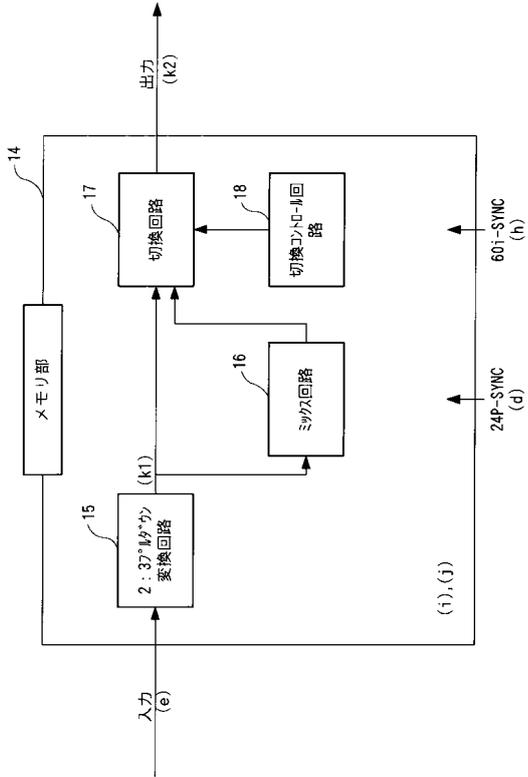
【 図 5 】



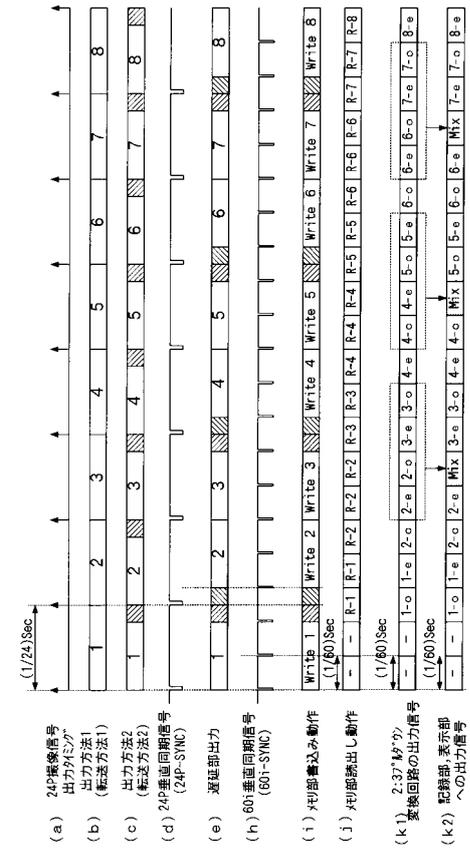
【 図 6 】



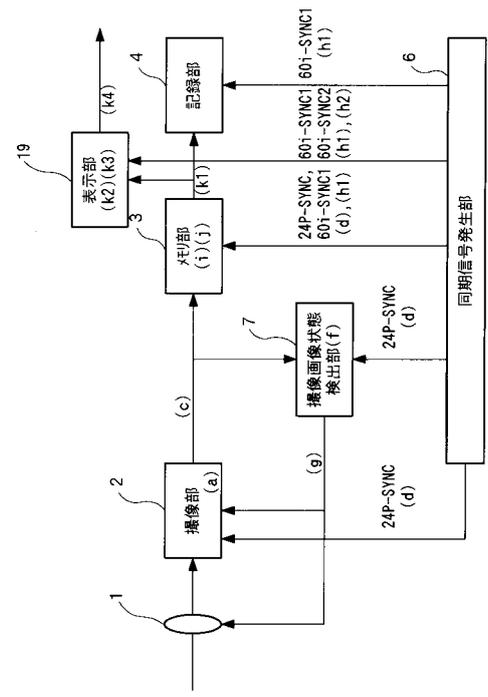
【図7】



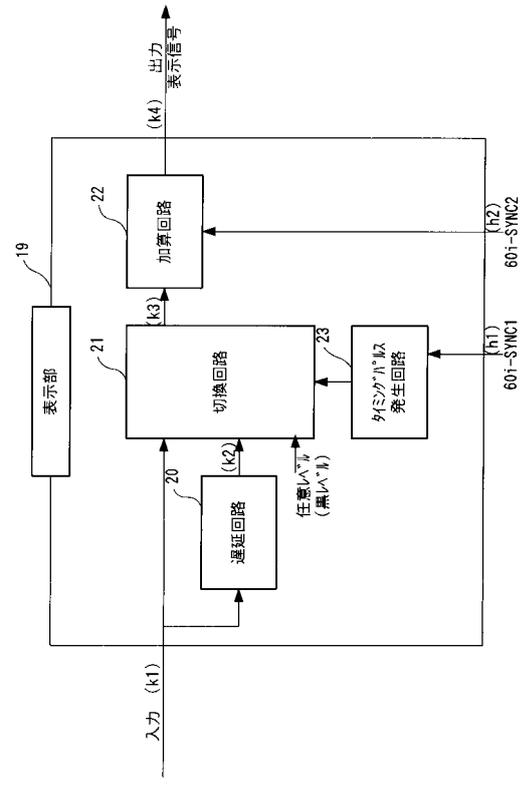
【図8】



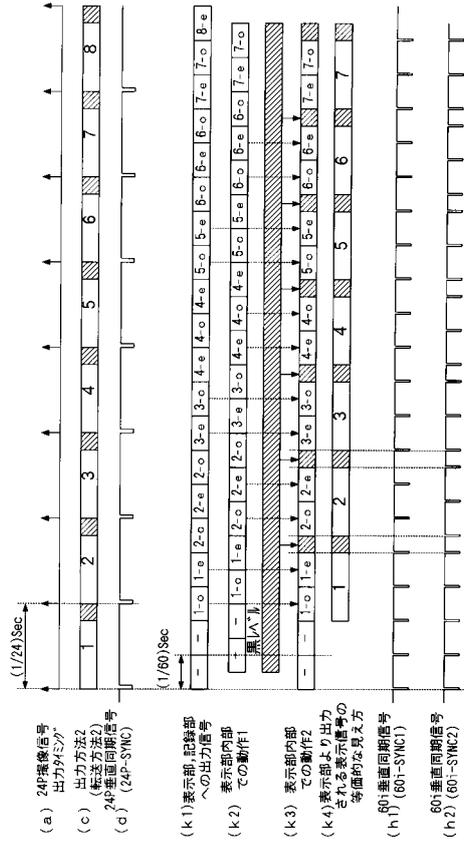
【図9】



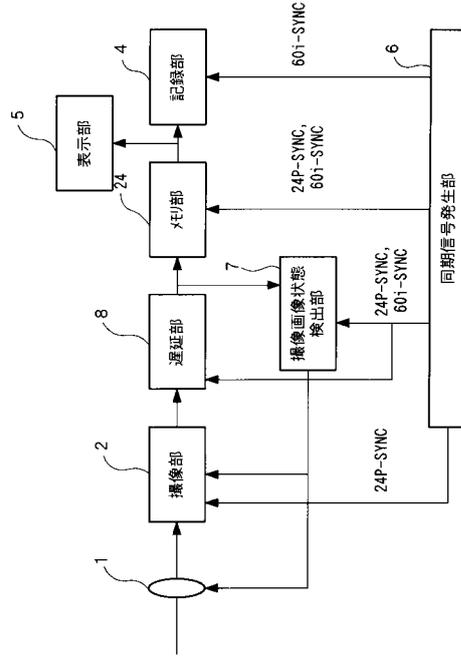
【図10】



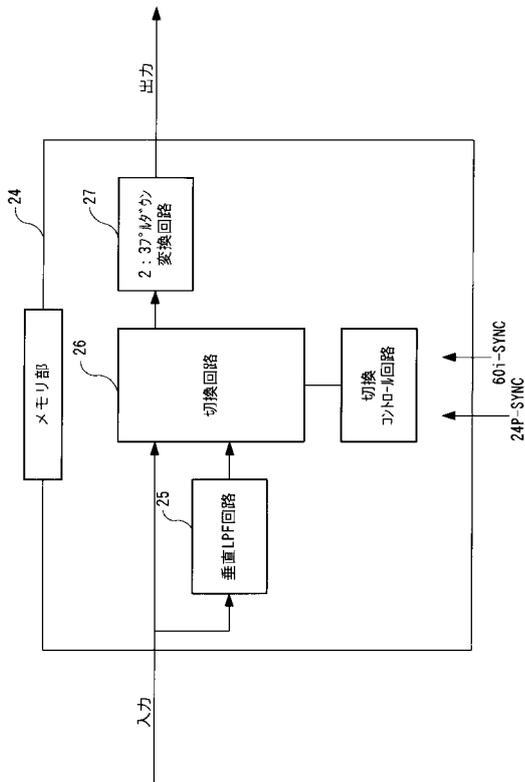
【図 1 1】



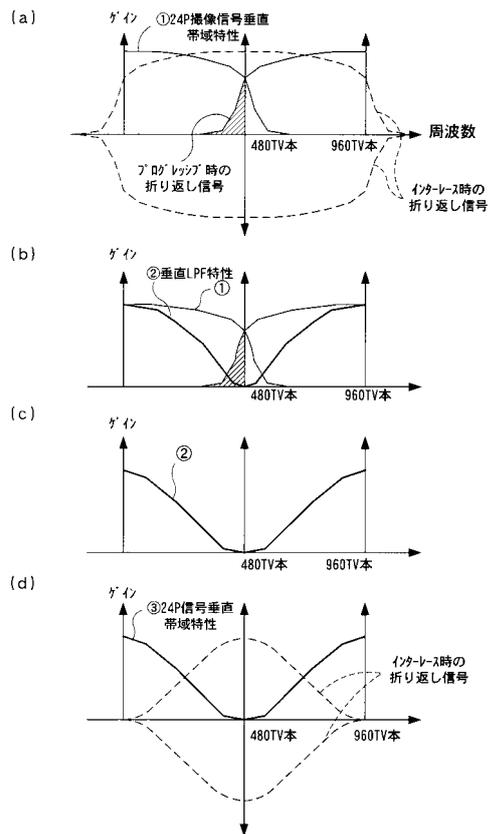
【図 1 2】



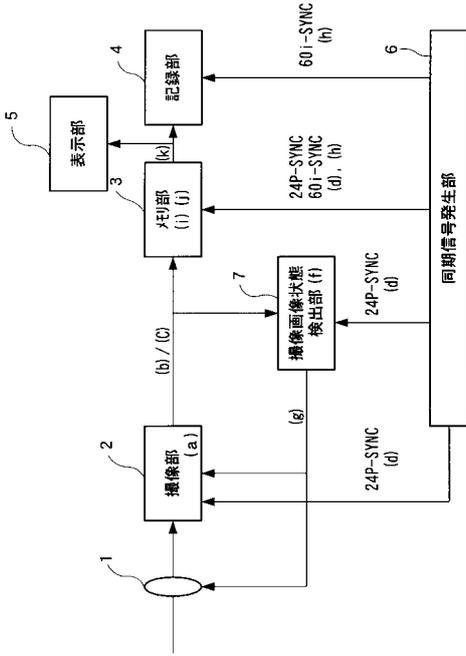
【図 1 3】



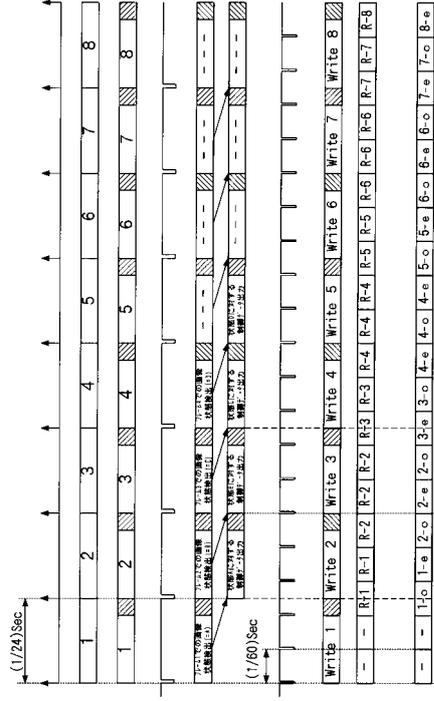
【図 1 4】



【 図 1 5 】



【 図 1 6 】



- (a) 24P画像信号出力タイミング
- (b) 出力方法1 (転送方法1)
- (c) 出力方法2 (転送方法2)
- (d) 24P垂直同期信号 (24P-SYNC)
- (f) 画像画像状態検出
- (g) 制御信号出力
- (h) 60i垂直同期信号 (60i-SYNC)
- (i) x1部書き込み動作
- (j) x1部読み出し動作
- (k) 記録部、表示部への出力番号