

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6536765号
(P6536765)

(45) 発行日 令和1年7月3日(2019.7.3)

(24) 登録日 令和1年6月14日(2019.6.14)

(51) Int.Cl. F I
G O 6 G 7/60 (2006.01) G O 6 G 7/60

請求項の数 8 (全 16 頁)

<p>(21) 出願番号 特願2019-511673 (P2019-511673)</p> <p>(86) (22) 出願日 平成30年9月27日 (2018.9.27)</p> <p>(86) 国際出願番号 PCT/JP2018/036118</p> <p>審査請求日 平成31年2月26日 (2019.2.26)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000003067 T D K 株式会社 東京都中央区日本橋二丁目5番1号</p> <p>(74) 代理人 100106909 弁理士 棚井 澄雄</p> <p>(74) 代理人 100163496 弁理士 荒 則彦</p> <p>(74) 代理人 100188558 弁理士 飯田 雅人</p> <p>(74) 代理人 100169694 弁理士 荻野 彰広</p> <p>(72) 発明者 柴田 竜雄 東京都中央区日本橋二丁目5番1号 T D K 株式会社内</p>
--	--

最終頁に続く

(54) 【発明の名称】 積和演算器、ニューロモーフィックデバイス及び積和演算方法

(57) 【特許請求の範囲】

【請求項 1】

入力値に対応する第1入力信号に重みを乗算して第1出力信号を生成し、前記第1出力信号を出力する複数の第1積演算素子と、

前記第1入力信号の入力による複数の前記第1積演算素子各々の寄生容量への充電に起因する過渡応答後に定常状態となっている時点から、前記第1入力信号の入力による複数の前記第1積演算素子各々の前記寄生容量からの放電に起因する過渡応答が発生し始めた後の時点までの演算期間において、複数の前記第1積演算素子各々が出力した前記第1出力信号の総和を演算する和演算部と、

を備える積和演算器。

【請求項 2】

複数の前記第1積演算素子各々は、書き込み端子と、共通端子と、読み出し端子とを有する抵抗変化素子である、

請求項1に記載の積和演算器。

【請求項 3】

複数の前記第1積演算素子各々は、トンネル磁気抵抗効果素子である、

請求項1に記載の積和演算器。

【請求項 4】

正のバイアスの発生に使用される第2入力信号に重みを乗算して第2出力信号を生成し、前記第2出力信号を出力する少なくとも一つの第2積演算素子を更に備え、

前記和演算部は、複数の前記第 1 積演算素子各々が出力した前記第 1 出力信号及び少なくとも一つの前記第 2 積演算素子各々が出力した前記第 2 出力信号の総和を演算する、請求項 1 から 3 のいずれか一つに記載の積和演算器。

【請求項 5】

第 3 入力信号が入力され、前記第 3 入力信号に基づいて第 3 出力信号を前記和演算部に出力する抵抗器を更に備え、

前記和演算部は、前記演算期間において、複数の前記第 1 積演算素子各々が出力した前記第 1 出力信号及び前記抵抗器が出力した前記第 3 出力信号の総和を演算する、

請求項 1 から 3 のいずれか一つに記載の積和演算器。

【請求項 6】

第 2 入力信号に重みを乗算して第 2 出力信号を生成し、前記第 2 出力信号を出力する少なくとも一つの前記第 2 積演算素子と、

第 3 入力信号が入力され、前記第 3 入力信号に基づいて第 3 出力信号を前記和演算部に出力する抵抗器と、

を更に備え、

前記和演算部は、前記演算期間において、複数の前記第 1 積演算素子各々が出力した前記第 1 出力信号、複数の前記第 2 積演算素子各々が出力した前記第 2 出力信号及び少なくとも一つの前記第 2 積演算素子各々が出力した前記第 2 出力信号の総和を演算する、

請求項 1 から 3 のいずれか一つに記載の積和演算器。

【請求項 7】

請求項 1 から請求項 6 のいずれか一つに記載の積和演算器を備えるニューロモフィックデバイス。

【請求項 8】

請求項 1 から請求項 6 のいずれか一つに記載の積和演算器による積和演算方法であって、

複数の前記第 1 積演算素子各々が、前記第 1 入力信号に重みを乗算して前記第 1 出力信号を生成し、前記第 1 出力信号を出力する積演算工程と、

前記第 1 入力信号の入力による複数の前記第 1 積演算素子各々の前記寄生容量への充電に起因する過渡応答後に定常状態となっている時点から、前記第 1 入力信号の入力による複数の前記第 1 積演算素子各々の寄生容量からの放電に起因する過渡応答が発生し始めた後の時点までの前記演算期間において、前記和演算部が、複数の前記第 1 積演算素子各々が出力した前記第 1 出力信号の総和を演算する積和演算工程と、

を含む積和演算方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積和演算器、ニューロモフィックデバイス及び積和演算方法に関する。

【背景技術】

【0002】

現在、人口知能 (Artificial Intelligence: AI)、モノのインターネット (Internet of Things: IoT)、深層学習 (Deep Learning) 等を実現させるためにニューラルネットワークの演算を実行するデバイスとして積和演算器及びニューロモフィックデバイスが注目を集めている。

【0003】

例えば、非特許文献 1 には、メモリストを使用してニューラルネットワークの演算を実行する手法が開示されている。ニューラルネットワークの演算にはパーセプトロンを用いた手法が広く用いられる。パーセプトロンを用いたニューラルネットワークの演算においては、 $a \times b$ (b : バイアス項) の計算が行なわれる。ここで、バイアス項は、正から負の広い範囲で調整可能であることが望ましい。

【先行技術文献】

10

20

30

40

50

【非特許文献】

【0004】

【非特許文献1】Geoffrey W. Burr, Robert M. Shelby, Abu Sebastian, Sangbum Kim, Seyoung Kim, Severin Sidler, Kumar Virwani, Masatoshi Ishii, Pritish Narayanan, Alessandro Fumarola, Lucas L. Sanches, Irem Boybat, Manuel Le Gallo, Kibong Moon, Jiwoo Woo, Hyunsang Hwang & Yusuf Leblebici, Advances in Physics: X, 2, 89(2017)

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、ニューラルネットワークの演算を実行する上で負のバイアスを発生させようとした場合、積和演算器及びニューロモーフィックデバイスの回路構成が複雑になってしまうことがあった。

【0006】

そこで、本発明は、回路構成を複雑にすること無く、バイアスを正から負の広い範囲で調整可能な積和演算器、ニューロモーフィックデバイス及び積和演算方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、入力値に対応する第1入力信号に重みを乗算して第1出力信号を生成し、前記第1出力信号を出力する複数の第1積演算素子と、前記第1入力信号の入力による複数の前記第1積演算素子各々の寄生容量への充電に起因する過渡応答後に定常状態となっている時点から、前記第1入力信号の入力による複数の前記第1積演算素子各々の前記寄生容量からの放電に起因する過渡応答が発生し始めた後の時点までの演算期間において、複数の前記第1積演算素子各々が出力した前記第1出力信号の総和を演算する和演算部と、を備える積和演算器である。

【0008】

また、本発明の一態様において、複数の前記第1積演算素子各々は、書き込み端子と、共通端子と、読み出し端子とを有する抵抗変化素子である。

【0009】

また、本発明の一態様において、複数の前記第1積演算素子各々は、トンネル磁気抵抗効果素子である。

【0010】

また、本発明の一態様は、第2入力信号に重みを乗算して第2出力信号を生成し、前記第2出力信号を出力する少なくとも一つの第2積演算素子を更に備え、前記和演算部は、前記演算期間において、複数の前記第1積演算素子各々が出力した前記第1出力信号及び少なくとも一つの前記第2積演算素子各々が出力した前記第2出力信号の総和を演算する積和演算器である。

【0011】

また、本発明の一態様は、第3入力信号が入力され、前記第3入力信号に基づいて第3出力信号を前記和演算部に出力する抵抗器を更に備え、前記和演算部は、前記演算期間において、複数の前記第1積演算素子各々が出力した前記第1出力信号、少なくとも一つの前記第2積演算素子各々が出力した前記第2出力信号及び前記抵抗器が出力した前記第3出力信号の総和を演算する積和演算器である。

【0012】

また、本発明の一態様は、正のバイアスの発生に使用される第2入力信号に重みを乗算して第2出力信号を生成し、前記第2出力信号を出力する少なくとも一つの第2積演算素子と、第3入力信号が入力され、前記第3入力信号に基づいて第3出力信号を前記和演算部に出力する抵抗器と、を更に備え、前記和演算部は、複数の前記第1積演算素子各々が出力した前記第1出力信号、複数の前記第2積演算素子各々が出力した前記第2出力信号

10

20

30

40

50

及び少なくとも一つの前記第 2 積演算素子各々が出力した前記第 2 出力信号の総和を演算する積和演算器である。

【 0 0 1 3 】

また、本発明の一態様は、上述した積和演算器のいずれか一つを備えるニューロモフィックデバイスである。

【 0 0 1 4 】

また、本発明の一態様は、上述した積和演算器のいずれか一つの積和演算器による積和演算方法であって、複数の前記第 1 積演算素子各々が、前記第 1 入力信号に重みを乗算して前記第 1 出力信号を生成し、前記第 1 出力信号を出力する積演算工程と、前記第 1 入力信号の入力による複数の前記第 1 積演算素子各々の前記寄生容量への充電に起因する過渡 10 応答後に定常状態となっている時点から、前記第 1 入力信号の入力による複数の前記第 1 積演算素子各々の寄生容量からの放電に起因する過渡応答が発生し始めた後の時点までの前記演算期間において、前記和演算部が、複数の前記第 1 積演算素子各々が出力した前記第 1 出力信号の総和を演算する和演算工程と、を含む積和演算方法である。

【発明の効果】

【 0 0 1 5 】

上述した積和演算器、ニューロモフィックデバイス及び積和演算方法によれば、回路構成を複雑にすること無く、バイアスを正から負の広い範囲で調整可能な積和演算器、ニューロモフィックデバイス及び積和演算方法を提供することができる。

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】実施形態に係る積和演算器の一部の構成の一例を示す図である。

【図 2】実施形態に係る抵抗変化素子の一例を示す図である。

【図 3】実施形態に係る積和演算器の一部の構成の等価回路の一例を示す図である。

【図 4】実施形態に係る入力値に対応する第 1 入力信号の入力に応じて第 1 積演算素子が出力する第 1 出力信号の一例を示す図である。

【図 5】実施形態に係る積和演算器が実行するニューラルネットワーク演算の一例を説明するための図である。

【発明を実施するための形態】

【 0 0 1 7 】

図 1 及び図 2 を参照しながら、実施形態に係る積和演算器の構成の一例について説明する。図 1 は、実施形態に係る積和演算器の一部の構成の一例を示す図である。図 2 は、実施形態に係る抵抗変化素子の一例を示す図である。

【 0 0 1 8 】

図 1 に示すように、積和演算器 1 は、第 1 入力部 1 0 1 E、2 0 1 E、...、k 0 1 E と、第 1 積演算素子 1 1 1、1 2 1、2 1 1、2 2 1、...、k 1 1、k 2 1 と、第 2 入力部 1 0 2 E、2 0 2 E、...、n 0 2 E と、第 2 積演算素子 1 1 2、1 2 2、2 1 2、2 2 2、...、n 1 2、n 2 2 と、第 3 入力部 1 0 3 E と、抵抗器 1 1 3 W、1 2 3 W と、和演算部 1 0 S、2 0 S とを備える。

【 0 0 1 9 】

第 1 積演算素子 1 1 1 は、寄生容量を有する抵抗変化素子、例えば、相変化型メモリ (Phase-Change Memory : P C M)、抵抗変化型メモリ (Resistive Random Access Memory : R e R A M、図 2 に示した磁気抵抗効果素子であっても良い。図 1 及び図 2 に示すように、第 1 積演算素子 1 1 1 は、可変抵抗 1 1 1 R、読み出し端子 1 1 1 X、共通端子 1 1 1 Y 及び書き込み端子 1 1 1 Z を備える。また、第 1 積演算素子 1 2 1、2 1 1、2 2 1、...、k 1 1、k 2 1 は、抵抗変化素子、例えば、図 2 に示したものと同様の磁気抵抗効果素子であり、それぞれ可変抵抗 1 2 1 R、2 1 1 R、2 2 1 R、...、k 1 1 R、k 2 1 R と、読み出し端子 1 2 1 X、2 1 1 X、2 2 1 X、...、k 1 1 X、k 2 1 X と、共通端子 1 2 1 Y、2 1 1 Y、2 2 1 Y、...、k 1 1 Y、k 2 1 Y と、書き込み端子 1 2 1 Z、2 1 1 Z、2 2 1 Z、...、k 1 1 Z、k 2 1 Z とを備える。

【0020】

ここで、第1積演算素子111が備える可変抵抗111Rは、例えば、図2に示すように、磁化固定層1111と、非磁性層1112と、第1領域1113と、磁壁1114と、第2領域1115と、第1磁化供給層1116と、第2磁化供給層1117とを備える。以下、図2を使用した説明では、図2に示したx軸、y軸及びz軸を使用する。x軸、y軸及びz軸は、右手系の三次元直交座標を形成している。磁化固定層1111、非磁性層1112、第1領域1113、第2領域1115、第1磁化供給層1116及び第2磁化供給層1117は、薄い直方体状に形成されており、最も面積が大きな面がxy平面と平行となっている。

【0021】

磁化固定層1111は、磁化方向が+y方向に固定されている。ここで、磁化が固定されるとは、書き込み電流を使用した書き込み前後において磁化方向が変化しないことを意味する。また、磁化固定層1111は、例えば、面内磁気異方性を有する面内磁化膜、あるいは垂直磁気異方性を有する垂直磁化膜であっても良い。

【0022】

非磁性層1112は、+z方向側を向いている最も面積が大きな面が磁化固定層1111の-z方向側を向いている面と接している。磁化固定層1111のz方向側を向いている面と非磁性層1112のz方向側を向いている面とは、互いに形状及び面積が等しくなっているとしても良いが、非磁性層1112が、第1領域1113、第2領域1115を覆うように広がっていて、磁化固定層1111よりも大きくても良い。また、非磁性層1112は、第1積演算素子111が磁化固定層1111に対する磁化自由層の磁化状態の変化を抵抗値の変化として読み出すために使用される。

【0023】

第1領域1113、磁壁1114及び第2領域1115は、磁化自由層を形成している。磁化自由層は、強磁性材料により作製されており、磁化方向を反転させることができる。第1領域1113は、磁化方向が+y方向に固定されており、+z方向側を向いている面のうち-y方向側の一定の領域が非磁性層1112の-z方向側を向いている面と接している。一方、第2領域1115は、磁化方向が-y方向に固定されており、+z方向側を向いている面のうち+y方向側の一定の領域が非磁性層1112の-z方向側を向いている面と接している。磁壁1114は、y方向において第1領域1113と第2領域1115とに挟まれている。

【0024】

第1磁化供給層1116は、z方向において磁化固定層1111と重なっていないことが望ましく、+z方向側を向いている面が第1領域1113の-z方向側を向いている面と接している。また、第1磁化供給層1116は、第1領域1113のうち第1磁化供給層1116と重なる範囲の磁化方向を所望の方向に固定する機能を有する。さらに、第1磁化供給層1116の-z方向側を向いている面には、書き込み端子111Zが接続されている。なお、第1磁化供給層1116は、例えば、磁化固定層1111に使用可能な強磁性材料と同じ材料、IrMn等の反強磁性体、Ru、Ir等の非磁性中間層を挟んだ強磁性体により作製されており、非磁性体及び強磁性体を含む合成反強磁性(Synthetic Antiferromagnetic)構造を有していても良い。

【0025】

第2磁化供給層1117は、z方向において磁化固定層1111と重なっておらず、+z方向側を向いている面が第2領域1115の-z方向側を向いている面と接している。また、第2磁化供給層1117は、第2領域1115の第2磁化供給層1117と重なる範囲の磁化方向を所望の方向に固定する機能を有する。さらに、第2磁化供給層1117の-z方向側を向いている面には、共通端子111Yが接続されている。なお、第2磁化供給層1117は、例えば、磁化固定層1111に使用可能な強磁性材料と同じ材料、IrMn等の反強磁性体、Ru、Ir等の非磁性中間層を挟んだ強磁性体により作製されており、非磁性体及び強磁性体を含む合成反強磁性(Synthetic Antiferromagnetic)構造

10

20

30

40

50

を有していても良い。

【0026】

第1積演算素子111は、共通端子111Yと書き込み端子111Zとの間に流す書き込み電流の大きさ及び時間を調整することにより、y方向における磁壁1114の位置を変化させる。これにより、第1積演算素子111は、磁化方向が平行な領域と磁化方向が反平行な領域との面積の比率を連続的に変化させ、可変抵抗111Rの抵抗値を略線形に変化させることができる。ここで、磁化方向が平行な領域とは、第1領域1113のうちz方向において磁化固定層1111と重なっている部分の面積である。また、磁化方向が反平行な領域とは、第2領域1115のうちz方向において磁化固定層1111と重なっている部分の面積である。さらに、書き込み電流の大きさ及び時間は、電流パルスの数及び幅の少なくとも一方により調整される。

10

【0027】

なお、第1積演算素子111は、トンネル磁気抵抗効果素子であってもよい。トンネル磁気抵抗効果素子は、磁化固定層と、磁化自由層と、非磁性層としてのトンネルバリア層とを備える。磁化固定層及び磁化自由層は、強磁性材料で作製されており、磁化を有する。トンネルバリア層は、磁化固定層と磁化自由層との間に挟まれている。トンネル磁気抵抗効果素子は、磁化固定層が有する磁化と磁化自由層が有する磁化との関係を変化させることにより、抵抗値を変化させることができる。トンネルバリア層には、公知の材料を用いることができる。例えば、その材料としては、Al₂O₃、SiO₂、MgO、及び、MgAl₂O₄等を用いることができる。なお、トンネルバリア層には、Al、Si、Mgの一部が、Zn、Be等に置換された材料等が用いられてもよい。

20

【0028】

図1に戻って、読み出し端子111X、121Xには、第1入力部101Eから入力値に対応する第1入力信号が入力される。同様に、図1に示した読み出し端子211X、221Xには、第1入力部201Eから入力値に対応する第1入力信号が入力され、読み出し端子k11X、k21Xには、第1入力部k01Eから入力値に対応する第1入力信号が入力される。これらの第1入力信号は、入力値に応じたパルス幅変調(Pulse Width Modulation: PWM)が施されている。

【0029】

また、書き込み端子111Z、121Zには、可変抵抗111R、121Rの抵抗値を調整するための書き込み電流が入力される。同様に、図1に示した書き込み端子211Z、221Zには、可変抵抗211R、221Rの抵抗値を調整するための書き込み電流が入力され、書き込み端子k11Z、k21Zには、可変抵抗k11R、k21Rの抵抗値を調整するための書き込み電流が入力される。

30

【0030】

第1積演算素子111は、入力値に対応する第1入力信号に重みを乗算して第1出力信号を生成し、第1出力信号を出力する。すなわち、第1積演算素子111は、可変抵抗111Rの抵抗値を重みとして読み出し端子111Xに入力された第1入力信号に対する積演算を実行して第1出力信号を生成し、共通端子111Yから第1出力信号を出力する。同様に、第1積演算素子121、211、221、...、k11、k21は、それぞれ入力値に対応する第1入力信号に重みを乗算して第1出力信号を生成し、第1出力信号を出力する。

40

【0031】

第2積演算素子112は、第1積演算素子111、121、211、221、...、k11、k21と同じ抵抗変化素子であり、可変抵抗112R、読み出し端子112X、共通端子112Y及び書き込み端子112Zを備える。また、第2積演算素子122、212、222、...、n12、n22は、第2積演算素子112と同じ抵抗変化素子であり、それぞれ可変抵抗122R、212R、222R、...、n12R、n22R、読み出し端子122X、212X、222X、...、n12X、n22X、共通端子122Y、212Y、222Y、...、n12Y、n22Y及び書き込み端子122Z、212Z、222Z、

50

...、 n_{12Z} 、 n_{22Z} を備える。

【0032】

読み出し端子 1_{12X} 、 1_{22X} には、第2入力部 1_{02E} から設定値に対応する第2入力信号が入力される。同様に、図1に示した読み出し端子 2_{12X} 、 2_{22X} には、第2入力部 2_{02E} から設定値に対応する第2入力信号が入力され、読み出し端子 n_{12X} 、 n_{22X} には、第2入力部 n_{02E} から設定値に対応する第2入力信号が入力される。これらの第2入力信号は、第2積演算素子 1_{12} 、 1_{22} 、 2_{12} 、 2_{22} 、...、 n_{12} 、 n_{22} 各々が所望の正のバイアスを発生させるために必要な波形を有する信号を含む。

【0033】

第2積演算素子 1_{12} は、第2入力信号に重みを乗算して第2出力信号を生成し、第2出力信号を出力する。すなわち、第2積演算素子 1_{12} は、可変抵抗 1_{12R} の抵抗値を重みとして読み出し端子 1_{12X} に入力された第2入力信号に対する積演算を実行して第2出力信号を生成し、共通端子 1_{12Y} から第2出力信号を出力する。第2入力信号は、入力値に対応している第1入力信号と異なり、正のバイアスの発生に使用されるため、一定の波形を有する信号となっている。同様に、第2積演算素子 1_{22} 、 2_{12} 、 2_{22} 、...、 n_{12} 、 n_{22} は、第2入力信号に重みを乗算して第2出力信号を生成し、第2出力信号を出力する。

【0034】

抵抗器 1_{13W} は、第3入力信号が入力され、第3入力信号に基づいて第3出力信号を和演算部 1_{0S} に出力する。同様に、抵抗器 1_{23W} は、第3入力信号が入力され、第3入力信号に基づいて第3出力信号を和演算部 2_{0S} に出力する。また、これらの第3入力信号は、抵抗器 1_{13W} 及び抵抗器 1_{23W} 各々が所望の正のバイアスを発生させるために必要な波形を有する信号を含んでおり、第3入力部 1_{03E} により入力される。

【0035】

また、抵抗器 1_{13W} 及び抵抗器 1_{23W} は、第2積演算素子 1_{12} 、 1_{22} 、 2_{12} 、 2_{22} 、...、 n_{12} 、 n_{22} と異なり寄生容量を有しないため、寄生容量からの放電に起因する過渡応答を発生させ得ない。このため、抵抗器 1_{13W} は、所望の第3入力信号を入力させることにより、第2積演算素子 1_{12} 、 2_{12} 、...、 n_{12} が発生させる正のバイアスの合計よりも絶対値が大きな正のバイアスを発生させることができる。また、これは、抵抗器 1_{23W} についても同様である。

【0036】

和演算部 1_{0S} は、第1積演算素子 1_{11} 、 2_{11} 、...、 k_{11} 各々が出力する第1出力信号、第2積演算素子 1_{12} 、 2_{12} 、...、 n_{12} 各々が出力する第2出力信号及び抵抗器 1_{13W} が出力する第3出力信号の総和を演算する。同様に、和演算部 2_{0S} は、第1積演算素子 1_{21} 、 2_{21} 、...、 k_{21} 各々が出力する第1出力信号、第2積演算素子 1_{22} 、 2_{22} 、...、 n_{22} 各々が出力する第2出力信号及び抵抗器 1_{23W} が出力する第3出力信号の総和を演算する。ただし、和演算部 1_{0S} 、 2_{0S} は、第1入力信号と第2入力信号の総和又は第1入力信号と第3入力信号の総和を演算してもよい。

【0037】

次に、図3及び図4を参照しながら、実施形態に係る積和演算器による総和の演算方法の一例について説明する。図3は、実施形態に係る積和演算器の一部の構成の等価回路の一例を示す図である。

【0038】

図3に示すように、第1積演算素子 1_{11} は、寄生容量 1_{11C} 及び寄生抵抗 1_{11P} を備え、寄生容量 1_{11C} が可変抵抗 1_{11R} に並列接続されており、寄生抵抗 1_{11P} が可変抵抗 1_{11R} に直列接続されていると考えることができる。同様に、第1積演算素子 1_{21} 、 2_{11} 、 2_{21} 、...、 k_{11} 、 k_{21} は、それぞれ寄生容量 1_{21C} 、 2_{11C} 、 2_{21C} 、...、 k_{11C} 、 k_{21C} と、寄生抵抗 1_{21P} 、 2_{11P} 、 2_{21P} 、...、 k_{11P} 、 k_{21P} とを備える。さらに、第1積演算素子 1_{11} 、 1_{21} 、 2_{11} 、 2_{21} 、...、 k_{11} 、 k_{21} には、それぞれ配線抵抗 1_{11W} 、 1_{21W} 、 2_{11W} 、 2_{21W} 、...

10

20

30

40

50

1 W、...、k 1 1 W、k 2 1 Wが直列接続されていると考えることができる。

【 0 0 3 9 】

図 4 は、実施形態に係る入力値に対応する第 1 入力信号の入力に応じて第 1 積演算素子が出力する第 1 出力信号の一例を示す図である。以下、図 4 を使用した説明では、第 1 積演算素子 1 1 1 を例に挙げて説明するが、第 1 積演算素子 1 2 1、2 1 1、2 2 1、...、k 1 1、k 2 1 についても同様である。

【 0 0 4 0 】

図 4 (a) は、入力値「 2 」に対応する第 1 入力信号が入力された場合における第 1 出力信号 T 2 の一例を示している。第 1 出力信号 T 2 は、過渡応答 T F 2 及び過渡応答 T S 2 を含む。

10

【 0 0 4 1 】

過渡応答 T F 2 は、寄生容量 1 1 1 C への充電に起因しており、第 1 積演算素子 1 1 1 への第 1 入力信号の入力が開始した時点で発生し始め、所定の時間が経過した後に定常状態へ移行する。ここで言う第 1 入力信号の入力が開始した時点とは、例えば、図 4 に示した時刻 t 0 である。また、過渡応答 T F 2 は、例えば、図 4 に示した時刻 t 1 において定常状態へ移行している。さらに、過渡応答 T F 2 のピーク高さ及び過渡応答 T F 2 が発生している期間は、寄生容量 1 1 1 C の静電容量に依存している。

【 0 0 4 2 】

一方、過渡応答 T S 2 は、寄生容量 1 1 1 C からの放電に起因しており、第 1 積演算素子 1 1 1 への第 1 入力信号の入力が終了した時点で発生し始め、所定の時間が経過した後に定常状態へ移行する。ここで言う第 1 入力信号の入力が終了した時点とは、例えば、図 4 (a) に示した時刻 t 2 1 である。また、過渡応答 T S 2 は、例えば、図 4 (a) に示した時刻 t 2 2 において定常状態へ移行している。さらに、過渡応答 T S 2 のピーク高さ及び過渡応答 T S 2 が発生している期間は、寄生容量 1 1 1 C の静電容量に依存している。また、時刻 t 1 から時刻 t 2 1 までの期間は、入力値「 2 」に対応した長さとなっている。

20

【 0 0 4 3 】

同様に、図 4 (b)、図 4 (c) 及び図 4 (d) は、それぞれ入力値「 1 」、「 3 」及び「 0 」に対応する第 1 入力信号が入力された場合における第 1 出力信号 T 1、T 3 及び T 0 の一例を示している。第 1 出力信号 T 1、T 3 及び T 0 は、それぞれ寄生容量 1 1 1 C への充電に起因する過渡応答 T F 1、T F 3 及び T F 0 と、寄生容量 1 1 1 C からの放電に起因している過渡応答 T S 1、T S 3 及び T S 0 とを含む。また、過渡応答 T F 1、T F 3 及び T F 0 は、いずれも図 4 に示した時刻 t 0 で発生し始め、図 4 に示した時刻 t 1 において定常状態へ移行している。さらに、過渡応答 T F 1、T F 3、T F 0 のピーク高さ及び過渡応答 T F 1、T F 3、T F 0 が発生している期間は、寄生容量 1 1 1 C の静電容量に依存している。

30

【 0 0 4 4 】

一方、過渡応答 T S 1、T S 3 及び T S 0 は、それぞれ第 1 入力信号の入力の終了により、図 4 (b) に示した時刻 t 1 1、図 4 (c) に示した時刻 t 3 1 及び図 4 (d) に示した時刻 t 0 1 で発生し始めている。また、過渡応答 T S 1、T S 3 及び T S 0 は、それぞれ図 4 (b) に示した時刻 t 1 2、図 4 (c) に示した時刻 t 3 2 及び図 4 (d) に示した時刻 t 0 2 において定常状態へ移行している。さらに、過渡応答 T S 1、T S 3 及び T S 0 のピーク高さ及び過渡応答 T S 1、T S 3 及び T S 0 が発生している期間は、寄生容量 1 1 1 C の静電容量に依存している。また、時刻 t 1 から時刻 t 1 1 までの期間、時刻 t 1 から時刻 t 3 1 までの期間及び時刻 t 1 から時刻 t 0 1 までの期間は、それぞれ入力値「 1 」、「 3 」及び「 0 」に対応した長さとなっている。

40

【 0 0 4 5 】

また、図 4 に示すように、過渡応答 T S 2、T S 1、T S 3 及び T S 0 は、いずれも時刻 t 2 において既に定常状態への移行が完了している。

【 0 0 4 6 】

50

和演算部 10S は、第 1 入力信号の入力による第 1 積演算素子 111、211、...、k11 各々の寄生容量 111C、211C、...、k11C への充電に起因する過渡応答後に定常状態となっている時点から、第 1 入力信号の入力による第 1 積演算素子 111、211、...、k11 各々の寄生容量 111C、211C、...、k11C からの放電に起因する過渡応答が発生し始めた後の時点までの演算期間において、第 1 積演算素子 111 が出力した第 1 出力信号の総和を演算する。また、これは、和演算部 20S についても同様である。

【0047】

ここで言う充電に起因する過渡応答後に定常状態となっている時点とは、例えば、図 4 に示した時刻 t_1 である。また、ここで言う放電に起因する過渡応答が発生し始めた後の時点とは、当該過渡応答が発生している期間中の時点又は当該過渡応答後に定常状態となっている時点である。例えば、放電に起因する過渡応答 TS2 が発生している期間中とは、時刻 t_{21} から時刻 t_{22} の間の期間である。また、例えば、放電に起因する過渡応答 TS2 後に定常状態となっている時点とは、時刻 t_{22} 以降における時点である。

10

【0048】

また、ここで言う演算期間とは、複数の入力値に対応する第 1 入力信号各々の入力により発生した放電に起因する全ての過渡応答が定常状態となっている時点、例えば、時刻 t_1 から時刻 t_2 までの区間をいう。積和演算器 1 は、例えば、スイッチを使用することにより、演算期間の間だけ和演算部 10S に第 1 出力信号 T2、T1、T3 及び T0 を供給し、演算期間における第 1 出力信号の総和を演算する。

20

【0049】

積和演算器 1 は、和演算部 10S 及び和演算部 20S が演算期間に放電に起因する過渡応答 TS2、TS1、TS3 及び TS0 の少なくとも一部を含めているため、負のバイアスに対応する負の電荷を発生させることができる。特に、第 1 入力部 101E、201E、...、k01E は、入力値「0」に対応する第 1 入力信号が入力された場合でも充電に起因する過渡応答 TF0 及び放電に起因する過渡応答 TS0 が発生するような第 1 入力信号を入力している。したがって、積和演算器 1 は、第 1 積演算素子 111、121、211、221、...、k11、k21 に入力値「0」に対応する第 1 入力信号が入力された場合でも、常に一定の値の負のバイアスを発生させることができる。

【0050】

図 3 に戻って、第 2 積演算素子 112 は、寄生容量 112C 及び寄生抵抗 112P を有し、寄生容量 112C が可変抵抗 112R に並列接続されており、寄生抵抗 112P が可変抵抗 112R に直列接続されていると考えることができる。同様に、第 2 積演算素子 122、212、222、...、n12、n22 は、それぞれ寄生容量 122C、212C、222C、...、n12C、n22C と、寄生抵抗 122P、212P、222P、...、n12P、n22P とを有する。さらに、第 2 積演算素子 112、122、212、222、...、n12、n22 には、それぞれ配線抵抗 112W、122W、212W、222W、...、n12W、n22W が直列接続されていると考えることができる。

30

【0051】

第 2 積演算素子 112、122、212、222、...、n12、n22 は、第 2 入力信号に基づいて正のバイアスに対応する正の電荷を発生させるために用いられる。これらの正のバイアスは、第 1 積演算素子 111、121、211、221、...、k11、k21 及び第 2 積演算素子 112、122、212、222、...、n12、n22 が発生させた負のバイアスと足し合わされ、バイアスを調整するために使用される。

40

【0052】

抵抗器 113W 及び抵抗器 123W は、第 3 入力信号に基づいて正のバイアスに対応する正の電荷を発生するために用いられる。これらの正のバイアスは、第 1 積演算素子 111、121、211、221、...、k11、k21 及び第 2 積演算素子 112、122、212、222、...、n12、n22 が発生させた負のバイアスと足し合わされ、バイアスを調整するために使用される。

50

【 0 0 5 3 】

和演算部 1 0 S は、演算期間において、第 1 積演算素子 1 1 1、2 1 1、...、k 1 1 が出力した第 1 出力信号、第 2 積演算素子 1 1 2、2 1 2、...、n 1 2 が出力した第 2 出力信号及び抵抗器 1 1 3 W が出力した第 3 出力信号の総和を演算する。同様に、和演算部 2 0 S は、演算期間において、第 1 積演算素子 1 2 1、2 2 1、...、k 2 1 が出力した第 1 出力信号、第 2 積演算素子 1 2 2、2 2 2、...、n 2 2 が出力した第 2 出力信号及び抵抗器 1 2 3 W が出力した第 3 出力信号の総和を演算する。

【 0 0 5 4 】

ただし、和演算部 1 0 S は、抵抗器 1 1 3 W 及び抵抗器 1 2 3 W に第 3 入力信号が入力されなかった場合又は積演算素子 1 が抵抗器 1 1 3 W 及び抵抗器 1 2 3 W を備えていない場合、演算期間において、第 1 積演算素子 1 1 1、2 1 1、...、k 1 1 が出力した第 1 出力信号及び第 2 積演算素子 1 1 2、2 1 2、...、n 1 2 が出力した第 2 出力信号の総和を演算する。これは、和演算部 2 0 S についても同様である。

10

【 0 0 5 5 】

次に、図 5 を参照しながら、実施形態に係る積和演算器が実行するニューラルネットワーク演算の一例について説明する。図 5 は、実施形態に係る積和演算器が実行するニューラルネットワーク演算の一例を説明するための図である。

【 0 0 5 6 】

ノード 1 0 1、2 0 1、...、k 0 1、1 0 2、2 0 2、...、n 0 2、1 0 3 は、入力層を形成している。パーセプトロン 1 0、2 0 は、隠れ層又は出力層を形成している。

20

【 0 0 5 7 】

ノード 1 0 1 は、図 1 及び図 3 に示した第 1 入力部 1 0 1 E に対応しており、第 1 入力信号に対応する入力値をパーセプトロン 1 0、2 0 に対して出力する。同様に、ノード 2 0 1、...、k 0 1 は、それぞれ第 1 入力部 2 0 1 E、...、k 0 1 E に対応しており、第 1 入力信号に対応する入力値をパーセプトロン 1 0、2 0 に対して出力する。

【 0 0 5 8 】

ノード 1 0 2 は、図 1 及び図 3 に示した第 2 入力部 1 0 2 E に対応しており、第 2 入力信号に対応する入力値をパーセプトロン 1 0、2 0 に対して出力する。同様に、ノード 2 0 2、...、k 0 2 は、それぞれ第 2 入力部 2 0 2 E、...、n 0 2 E に対応しており、第 2 入力信号に対応する入力値をパーセプトロン 1 0、2 0 に対して出力する。

30

【 0 0 5 9 】

ノード 1 0 3 は、図 1 及び図 3 に示した第 3 入力部 1 0 3 E に対応しており、第 3 入力信号に対応する入力値をパーセプトロン 1 0、2 0 に対して出力する。

【 0 0 6 0 】

矢印 1 1 1 A は、第 1 積演算素子 1 1 1 に対応しており、ノード 1 0 1 が出力した入力値に重みが乗算され、第 1 出力信号に対応する値がパーセプトロン 1 0 に入力されることを表している。同様に、矢印 1 2 1 A は、第 1 積演算素子 1 2 1 に対応しており、ノード 1 0 1 が出力した入力値に重みが乗算され、第 1 出力信号に対応する値がパーセプトロン 2 0 に入力されることを表している。これらは、矢印 2 1 1 A、2 2 1 A、...、k 1 1 A、k 2 1 A についても同様である。

40

【 0 0 6 1 】

矢印 1 1 2 A は、第 2 積演算素子 1 1 2 に対応しており、ノード 1 0 2 が出力した入力値に重みが乗算され、第 2 出力信号に対応する値がパーセプトロン 1 0 に入力されることを表している。同様に、矢印 1 2 2 A は、第 2 積演算素子 1 2 2 に対応しており、ノード 1 0 2 が出力した入力値に重みが乗算され、第 2 出力信号に対応する値がパーセプトロン 2 0 に入力されることを表している。これらは、矢印 2 1 2 A、2 2 2 A、...、n 1 2 A、n 2 2 A についても同様である。

【 0 0 6 2 】

矢印 1 1 3 A は、抵抗器 1 1 3 に対応しており、ノード 1 0 3 が出力した入力値に抵抗値により定まっている重みが乗算され、第 3 出力信号に対応する値がパーセプトロン 1 0

50

に入力されることを表している。同様に、矢印 1 2 3 A は、抵抗器 1 2 3 に対応しており、ノード 1 0 3 が出力した入力値に抵抗値により定まっている重みが乗算され、第 3 出力信号に対応する値がパーセプトロン 2 0 に入力されることを表している

【 0 0 6 3 】

パーセプトロン 1 0 は、矢印 1 1 1 A、2 1 1 A、... k 1 1 A、矢印 1 1 2 A、2 1 2 A、... n 1 2 A 及び矢印 1 1 3 A から入力された値の総和に、図 5 に示したバイアス「 - b 1 」が足された値を出力する。同様に、パーセプトロン 2 0 は、矢印 1 2 1 A、2 2 1 A、... k 2 1 A、矢印 1 2 2 A、2 2 2 A、... n 2 2 A 及び矢印 1 2 3 A から入力された値の総和に、図 5 に示したバイアス「 - b 2 」が足された値を出力する。

【 0 0 6 4 】

また、バイアス「 - b 1 」は、第 1 積演算素子 1 1 1、2 1 1、...、k 1 1 の少なくとも一つが発生させた負のバイアスを含んでおり、第 2 積演算素子 1 1 2、2 1 2、...、n 0 2 及び抵抗器 1 1 3 W の少なくとも一つが発生させた正のバイアスを含んでいてもよい。これは、バイアス「 - b 2 」についても同様である。

【 0 0 6 5 】

以上、実施形態に係る積和演算器 1 について説明した。積和演算器 1 は、寄生容量 1 1 1 C、1 2 1 C、2 1 1 C、2 2 1 C、...、k 1 1 C、k 2 1 C 各々からの放電に起因する過渡応答の少なくとも一部を含む演算期間において、第 1 出力信号の総和を演算する。このため、積和演算器 1 は、構成要素を別途追加して回路構成を複雑にすること無く、負のバイアスに対応する負の電荷を発生させることができる。また、積和演算器 1 は、第 1 積演算素子を多数使用したり、放電に起因する過渡応答を出来るだけ多く演算期間に含めたりすることにより、絶対値が大きな負のバイアスを発生させ、広い範囲で負のバイアスを発生させることができる。

【 0 0 6 6 】

また、第 1 積演算素子 1 1 1、1 2 1、2 1 1、2 2 1、...、k 1 1、k 2 1 は、書き込み端子と、共通端子と、読み出し端子とを有する抵抗変化素子又はトンネル磁気抵抗効果素子であってもよい。これにより、積和演算器 1 は、抵抗変化素子及びトンネル磁気抵抗効果素子の寄生容量の静電容量が大きいいため、絶対値が大きな負のバイアスを発生させ、広い範囲で負のバイアスを発生させることができる。

【 0 0 6 7 】

また、積和演算器 1 は、第 2 積演算素子 1 1 2、1 2 2、2 1 2、2 2 2、...、n 1 2、n 2 2 各々が所望の正のバイアスに対応する正の電荷を発生させるため、上述した負のバイアスとの総和を演算し、バイアスを正から負の広い範囲で調整することができる。

【 0 0 6 8 】

さらに、積和演算器 1 は、抵抗器 1 1 3 W 及び抵抗器 1 2 3 W 各々が所望の正のバイアスに対応する正の電荷を発生させるため、上述した負のバイアスとの総和を演算し、バイアスを正から負の広い範囲で調整することができる。また、抵抗器 1 1 3 W は、第 2 積演算素子 1 1 2、2 1 2、...、n 1 2 が発生させる正のバイアスの合計よりも絶対値が大きな正のバイアスを発生させることができる。同様に、抵抗器 1 2 3 W は、第 2 積演算素子 1 2 2、2 2 2、...、n 2 2 が発生させる正のバイアスの合計よりも絶対値が大きな正のバイアスを発生させることができる。このため、積和演算器 1 は、上述した負のバイアスを抵抗器 1 1 3 W 及び抵抗器 1 2 3 W の少なくとも一つが発生させた正のバイアスで素早く打ち消し、バイアスを正から負の広い範囲で調整することができる。

【 0 0 6 9 】

また、上述した積和演算器 1 は、ニューロモフィックデバイスの構成要素として使用され得る。

【 0 0 7 0 】

なお、上述した実施形態に係る積和演算器 1 等の各装置の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録させ、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませて実行することにより、処理を行ってもよい

10

20

30

40

50

【0071】

なお、ここで言うコンピュータシステムとは、オペレーティング・システム（Operating System：OS）又は周辺機器等のハードウェアを含むものであってもよい。また、コンピュータ読み取り可能な記録媒体とは、例えば、フロッピーディスク、光磁気ディスク、ROM（Read Only Memory）、フラッシュメモリ等の書き込み可能な不揮発性メモリ、DVD（Digital Versatile Disc）等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置、ネットワーク又は通信回線を介してプログラムが送信される場合におけるサーバ又はクライアントとなるコンピュータシステム内部の揮発性メモリのように一定時間プログラムを保持しているものも含む。

10

【0072】

また、上述したプログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、又は、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する伝送媒体とは、インターネット等のネットワーク又は電話回線等の通信回線のように情報を伝送する機能を有する媒体のことをいう。

【0073】

また、上述したプログラムは、上述した機能の一部を実現するためのものであってもよく、上述した機能をコンピュータシステムに既に記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分プログラムであってもよい。上述したプログラムは、例えば、コンピュータが備えるCPU（Central Processing Unit）等のプロセッサにより読み出されて実行される。

20

【0074】

以上のような積和演算器、あるいはそれを用いたニューロモーフィックデバイスは、各種センサやロボットの脳として機能させることができる。このニューロモーフィックデバイスを用いた制御装置にセンサから出力された信号を入力すると、Edge素子として機能させることができる。センサ信号には一般的に多くのノイズが存在し、一般的なセンサモジュールでは得たいセンサ信号をノイズから取り出すことができない。したがって、センサ信号の時系列信号から、例えば信号処理技術を用いてノイズを除去し、得たい信号を取り出すなどの方法が取られる。この場合、得た信号以外はエネルギーの消費だけであり、情報を生まない。このニューロモーフィックデバイスを用いた制御装置にセンサ信号を入力することにより、高精度の認識を行うことができる。従来は源信号にノイズが重畳した観測信号を源信号とノイズに分離することで、初めて意味のある情報として抽出されるが、本制御装置を用いるとノイズを含む時系列信号から得たい源信号を予測することができ、源信号の出力強度や統計値が小さくても意味のある信号として取り出すことができる。これはセンサと制御装置が一体となったモジュールであり、AI Edgeセンサモジュールとすることができる。本制御装置を用いると、認識精度が高くなるために従来よりも小さな演算機能で情報を取り出すことができ、低コスト、省電力及び省体積化を実現することができる。

30

【0075】

本制御装置に複数のセンサの信号を同時に入力することも好ましい。複数のセンサの信号が同時に入力することによって、互いのセンサの関連性に関する認識を得ることができる。例えば、ロボットにおいて手、足、胴体にセンサが設置され、そのセンサからの信号が同時に本制御装置に入力されると、その信号によってロボットが歩いているか、転んだのかなどの情報を複合的に判断することができる。さらに、AI Edgeセンサモジュールが複数設置されたロボットや車などにおいて、本制御装置に同時に信号が入力されることによってより省電力化と高機能化が期待できる。複数のセンサが異なる種類のセンサであった場合には、それぞれのセンサに対応できる電圧や電流に対応した制御装置を設置する必要がある。この場合、制御装置のインタフェースに変圧器やアナログ デジタル変換器などが必要となり、エネルギー変換によってエネルギーが消費される。AI Edgeセ

40

50

ンサモジュールでも同様にエネルギーが消費されるが、A I E d g e センサモジュールから中央の制御装置に出力された信号はA I E d g e センサモジュールで一定の認識と識別がされたものであり、必要な情報のみを送ることができる。これらの機能によりA I E d g e センサモジュールと中央の制御装置の間の通信を削減することができるため、システム全体としてのエネルギー消費を減少できる。

【0076】

以上、本発明の実施形態について図面を参照して詳述したが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形及び置換を加えることができる。上述した各実施形態に記載の構成を組み合わせてもよい。

【産業上の利用可能性】

10

【0077】

本発明によれば、積和演算をニューロモーフィック素子を使用する場合に、結果の精度を向上させることができる。

【符号の説明】

【0078】

1...積和演算器、101E, 201E, k01E...第1入力部、111, 121, 211, 221, k11, k21...第1積演算素子、111C, 121C, 211C, 221C, k11C, k21C...寄生容量、111P, 121P, 211P, 221P, k11P, k21P...寄生抵抗、111R, 121R, 211R, 221R, k11R, k21R...可変抵抗、111W, 121W, 211W, 221W, k11W, k21W...配線抵抗、111X, 121X, 211X, 221X, k11X, k21X...読み出し端子、111Y, 121Y, 211Y, 221Y, k11Y, k21Y...共通端子、111Z, 121Z, 211Z, 221Z, k11Z, k21Z...書き込み端子、102E, 202E, n02E...第2入力部、112, 122, 212, 222, n12, n22...第2積演算素子、112C, 122C, 212C, 222C, n12C, n22C...寄生容量、112P, 122P, 212P, 222P, n12P, n22P...寄生抵抗、112R, 122R, 212R, 222R, n12R, n22R...可変抵抗、112W, 122W, 212W, 222W, n12W, n22W...配線抵抗、112X, 122X, 212X, 222X, n12X, n22X...読み出し端子、112Y, 122Y, 212Y, 222Y, n12Y, n22Y...共通端子、112Z, 122Z, 212Z, 222Z, n12Z, n22Z...書き込み端子、103E...第3入力部、113W, 123W...抵抗器、10S, 20S...和演算部、1111...磁化固定層、1112...非磁性層、1113...第1領域、1114...磁壁、1115...第2領域、1116...第1磁化供給層、1117...第2磁化供給層、4...トンネル磁気抵抗効果素子、41...第1強磁性層、42...第2強磁性層、43...トンネルバリア層、T, T0, T1, T2, T3...第1出力信号、TF0, TF1, TF2, TF3, TS0, TS1, TS2, TS3...過渡応答、10, 20...パーセプトロン、101, 102, 103, 201, 202, k01, n02...ノード、111A, 112A, 113A, 121A, 122A, 123A, 211A, 212A, 221A, 222A, k11A, k21A, n12A, n22A...矢印

20

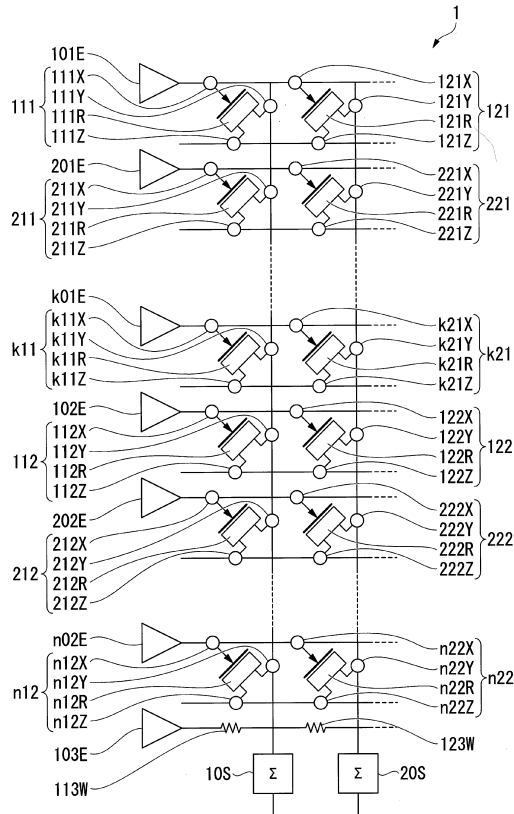
30

【要約】

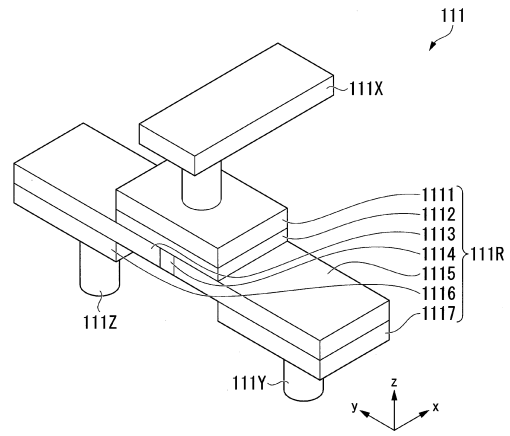
40

積和演算器は、入力値に対応する第1入力信号に重みを乗算して第1出力信号を生成し、前記第1出力信号を出力する複数の第1積演算素子と、前記第1入力信号の入力による複数の前記第1積演算素子各々の寄生容量への充電に起因する過渡応答後に定常状態となっている時点から、前記第1入力信号の入力による複数の前記第1積演算素子各々の前記寄生容量からの放電に起因する過渡応答が発生し始めた後の時点までの演算期間において、複数の前記第1積演算素子各々が出力した前記第1出力信号の総和を演算する和演算部と、を備える。

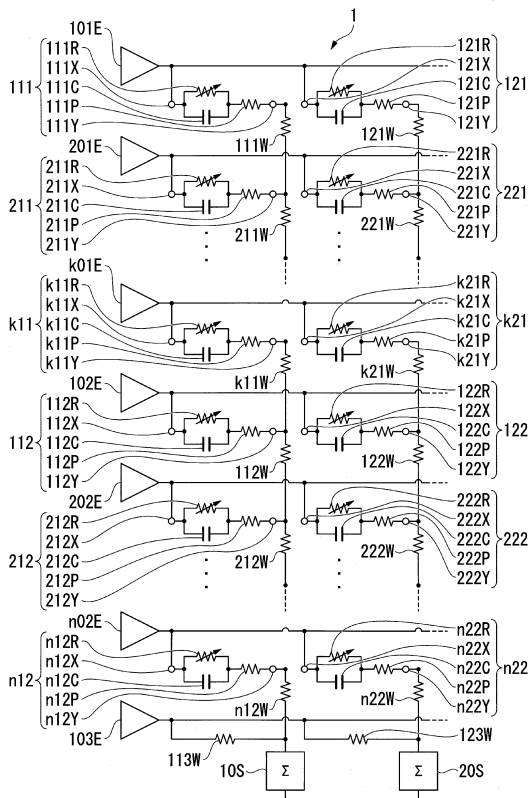
【図1】



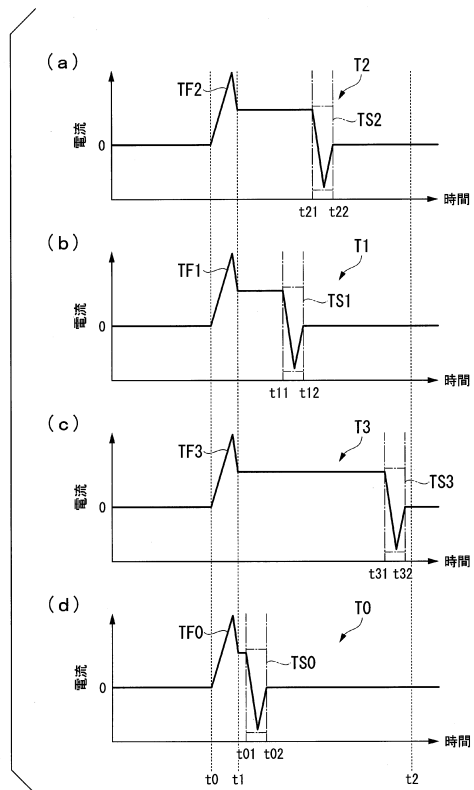
【図2】



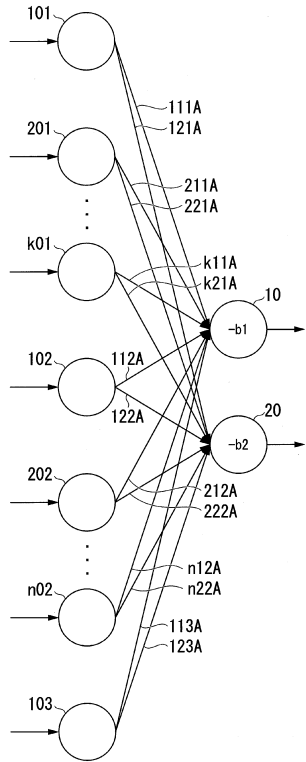
【図3】



【図4】



【 図 5 】



フロントページの続き

審査官 白石 圭吾

(56)参考文献 特開2009-282782(JP,A)
特表2016-538632(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06G 1/00 - 99/00
G06N 3/063