



(12)发明专利

(10)授权公告号 CN 104952707 B

(45)授权公告日 2018.07.20

(21)申请号 201410127662.5

(22)申请日 2014.03.31

(65)同一申请的已公布的文献号
申请公布号 CN 104952707 A

(43)申请公布日 2015.09.30

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 周鸣

(74)专利代理机构 北京康信知识产权代理有限公司 11240

代理人 吴贵明 张永明

(51)Int.Cl.

H01L 21/033(2006.01)

H01L 21/768(2006.01)

(56)对比文件

CN 103489822 A,2014.01.01,说明书第32-54段,图2.

CN 103489822 A,2014.01.01,说明书第32-54段,图2.

CN 103515228 A,2014.01.15,说明书第34-60段,图.

CN 103377886 A,2013.10.30,说明书第2-42段,图2,3.

CN 103377886 A,2013.10.30,说明书第2-42段,图2,3.

CN 102779780 A,2012.11.14,说明书第2-5段,图1-5.

审查员 赵凤瑗

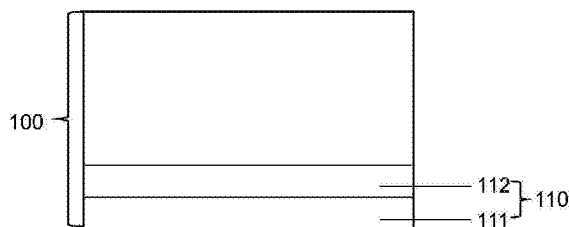
权利要求书1页 说明书6页 附图2页

(54)发明名称

TiN复合硬掩膜、用于形成互连层结构的硬掩及互连层的制作方法

(57)摘要

本申请公开了一种TiN复合硬掩膜、用于形成互连层结构的掩膜及互连层的制作方法。该TiN复合硬掩膜包括至少一组掩膜组件,其中掩膜组件包括:第一掩膜层,靠近待刻蚀器件表面设置;第二掩膜层,设置在第一掩膜层远离待刻蚀器件的一侧;第二掩膜层为氮化钛层,第一掩膜层的硬度低于第二硬掩层的硬度。通过将氮化钛层设置在上方,以提高TiN复合硬掩膜的硬度,进而有利于在刻蚀过程为半导体器件提供保护,同时通过降低TiN的层厚,减少抛光时TiN碎片的数量,进而减少TiN残留物。



1. 一种互连层的制作方法,其特征在于,所述制作方法包括以下步骤:

在Si衬底上依次形成SiO₂介质层、SiOC掩膜层以及由4组SiCN/TiN组成的TiN复合硬掩膜,其中,各组SiCN/TiN中,所述SiCN的高度60Å,所述TiN的高度30Å,形成所述TiN的反应条件为:以TiCl₄和NH₃为反应气体,TiCl₄的流量为400sccm,NH₃的流量为300sccm,反应室内的压强为5torr,沉积温度为500℃,沉积时间为15秒;

刻蚀所述TiN复合硬掩膜、所述SiOC掩膜层和所述SiO₂介质层形成通孔,通过电镀工艺在通孔中形成Cu预备层,以及采用化学机械抛光去除SiO₂介质层上的所述TiN复合硬掩膜、所述SiOC掩膜层和所述Cu预备层的步骤;化学机械抛光的工艺条件为:研磨头上施加的压力为220g/cm²,研磨头的转速为85r/min,抛光液的流速260mL/min,抛光温度为35℃,抛光时间为35秒。

TiN复合硬掩膜、用于形成互连层结构的硬掩及互连层的制作方法

技术领域

[0001] 本申请涉及半导体集成电路制作技术领域,具体而言,涉及一种TiN复合硬掩膜、用于形成互连层结构的掩膜及互连层的制作方法。

背景技术

[0002] 在半导体器件的制作过程中,通常会在半导体基材上形成图形化的硬掩膜,然后沿硬掩膜的图形刻蚀半导体基材形成所需的半导体功能区,例如沟槽或通孔等,最后去除硬掩膜。目前,最常用的硬掩膜材料为TiN。TiN因具有结构致密、硬度高等优点,使得在刻蚀过程中刻蚀离子不会穿过TiN,进而能够有效地对半导体器件进行保护,避免半导体器件受到损坏。

[0003] 目前,去除TiN硬掩膜的工艺主要采用化学机械抛光。所谓化学机械抛光是在机械抛光的基础上,在所抛光的表面加入化学添加剂以达到增强抛光的效果。在对TiN硬掩膜进行化学机械抛光工艺处理时,由于TiN硬度较高,使其加工性能较差,容易在抛光面上产生空隙。与此同时,在对TiN硬掩膜进行化学机械抛光工艺处理时,所产生的TiN碎屑会填充在抛光面上的空隙中而无法被抛光溶液冲走,使得在形成的半导体器件上产生TiN残留物,进而影响半导体器件的稳定性。

[0004] 在互连层的制作过程中,同样会在互连层上产生TiN残留物。互连层的制作步骤包括:在互连介质层上形成氧化物掩膜和TiN硬掩膜作为掩膜,然后刻蚀贯穿介质层和掩膜形成通孔,再在通孔中形成金属预备层,最后采用化学机械抛光去除介质层之上的掩膜和金属预备层形成金属层。在对掩膜和金属预备层进行化学机械抛光的过程中,部分TiN会残留在所形成的互连层上,如图1所示,在图1中示出了一种以TiN硬掩膜作为掩膜制作的现有互连层的SEM照片,在图中可以明显看出在互连层的抛光面上所产生的TiN残留物(如图1中的a所示),这些TiN残留物的存在会影响互连层的稳定性。

发明内容

[0005] 本申请旨在提供一种TiN复合硬掩膜、用于形成互连层结构的掩膜及互连层的制作方法,以解决半导体器件中易存在TiN残留物的问题。

[0006] 为了实现上述目的,本申请提供了一种TiN复合硬掩膜,该TiN复合硬掩膜包括至少一组掩膜组件,其中掩膜组件包括:第一掩膜层,靠近待刻蚀器件表面设置;第二掩膜层,设置在第一掩膜层远离待刻蚀器件的一侧;第二掩膜层为氮化钛层,第一掩膜层的硬度低于第二硬掩层的硬度。

[0007] 进一步地,在上述的TiN复合硬掩膜中,该TiN复合硬掩膜包括2~4组掩膜组件。

[0008] 进一步地,在上述的TiN复合硬掩膜中,各掩膜组件中第一掩膜层和第二掩膜层的高度比为1:0.5~2。

[0009] 进一步地,在上述的TiN复合硬掩膜中,不同组掩膜组件中,第一掩膜层的材料相

同或不相同。

[0010] 进一步地,在上述的TiN复合硬掩膜中,各第一掩膜层为含硅介质层。

[0011] 进一步地,在上述的TiN复合硬掩膜中,各第一掩膜层选自SiO₂、SiOC、SiON或SiCN。

[0012] 本申请还提供了一种用于形成互连层结构的掩膜,该掩膜包括依次设置于互连介质层之上的氧化物掩膜和本申请提供的TiN复合硬掩膜。

[0013] 进一步地,在上述的掩膜中,氧化物掩膜选自黑钻石、SiOC和SiO₂中的任一种或多种。

[0014] 进一步地,在上述的掩膜中,氧化物掩膜包括朝向远离互连介质层方向上依次设置的黑钻石和SiO₂。

[0015] 进一步地,在上述的掩膜中,掩膜还包括设置在TiN复合硬掩膜远离互连介质层一侧的保护层,优选保护层为SiO₂。

[0016] 本申请还提供了一种互连层的制作方法,包括在半导体基体上依次形成互连介质层和掩膜,刻蚀贯穿掩膜和互连介质层形成通孔,在通孔内填充形成金属预备层,以及去除位于互连介质层之上的掩膜和金属预备层形成金属层,其中形成掩膜的步骤中形成本申请提供的掩膜。

[0017] 应用本申请提供的技术方案,同时使用了氮化钛层和硬度低于氮化钛层的另一种材料层。通过将氮化钛层设置在上方,以提高TiN复合硬掩膜的硬度,进而有利于在刻蚀过程为半导体器件提供保护,同时通过降低TiN的层厚,减少抛光时TiN碎片的数量,进而减少TiN残留物。同时,通过在待刻蚀器件的表面采用硬度较低的材料层,提高了TiN复合硬掩膜的加工性能,进而在抛光时,减少了抛光TiN复合硬掩膜后所留下的抛光面上空隙的数量和面积,进而减少了半导体器件上产生TiN残留物,提高了半导体器件的稳定性。

附图说明

[0018] 构成本申请的一部分的说明书附图用来提供对本申请的进一步理解,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0019] 图1示出了现有互连层的SEM照片;

[0020] 图2示出了本申请实施方式所提供的硬掩膜的剖面结构示意图;

[0021] 图3示出了本申请实施方式所提供的一种用于形成互连层结构的掩膜的剖面结构示意图;以及

[0022] 图4示出了本申请实施方式所提供的另一种用于形成互连层结构的掩膜的剖面结构示意图。

具体实施方式

[0023] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将结合实施例来详细说明本申请。

[0024] 需要注意的是,这里所使用的术语仅是为了描述具体实施方式,而非意图限制根据本申请的示例性实施方式。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式,此外,还应当理解的是,当在本说明书中使用属于“包含”和/或“包

括”时,其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0025] 为了便于描述,在这里可以使用空间相对术语,如“在……之上”、“在……上方”、“在……上表面”、“上面的”等,用来描述如在图中所示的一个器件或特征与其他器件或特征的空间位置关系。应当理解的是,空间相对术语旨在包含除了器件在图中所描述的方位之外的在使用或操作中的不同方位。例如,如果附图中的器件被倒置,则描述为“在其他器件或构造上方”或“在其他器件或构造之上”的器件之后将被定位为“在其他器件或构造下方”或“在其他器件或构造之下”。因而,示例性术语“在……上方”可以包括“在……上方”和“在……下方”两种方位。该器件也可以其他不同方式定位(旋转90度或处于其他方位),并且对这里所使用的空间相对描述作出相应解释。

[0026] 正如背景技术中所介绍的,在半导体器件中存在硬掩膜残留物的问题。本申请的发明人针对上述问题进行研究,提供了一种TiN复合硬掩膜。如图2所示,该TiN复合硬掩膜100包括至少一组掩膜组件110,掩膜组件110包括:第一掩膜层111和第二掩膜层112。第一掩膜层111靠近待刻蚀器件表面设置;第二掩膜层112设置在第一掩膜层111的远离待刻蚀器件的一侧,第二掩膜层112为氮化钛层,第一掩膜层111的硬度低于第二硬掩层112的硬度。

[0027] 在本申请所提供的这种TiN复合硬掩膜中,同时使用了氮化钛层和硬度低于氮化钛层的另一种材料层。通过将氮化钛层设置在上方,以提高TiN复合硬掩膜的硬度,进而有利于在刻蚀过程为半导体器件提供保护,同时通过降低TiN的层厚,进而减少抛光时,TiN碎片的数量,进而减少TiN残留物。同时,通过在待刻蚀器件的表面采用硬度较低的材料层,提高了TiN复合硬掩膜的加工性能,进而在抛光时,减少了抛光TiN复合硬掩膜后所留下的抛光面上空隙的数量和面积,进而减少了半导体器件上产生TiN残留物,提高了半导体器件的稳定性。

[0028] 上述TiN复合硬掩膜100中掩膜组件110的数量可以为一组或多组,本领域的技术人员可以根据实际工艺需求设定掩膜组件110的数量。在一种优选实施方式中,该TiN复合硬掩膜100包括2~4组掩膜组件110。当TiN复合硬掩膜100包括2~4组掩膜组件110时,通过分层设置的TiN层,保证了TiN复合硬掩膜100的硬度,进而有利于为半导体器件提供保护。同时,在TiN复合硬掩膜100的高度相同的情况下,掩膜组件110的组数越多,每层TiN的高度越薄,在这种情况下,TiN层更容易被去除,且去除TiN层时,所产生的TiN碎片更分散,易于去除,进而有利于减少在半导体器件上产生的TiN残留物,提高了半导体器件的稳定性。然而,随着掩膜组件110的组数的增加,制备工艺也会相对复杂,为了减化制备工艺,在本申请中优选2~4组掩膜组件110。

[0029] 在各掩膜组件110中,本领域的技术人员同样可以根据实际工艺需求设定第一掩膜层111和第二掩膜层112的高度比。在一种优选实施方式中,第一掩膜层111和第二掩膜层112的高度比为1:0.5~2。采用上述高度比的掩膜组件110有利于使得TiN复合硬掩膜100的硬度与加工性能达到一个平衡,进而在有利于对半导体器件提供保护的同时,减少抛光后半导体器件上产生的TiN残留物,提高了半导体器件的稳定性。上述第一掩膜层111可以为本领域中常见的含硅介质材料。优选地,第一掩膜层111为SiO₂、SiOC、SiON或SiCN。需要注意的是,在不同组掩膜组件110中,第一掩膜层111的材料可以相同,也可以不相同。

[0030] 本申请还提供了一种用于形成互连层结构的硬掩。如图3所示,该掩膜包括依次设

置于互连介质层之上的氧化物掩膜200和TiN复合硬掩膜100,其中TiN复合硬掩膜100为本申请所提供的TiN复合硬掩膜100。采用该掩膜形成的互连层上不会产生TiN残留物,进而提高了互连层的稳定性。

[0031] 上述氧化物掩膜200可以为本领域常见的氧化物掩膜材料。优选地,氧化物掩膜200选自黑钻石、SiOC和SiO₂中的任一种或多种。氧化物掩膜200可以为一层或多层,当氧化物掩膜200为多层时,一种优选实施方式中,氧化物掩膜200包括在远离互连介质层方向上依次设置的黑钻石和SiO₂。需要注意的是,如图4所示,该掩膜还可以包括设置在TiN复合硬掩膜100的远离互连介质层一侧的保护层300,该保护层300优选为SiO₂。

[0032] 同时,本申请还提供了一种互连层的制作方法,包括在半导体基体上依次形成互连介质层和掩膜,刻蚀贯穿掩膜和互连介质层形成通孔,在通孔内填充形成金属预备层,以及位于去除互连介质层之上的掩膜和金属预备层形成金属层,其中掩膜为本申请所提供的掩膜。采用该制作方法形成的互连层上不会产生TiN残留物,进而提高了互连层的稳定性。

[0033] 上述半导体基体的材料可以为单晶硅(Si)、单晶锗(Ge)、硅锗(GeSi)或碳化SiC,也可以是绝缘体上硅(SOI),绝缘体上锗(GOI),或者还可以为其它的材料,例如6砷化镓等III-V族化合物。上述半导体基体上至少形成一种结构,比如晶体管、二极管、电容器、浅沟槽结构或互连层等。上述互连介质层可以为Low-K材料,例如SiO₂或SiCOH,形成互连介质层的工艺可以为化学气相沉积、溅射等。

[0034] 上述掩膜包括氧化物掩膜200和TiN复合硬掩膜100。其中氧化物掩膜200可以为本领域常见的氧化物掩膜材料,优选为黑钻石、SiOC和SiO₂中的任一种或多种,形成氧化物掩膜200的工艺可以为化学气相沉积、溅射或热氧化等。TiN复合硬掩膜100为本申请所提供的TiN复合硬掩膜100,包括层叠设置的第一掩膜层111和第二掩膜层112,其中第二掩膜层为氮化钛层,第一掩膜层111可以为本领域常见的含硅介质材料,优选为SiO₂、SiOC、SiON或SiCN。

[0035] 形成上述第一掩膜层111和氮化钛工艺可以为化学气相沉积、溅射等。当采用化学气相沉积形成TiN时,一种可选的方案中,以TiCl₄和NH₃为反应气体,TiCl₄的流量为300~500sccm,NH₃的流量为150~250sccm,反应室内的压强为5~10torr,沉积温度为500~650℃,沉积时间为20~90秒。

[0036] 刻蚀上述掩膜和互连介质层的工艺为干法刻蚀。一种可选的方案中,干法刻蚀的工艺条件为:刻蚀气体为CF₄和CHF₃,溅射功率为400~1000瓦,刻蚀温度为25~60℃,刻蚀时间为30~360秒。

[0037] 上述金属预备层可以为现有技术中常用的金属材料,比如Cu、Au或Sn,优选为Cu,形成上述金属预备层的工艺包括但不限于采用电镀或化学气相沉积。当采用电镀工艺形成Cu时,一种可选实施方式为:以Cu₂P₂O₇为电镀液中的Cu源,电镀过程中的电流密度为1~5A/dm²,电镀液的温度为5~80℃。

[0038] 去除互连介质层之上的掩膜和金属预备层的工艺为化学机械抛光。化学机械抛光所采用的抛光液可以为本领域技术人员所熟知的SiO₂抛光液,例如可以是市场销售的各种型号的抛光液。一种可选的方案中,化学机械抛光的工艺条件为:研磨头上施加的压力为200~300g/cm²,研磨头的转速为50~100r/min,抛光液的流速100~300ml/min,抛光温度为20~45℃,抛光时间为20~120秒。

[0039] 下面结合实施例进一步说明本申请提供互连层的制作方法。然而,这些示例性实施方式可以有多种不同的形式来实施,并且不应当被解释为只限于这里所阐述的实施方式。应当理解的是,提供这些实施方式是为了使得本申请的公开彻底且完整,并且将这些示例性实施方式的构思充分传达给本领域普通技术人员。

[0040] 实施例1

[0041] 本实施例提供了一种互连层的制作方法,包括以下步骤:

[0042] 在Si衬底上依次形成SiO₂介质层、SiOC掩膜层以及由一组SiO₂/TiN组成的TiN复合硬掩膜,其中,TiN复合硬掩膜中SiO₂的高度为150Å,TiN的高度为150Å,形成TiN的反应条件为:以TiCl₄和NH₃为反应气体,TiCl₄的流量为400sccm,NH₃的流量为300sccm,反应室内的压强为5torr,沉积温度为500℃,沉积时间为60秒;

[0043] 刻蚀TiN复合硬掩膜、SiOC掩膜层和SiO₂介质层形成通孔,其中刻蚀的工艺条件为:刻蚀气体为CF₄和CHF₃,溅射功率为1000瓦,刻蚀温度为60℃,刻蚀时间为70秒;

[0044] 通过电镀工艺在通孔中形成Cu预备层,其中电镀的工艺条件为:以Cu₂P₂O₇为电镀液中的Cu源,电镀过程中的电流密度为3A/dm²,电镀液的温度为65℃;

[0045] 采用化学机械抛光去除SiO₂介质层上的TiN复合硬掩膜、SiOC掩膜层和Cu预备层,以在SiO₂介质层中形成Cu层,其中化学机械抛光的工艺条件为:研磨头上施加的压力为220g/cm²,研磨头的转速为85r/min,抛光液的流速260ml/min,抛光温度为35℃,抛光时间为35秒。

[0046] 实施例2

[0047] 本实施例提供了一种互连层的制作方法,包括以下步骤:

[0048] 在Si衬底上依次形成SiO₂介质层、SiOC掩膜层以及由2组SiON/TiN组成的TiN复合硬掩膜,其中,每组SiON/TiN中SiON的高度40Å,TiN的高度80Å,形成每组TiN的反应条件为:以TiCl₄和NH₃为反应气体,TiCl₄的流量为400sccm,NH₃的流量为300sccm,反应室内的压强为5torr,沉积温度为500℃,沉积时间为30秒;

[0049] 刻蚀TiN复合硬掩膜、SiOC掩膜层和SiO₂介质层形成通孔,通过电镀工艺在通孔中形成Cu预备层,以及采用化学机械抛光去除SiO₂介质层上的TiN复合硬掩膜、SiOC掩膜层和Cu预备层的步骤与实施例1相同。

[0050] 实施例3

[0051] 本实施例提供了一种互连层的制作方法,包括以下步骤:

[0052] 在Si衬底上依次形成SiO₂介质层、SiOC掩膜层以及由2组SiOC/TiN组成的TiN复合硬掩膜,其中,每组SiOC/TiN中SiOC的高度40Å,TiN的高度80Å,形成每组TiN的反应条件为:以TiCl₄和NH₃为反应气体,TiCl₄的流量为400sccm,NH₃的流量为300sccm,反应室内的压强为5torr,沉积温度为500℃,沉积时间为30秒;

[0053] 刻蚀TiN复合硬掩膜、SiOC掩膜层和SiO₂介质层形成通孔,通过电镀工艺在通孔中形成Cu预备层,以及采用化学机械抛光去除SiO₂介质层上的TiN复合硬掩膜、SiOC掩膜层和Cu预备层的步骤与实施例1相同。

[0054] 实施例4

[0055] 本实施例提供了一种互连层的制作方法,包括以下步骤:在Si衬底上依次形成SiO₂介质层、SiOC掩膜层以及由4组SiCN/TiN组成的TiN复合硬掩膜,其中,每组SiCN/TiN中

SiCN的高度60Å,TiN的高度30Å,形成每组TiN的反应条件为:以TiCl₄和NH₃为反应气体,TiCl₄的流量为400sccm,NH₃的流量为300sccm,反应室内的压强为5torr,沉积温度为500℃,沉积时间为15秒;

[0056] 刻蚀TiN复合硬掩膜、SiOC掩膜层和SiO₂介质层形成通孔,通过电镀工艺在通孔中形成Cu预备层,以及采用化学机械抛光去除SiO₂介质层上的TiN复合硬掩膜、SiOC掩膜层和Cu预备层的步骤与实施例1相同。

[0057] 对比例1

[0058] 本对比例提供了一种互连层的制作方法,包括以下步骤:

[0059] 在Si衬底上依次形成SiO₂介质层、SiOC掩膜层以及300ÅTiN硬掩膜,其中形成TiN的反应条件为:以TiCl₄和NH₃为反应气体,TiCl₄的流量为400sccm,NH₃的流量为300sccm,反应室内的压强为5torr,沉积温度为500℃,沉积时间为100秒;

[0060] 刻蚀硬掩膜、SiOC掩膜层和SiO₂介质层形成通孔,通过电镀工艺在通孔中形成Cu预备层,以及采用化学机械抛光去除SiO₂介质层上硬掩膜、SiOC掩膜层和Cu预备层的步骤与实施例1相同。

[0061] 测试:通过测试实施例1至4和对比例1所得到的互连层中的漏电流,以表征互连层的隔离效果及可靠性。测试方法为:在互连层上施加测试电压,测试电压从0V至30V,每次增加1V;同时测量互连层之间的漏电流,并取平均值。测试结果请见表1。

[0062] 表1.

[0063]

	漏电流(平均值/A)
实施例1	3.5×10^{-9}
实施例2	3.2×10^{-9}
实施例3	3.3×10^{-9}
实施例4	2.7×10^{-9}
对比例1	7.8×10^{-8}

[0064] 从表1可以看出,实施例1至4得到的互连层的漏电流在 $2.7 \times 10^{-9} \sim 3.5 \times 10^{-9}$ 之间,而对比例1得到的互连层的漏电流为 7.8×10^{-8} A。可见,实施例1至4得到的互连层的稳定性明显高于对比例1得到的互连层的稳定性。

[0065] 从以上的描述中,可以看出,本申请上述的实施例实现了如下技术效果:本申请同时使用了氮化钛层和硬度低于氮化钛层的另一种材料层作为复合硬掩膜。通过将氮化钛层设置在上方,以提高TiN复合硬掩膜的硬度,进而有利于在刻蚀过程为半导体器件提供保护,同时通过降低TiN的层厚,减少抛光时TiN碎片的数量,进而减少TiN残留物。同时,通过在待刻蚀器件的表面采用硬度较低的材料层,提高了TiN复合硬掩膜的加工性能,进而在抛光时,减少了抛光TiN复合硬掩膜后所留下的抛光面上空隙的数量和面积,进而减少了半导体器件上产生的TiN残留物,提高了半导体器件的稳定性。

[0066] 以上所述仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

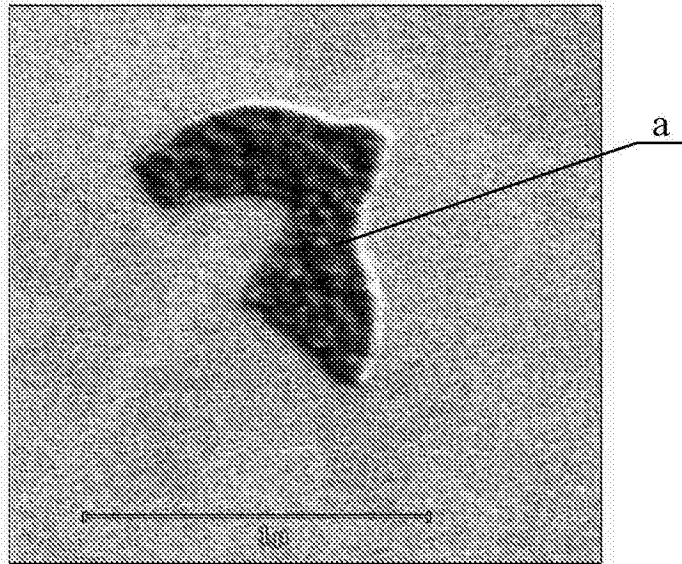


图1

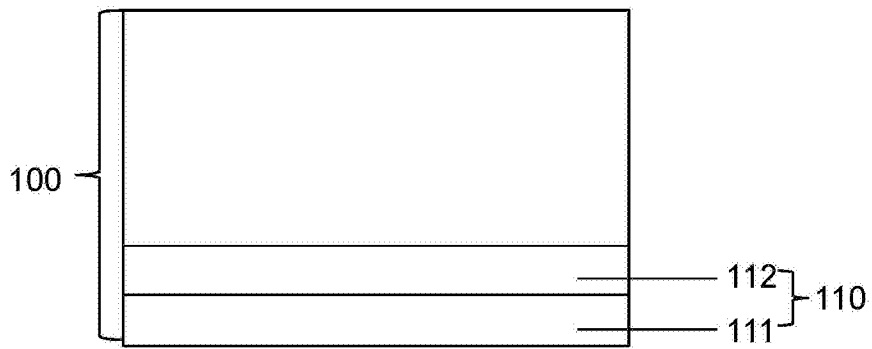


图2

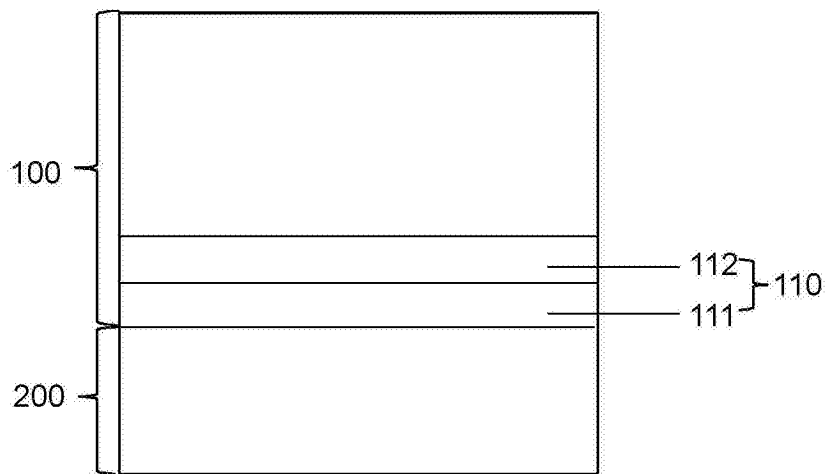


图3

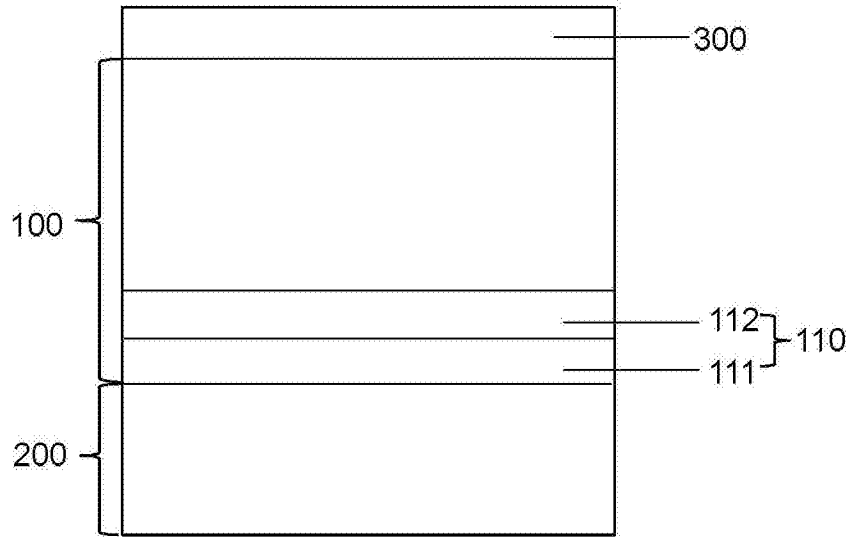


图4