

# [12] 发明专利申请公开说明书

[21] 申请号 99111095.1

[43]公开日 2000年4月26日

[11]公开号 CN 1251445A

[22]申请日 1999.7.29 [21]申请号 99111095.1

[30]优先权

[32]1998.10.16 [33]KR [31]43756/1998

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 李政根

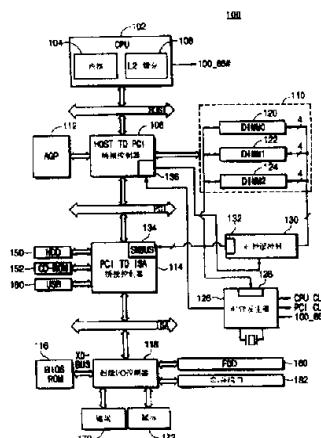
[74]专利代理机构 中原信达知识产权代理有限责任公司  
代理人 谢丽娜 余 贻

权利要求书 2 页 说明书 11 页 附图页数 12 页

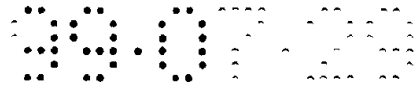
[54]发明名称 控制存储器时钟信号的计算机系统及其控制方法

[57]摘要

一种用于控制 DIMM 插槽的存储器时钟信号的计算机系统,包括用于控制 66MHz 或 100MHz 系统总线时钟信号生成的处理器,支持 66MHz 或 100MHz 系统总线时钟信号的 DIMM 存储器模块,用于生成 66MHz 或 100MHz 系统总线时钟信号的时钟发生器,时钟缓冲器,第一和第二系统控制器。其中,根据插入的存储器模块的类型,切断未使用的存储器模块插槽的时钟信号或切断正在使用的存储器模块插槽的未使用时钟信号。



ISSN 1000-8427-4



## 权 利 要 求 书

---

1. 一种包括用于输出控制信号以生成第一或第二总线时钟信号的处理器，和至少一个存储器模块的计算机系统，包括：

5           第一系统控制器，从所述存储器模块中读取主数据然后输出与  
所述存储器数据对应的设置数据；

          时钟发生器，根据控制信号输出与所述设置数据对应的第一或第  
二 HOST 时钟信号；

10           第二系统控制器，根据所述第一或第二 HOST 时钟信号，输出作  
为所述存储器模块的存储器时钟信号参考的第一或第二参考时钟信  
号；和

          时钟缓冲器，用于接收所述第一或第二参考时钟信号然后将与所  
述设置数据对应的第一至第四存储器时钟信号输出至所述存储器模  
块，

15           其中，如果所述存储器模块为单面型存储器模块，那么所述时钟  
缓冲器通过所述设置数据切断所述第一至第四存储器时钟信号中所述  
单面存储器模块未使用的存储器时钟信号。

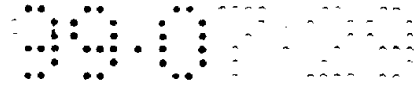
2. 如权利要求 1 所述的计算机系统，其特征在于所述第一系统控  
20           制器通过 SM（系统管理）总线传输所述存储器数据和所述设置数据。

3. 如权利要求 1 所述的计算机系统，其特征在于所述时钟发生器  
和所述时钟缓冲器包括用于储存所述设置数据的寄存器。

25           4. 如权利要求 1 或 3 所述的计算机系统，其特征在于如果所述存  
储器模块为单面型存储器模块，则所述时钟缓冲器，

          当输入所述第一参考时钟信号时，禁止所述第二存储器时钟信号  
和所述第四存储器时钟信号，和

30           当输入所述第二参考时钟信号时，禁止所述第三存储器时钟信号  
和所述第四存储器时钟信号。



5. 用于控制计算机系统至少一个 DIMM（双列直插式存储器模块）的存储器时钟信号的方法，包括以下步骤：

使能所有存储器插槽的第一至第四存储器时钟信号；

5 确定存储器模块是否被插入所述使能的存储器插槽中的某个插槽内；

如果所述存储器模块被插入其中，则确定所述插入的存储器模块的类型；

10 如果所述存储器模块为双面型存储器模块，则保持所述使能的第一至第四存储器时钟信号；

如果所述存储器模块为单面型存储器模块，则确定所述存储器模块的总线速度是第一速度还是第二速度；

15 如果所述总线速度是所述第一速度，则禁止所述第一至第四存储器时钟信号中与所述存储器模块的所述第二速度对应的存储器时钟信号；

如果所述总线速度是所述第二速度，则禁止所述第一至第四存储器时钟信号中与所述存储器模块的所述第一速度对应的存储器时钟信号。

20 6. 如权利要求 5 所述的方法，其特征在于如果所述存储器模块没有被插入其中，则禁止相应存储器模块插槽的所述第一至第四存储器时钟信号。



## 说明书

---

### 控制存储器时钟信号的计算机系统及其控制方法

5            本发明涉及计算机系统，具体涉及控制存储器时钟信号的计算机系统及其控制方法。

              计算机系统的系统总线是 CPU（中央处理单元），存储器，和外围设备相互间传输数据的通道。例如， 100MHz 系统总线传输速度意味着数据以 100MHz 的速度传输。

10

              意图提升系统总线速度的芯片组制造厂商指出目前的 66MHz 系统总线传输速度（以下称为“PC66”）跟不上 CPU 的发展速度。因此， Intel 公司适应于 CPU 的快速发展开发出了 100MHz 的系统总线传输速度（以下称为“PC100”）。

15

              即， PC100 意味着系统总线传输速度被提升至 100MHz。例如， PC100 可被用于装有 Intel 440BX 芯片组和使用 Pentium 350MHz 和更高速度的高速 CPU 的主板上。

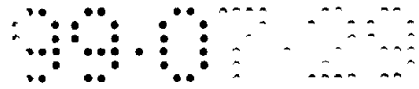
20

              PC100 有两个优点，一个是系统性能的提升。例如， 66MHz 系统总线的操作时间为  $66 \times 10^6$ /秒。由于一次可以操作 64 比特而 8 比特相当于一个字节，因此传输速度为 528 MB/秒。另一方面， 100MHz 系统总线的操作时间为  $10^8$ /秒，因此传输速度为 800MB/秒。事实上，数据传输速度提高了 51%。

25

              另一个优点是外围设备的稳定性。由于 66MHz 系统总线的处理速度太快， PCI（外围部件互连）总线工作在 33MHz。因此，外围设备如图形卡和硬盘驱动器工作在 33MHz。

30



如果系统总线的时钟频率由 66MHz 超频至 100MHz，则 PCI 总线将工作在 37.5MHz（即超出限定 13%）。因此，由于超频可能会引起系统关闭等故障。

5            在 100MHz 系统总线中 PCI 总线以 1/3 时钟频率工作，使得 33.3MHz 满足 PCI 标准。尽管采用了高系统总线时钟频率，但可以稳定使用高速外围设备。而且，100MHz 系统总线可以使用下一代高速 CPU。

10           图 1 展示了装有如 Intel Pentium II 处理器或与之兼容的处理器（CPU）的计算机系统主板。主板控制所要输出的 66MHz 或 100MHz 的总线时钟。

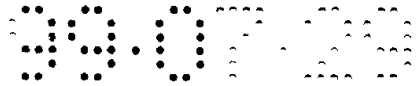
15           参见图 1，主板包括安装 CPU 的槽 10 和可插入主存储器模块的多个插槽 20（22，24，和 26）。

槽 10 为 slot 1 型，用于安装如 Intel Pentium II 处理器，并包括一个可安装冷却风扇的机构。

20           包括 3 或 4 个插槽的插槽 20 是用于扩展主存储器的连接器。每个插槽 22，24，和 26 中可插入 DIMM（双列直插式存储器模块）。适合 66MHz 或 100MHz 系统总线速度的存储器总线时钟信号被输入 DIMM 中，然后执行信号的写/读操作。

25           计算机系统还包括 BIOS（基本输入/输出系统）50，用于通过 POST（开机自检）确定是否插入了主存储器，一个 HOST TO PCI 桥接控制器 30，和一个 PCI TO ISA 桥接控制器 40。

图 2 展示了图 1 所示计算机系统的结构。



参见图 2，包含主板的计算机系统通过 BIOS ROM（基本输入/输出系统只读存储器）50 的处理程序确定是否安装了存储器模块，然后切断 DIMM 插槽 20 中没有安装存储器模块的插槽的存储器总线时钟信号。

5

例如，CPU12 是 Intel Pentium II 处理器并包括内部高速缓存存储器 14。

CPU12 还包括位于 HOST 总线和 PCI 总线之间的 HOST TO PCI 桥接控制器 30，和位于 PCI 总线和 ISA 桥接控制器之间的 PCI TO ISA 桥接控制器 40。例如，HOST TO PCI 桥接控制器 30 为具有 HOST TO PCI 接口，存储器控制器，和 AGP（加速图形端口）控制器等功能的 Intel 440BX 芯片组。例如，PCI TO ISA 桥接控制器 40 为具有 PCI-ISA 接口，IDE 控制器，和 USB 控制器等功能的 Intel PIIX4E 芯片组或与之兼容的芯片组。

15

CPU12 根据插入的存储器模块的总线速度输出控制信号 100\_66#，用于选择 66MHz 或 100MHz 系统总线时钟信号。然后，时钟发生器 18 响应控制信号 100\_66# 向 HOST TO PCI 桥接控制器 30 输出 66MHz 或 100MHz 的 HOST 时钟信号 BXCLK。然后，HOST TO PCI 桥接控制器 30 向每个存储器模块插槽 20（22，24 和 26）分别输出第一至第四存储器时钟信号 CLK0-CLK3。

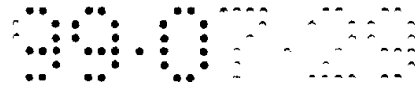
20

当计算机系统接通电源后，在 BIOS50 的 POST 期间 CPU 确定存储器模块是否插入存储器模块插槽 20 中及其插入时间。

25

此时，使能存储器模块插槽 20 的全部第一至第四存储器时钟信号 CLK0-CLK3，禁止被确定为没有插入存储器模块的存储器模块插槽的存储器时钟信号 CLK0-CLK3。第一至第四存储器时钟信号 CLK0-CLK3 根据系统总线传输速度被输出至每个存储器模块插槽。

30



5 在常规计算机系统中，时钟信号被不断地提供给存储器 DIMM 插槽中的空插槽或，如上所述，尽管切断了未使用的 DIMM 插槽的存储器时钟信号，但仍继续提供正在使用的插槽的未使用存储器时钟信号。其结果为，所述常规计算机系统受到 EMI（电磁干扰）。

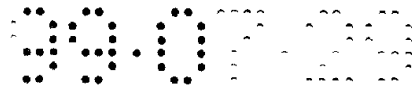
10 因此本发明的目的之一是提供一种计算机系统，该计算机系统可以切断计算机系统中未使用的存储器模块插槽的时钟信号和正在使用的存储器模块插槽的时钟信号中的未使用的时钟信号。

本发明的另一个目的是提供一种用于控制计算机系统存储器时钟信号的方法。

15 依照本发明，一种包括用于输出控制信号以生成第一或第二总线时钟信号的处理器，和至少一个存储器模块的计算机系统包括：第一系统控制器，从存储器模块中读取主数据然后输出与存储器数据对应的设置数据；时钟发生器，根据控制信号输出与设置数据对应的第一或第二 HOST 时钟信号；第二系统控制器，根据第一或第二 HOST 时钟信号，输出作为存储器模块的存储器时钟信号参考的第一或第二参考时钟信号；  
20 和一个时钟缓冲器，用于接收第一或第二参考时钟信号然后将与设置数据对应的第一至第四存储器时钟信号输出至存储器模块。如果，存储器模块为单面型存储器模块，那么时钟缓冲器通过所述设置数据切断第一至第四存储器时钟信号中单面存储器模块未使用的存储器时钟信号。

25 在优选实施例中，第一系统控制器通过 SM（系统管理）总线传输存储器数据和设置数据。

30 在优选实施例中，时钟发生器和时钟缓冲器包括用于存储设置数据的寄存器。



5 在优选实施例中，如果存储器模块为单面型存储器模块，则当输入第一参考时钟信号时，时钟缓冲器禁止第二存储器时钟信号和第四存储器时钟信号，且当输入第二参考时钟信号时，时钟缓冲器禁止第三存储器时钟信号和第四存储器时钟信号。

依照本发明，用于控制计算机系统至少一个 DIMM（双列直插式存储器模块）的存储器时钟信号的方法包括以下步骤：

10 使能所有存储器插槽的第一至第四存储器时钟信号，确定存储器模块是否被插入使能的存储器插槽的某个插槽中；

如果存储器模块被插入其中，则确定插入的存储器模块的类型；

如果存储器模块为双面型存储器模块，则保持使能的第一至第四存储器时钟信号；

15 如果存储器模块为单面型存储器模块，则确定存储器模块的总线速度是第一速度还是第二速度；

如果总线速度是第一速度，则禁止第一至第四存储器时钟信号中与存储器模块第二速度对应的存储器时钟信号；

如果总线速度是第二速度，则禁止第一至第四存储器时钟信号中与存储器模块第一速度对应的存储器时钟信号。

20

在优选实施例中，如果存储器模块没有被插入其中，则禁止相应存储器模块插槽的第一至第四存储器时钟信号。

25 因而，微处理器通过执行 BIOS（基本输入/输出系统）的程序确定存储器模块是否被插入存储器模块插槽，然后通过一系统控制器读取存储器模块中的存储器数据。接着，微处理器将读取的数据存储在时钟发生器和时钟缓冲器中。其结果，将根据第一或第二系统总线时钟信号和存储器模块的类型来控制所插入存储器模块的未使用时钟信号。

30





通过参照附图具体说明其优选实施例，本发明的上述目的和优点将变得更为明显，其中：

图 1 为展示常规计算机系统主板的立体图；

图 2 为展示图 1 所示计算机系统结构的方框图；

5 图 3 为展示依照本发明的计算机系统结构的方框图；

图 4 为展示依照图 3 所示计算机系统时钟信号通路结构的方框图；

图 5 为展示 DIMM（双列直插式存储器模块）的立体图；

10 图 6A 为适用于 66MHz 系统总线时钟的单面型存储器模块的剖视图；

图 6B 为适用于 100MHz 系统总线时钟的单面型存储器模块的剖视图；

图 6C 为适用于 66/100MHz 系统总线时钟的双面型存储器模块的剖视图；

15 图 7 为图 3 所示时钟发生器的详细电路图；

图 8 为图 3 所示时钟缓冲器的详细电路图；

图 9 为图 3 所示存储器模块插槽的详细电路图；

图 10 为展示未使用的存储器模块插槽的存储器时钟信号和正在使用的存储器模块插槽的未使用存储器时钟信号控制过程的流程图；

20 和

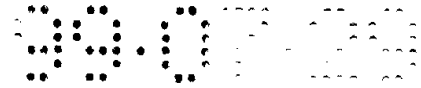
图 11 为展示图 10 所示一个存储器模块插槽的存储器时钟信号控制过程的流程图。

现参照附图 3-11 并结合本发明的优选实施例具体说明该方法。

25

参见图 3，计算机系统 100 包括 CPU（中央处理单元）102，主存储器 110，和 BIOS（基本输入/输出系统）116。

30 包括内核 104 和二级缓存 106 的 CPU102 输出控制信号 100\_66#，用于选择输出 66MHz 或 100MHz 的系统总线时钟信号。



主存储器 110 被插在存储器模块插槽 120， 122 和 124 中，且至少有一个 DIMM 被插在上面。每个插槽有一个存储体，大致包括 3 或 4 个插槽。

5

计算机系统 100 包括 HOST TO PCI 桥接控制器 108， PCI TO ISA 桥接控制器 114， 时钟发生器 126， 和时钟缓冲器 130。

10 位于计算机系统 100 的 HOST 总线和 PCI 总线之间的 HOST TO PCI 桥接控制器 108 具有 HOST TO PCI 接口， 存储器控制器， AGP（加速图形端口）控制器， 多个时钟信号， 和检测控制的功能。而且， HOST TO PCI 桥接控制器 108 从时钟发生器 126 接收与 PC66 或 PC100 对应的 HOST 时钟信号 BXCLK， 然后向时钟缓冲器 130 输出参考时钟信号 DCLK0。

15

位于 PCI 总线与 ISA 总线之间的 PCI TO ISA 桥接控制器 114 包括 PCI TO ISA 接口， IDE 控制器， USB 控制器， 和 SM 总线控制器。相应地， PCI TO ISA 桥接控制器 114 通过 SM 总线读取存储器模块中的存储器数据， 然后向时钟缓冲器 130 和时钟发生器 126 输出与存储器数据对应的设置数据。

20

图 5 所示存储器模块 200 的 ROM（EEPROM） 204 中储存的存储器数据，包括 RAM 202 的容量和定时（如， CAS 定时和 RAS 定时）。

25

图 5 所示被插在存储器模块插槽 120， 122 和 124 中的存储器模块 200， 包括用于写和读数据的 RAM 202 和用于储存如存储器容量和定时等存储器数据的 ROM（EEPROM） 204。存储器数据支持由 Intel 公司制定的 SPD（串行存在位侦测）（serial presence detect）规范， 并通过计算机系统 100 的 SM 总线向 PCI TO ISA 控制器 114 传输共用 SM 数据和时钟信号。

30



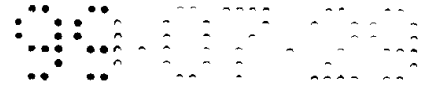
再参见图 3，时钟发生器 126 包括寄存器 128，用于储存来自 PCI TO ISA 桥接控制器 114 的与存储器模块中的存储器数据对应的设置数据。接着，时钟发生器 126 响应来自于 CPU 102 的控制信号 100\_66#，  
5 然后向 HOST TO PCI 桥接控制器 108 输出 HOST 时钟信号 BXCLK（BXHCLK 和 BXPCLK），并输出对于每项系统操作都很必要的 CPU 时钟信号 CPU CLK 和 PCI 时钟信号 PCI CLK。

时钟缓冲器 130 包括寄存器 132，用于储存来自 PCI TO ISA 桥接  
10 控制器 114 的与存储器模块中的存储器数据有关的设置数据。接着，时钟缓冲器 130 接收来自于 HOST TO PCI 桥接控制器 108 的参考时钟信号 DCLK0，然后根据设置数据向每个存储器模块插槽 120，122，和 124 输出第一至第四存储器时钟信号 CLK0-CLK3。

15 参见图 4，计算机系统 100 支持 66/100MHz 的系统总线传输速度。相应地，CPU 102 和主存储器 110 支持 66/100MHz 的系统总线速度。

如果接通计算机系统 100 的电源，则 CPU 102 由 BIOS 116 控制，  
20 然后向时钟发生器 126 输出一个用于选择 PC 66 系统时钟信号或 PC 100 系统时钟信号的控制信号 100\_66#。接着，CPU 102 通过 BIOS 116 的处理程序确定存储器模块是否被插入存储器模块插槽 120，122，和 124 中以及插入其中的存储器模块的类型。

此时，PCI TO ISA 桥接控制器 114 通过 SM 总线读取存储在插入的  
25 存储器模块的 ROM 中的存储器数据，然后把与存储器数据对应的设置数据存储到时钟发生器 126 和时钟缓冲器 130 的寄存器 128 和 132 中。然后，时钟发生器 126 响应控制信号 100\_66#，然后向 HOST TO PCI 桥接控制器 108 输出与系统时钟信号对应的 HOST 时钟信号 BXCLK。HOST TO PCI 桥接控制器 108 响应 HOST 时钟信号 BXCLK，然后向  
30 时钟缓冲器 130 输出参考时钟信号 DCLK0。相应地，时钟缓冲器 130



通过存储在内部寄存器 132 中的设置数据向每个存储器模块插槽 120， 122， 和 124 输出第一至第四存储器时钟信号 CLK0-CLK3。而且，时钟缓冲器 130 切断空存储器模块插槽的时钟信号。

5           如图 6A-6C 所示，存储器模块 200 被分为支持 66MHz 或 100MHz 存储器总线速度的单面型存储器模块 200a 和 200b 和双面型存储器模块 200c。66MHz 单面存储器模块 200a 通过输入前面的第一时钟信号 CLK0 和第二时钟信号 CLK1，并切断后面的第三时钟信号 CLK2 和第四时钟信号 CLK3 工作。100MHz 单面存储器模块 200b 通过输入前面的第一时钟信号 CLK0 和第三时钟信号 CLK2，并切断后面的第二时钟信号 CLK1 和第四时钟信号 CLK3 执行写/读操作。双面型存储器模块 200c 通过与 66/100MHz 存储器总线速度无关地输入第一至第四时钟信号 CLK0-CLK3 工作。

15           参见图 7，时钟发生器 126 接收来自于 CPU 102 的用于选择系统总线时钟信号的控制信号 100\_66#。并且，时钟发生器 126 通过 SM 总线接收来自于 PCI TO ISA 桥接控制器 114 的存储器数据 SMBDATA 和 SMBCLK，然后将数据 SMBDATA 和 SMBCLK 存入寄存器 128。相应地，适合于 66MHz 或 100MHz 系统总线时钟信号的 HOST 时钟信号 BXCLK 被输出到 HOST TO PCI 桥接控制器 108 中，并输出 CPU 时钟信号 CPU CLK（CPU0 和 CPU1）和 PCI 时钟信号 PCIF-PCI6。

25           参见图 8，时钟缓冲器 130 通过 SM 总线接收来自于 PCI TO ISA 桥接控制器 114 的存储器数据 SMBDATA 和 SMBCLK，然后将数据 SMBDATA 和 SMBCLK 存入寄存器 132。而且，时钟缓冲器 130 接收来自于 HOST TO PCI 桥接控制器 108 的与 66MHz 或 100MHz 系统总线时钟信号对应的参考时钟信号 DCLK0。从而，插入的存储器模块对应于 66/100MHz 的单面型或双面型存储器模块，然后向存储器模块插槽 120， 122 和 124 输出第一至第四时钟信号 CLK0-CLK3（DCLK[11:0]）。

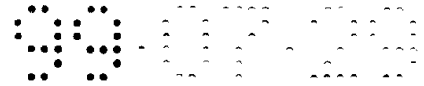


图 9 展示了存储器模块插槽 120 或 122 或 124 的电路，并示出从时钟缓冲器 130 和 PCI TO ISA 桥接控制器 114 接收第一至第四时钟信号 CLK0-CLK3，共用 SM 数据 SMBDATA，和时钟信号 SMBCLK 通过 SM 总线传输。

5

参见图 10，如果在步骤 S300 中的系统 100 接上电源，则 BIOS 116 使能第一至第三 DIMM 存储器模块插槽 120，122，和 124 的时钟信号 CLK0-CLK3。在步骤 S310 中，根据存储器模块是否被插入第一 DIMM 存储器模块插槽 120，控制相应的时钟信号 CLK0-CLK3。然后，控制第二存储器插槽 122 和第三存储器插槽 124 的时钟信号 CLK0-CLK3。也就是说，根据确定插入的存储器模块是否支持系统总线以及存储器模块是单面的还是双面的存储器模块，来控制每个存储器模块插槽的第一至第四时钟信号 CLK0-CLK3。

10

15

参见图 11，在步骤 S340 中，本发明确定存储器模块是否被插入使能第一至第四存储器时钟信号 CLK0-CLK3 的存储器模块插槽 120 或 122 或 124 中。如果未被插入，则步骤 S340 转至步骤 S352。在步骤 S352 中，禁止所有第一至第四时钟信号 CLK0-CLK3。如果被插入，则步骤 S340 转至步骤 S342。在步骤 S342 中，本发明确定插入的存储器模块是否为单面型存储器模块。

20

如果存储器模块为双面型存储器模块，则不管存储器总线时钟速度是多少，保持被使能的第一至第四时钟信号 CLK0-CLK3。如果存储器模块为单面型存储器模块，则步骤 S342 转至步骤 S346。在步骤 S346 中，本发明确定插入的存储器模块是否支持 100MHz 的存储器总线速度。如果支持，则在步骤 S348 中禁止不用于 100MHz 存储器总线时钟速度的时钟信号。即，禁止第二时钟信号 CLK1 和第四时钟信号 CLK3。如果不支持（即，支持 66MHz 存储器总线时钟速度），则步骤 S346 转至步骤 S350。在步骤 S350 中，禁止不用于 66MHz 存储器

25

30



总线时钟速度的时钟信号。即，禁止第三时钟信号 CLK2 和第四时钟信号 CLK3 。

5 本发明的计算机系统不仅切断了未使用的存储器模块插槽的时钟信号，还切断了插入的存储器模块的时钟信号，以此排除 EMI（电磁干扰）。

10 在不脱离其精神及必要特征的情况下，本发明可以按其它的特定形式实施。上述实施例从各方面来说都只应被当作是说明性的而不是限制性的。因此，对本发明范围的指定依赖于附加权利要求而不是依赖于前面的说明。



# 说明书附图

图1  
现有技术

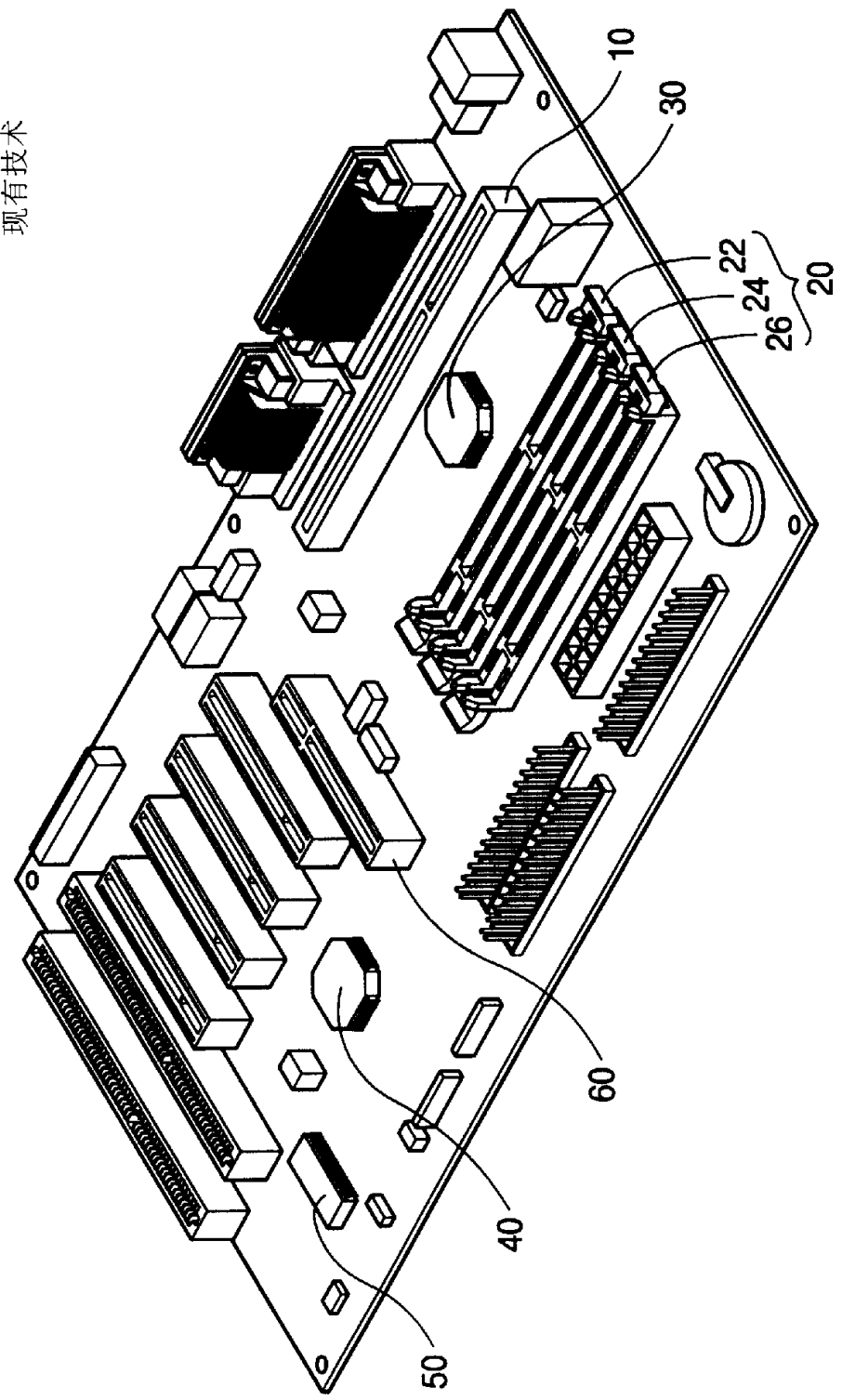




图2  
现有技术

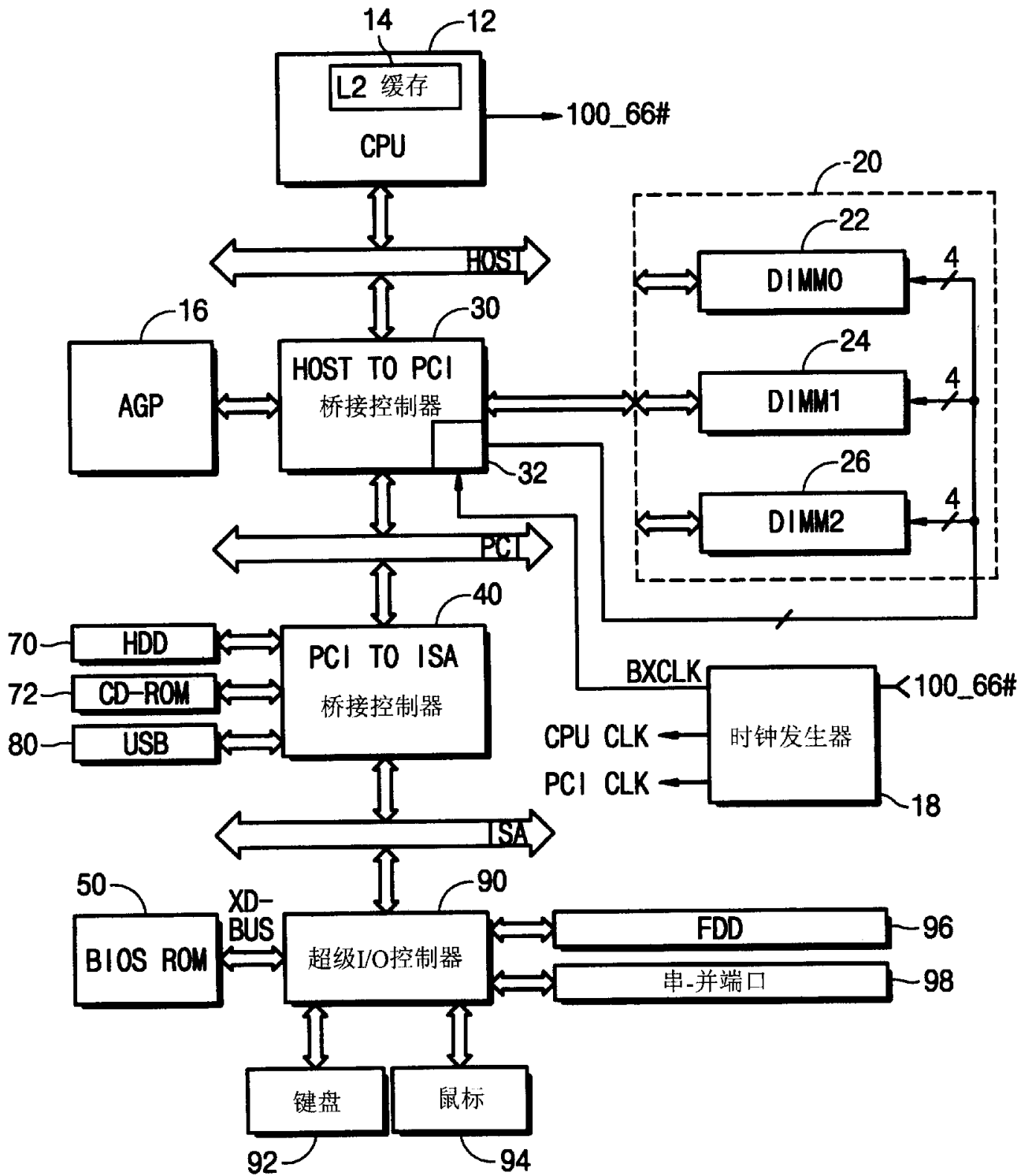






图3

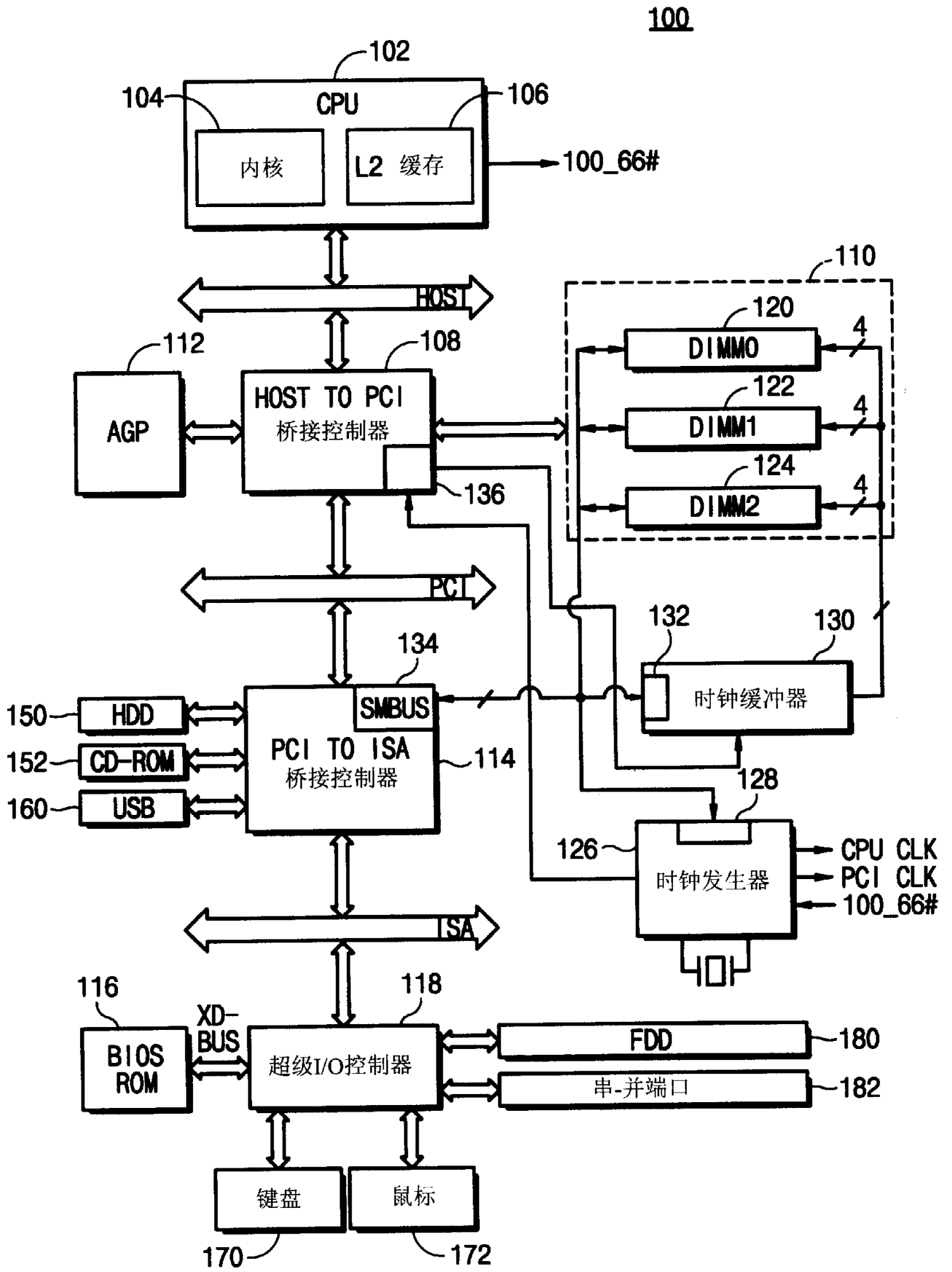




图4

100

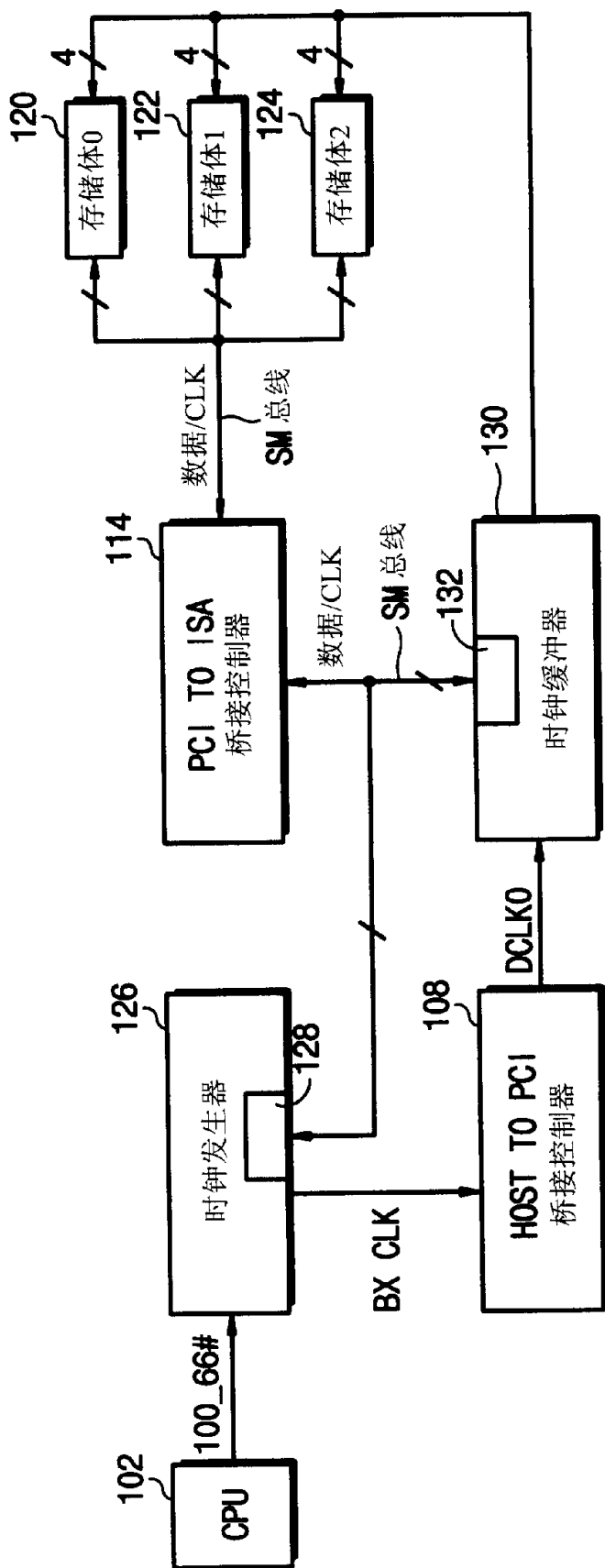


图5

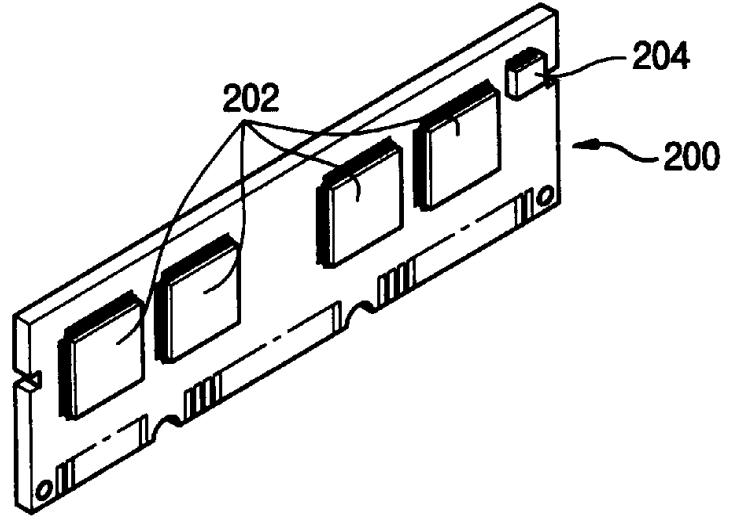


图6A

66MHz 单面型

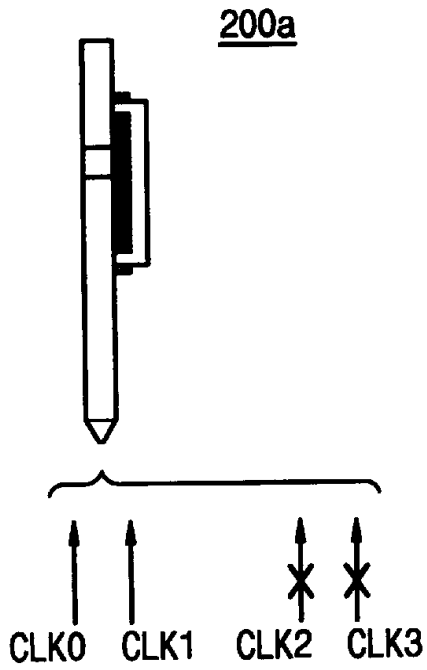
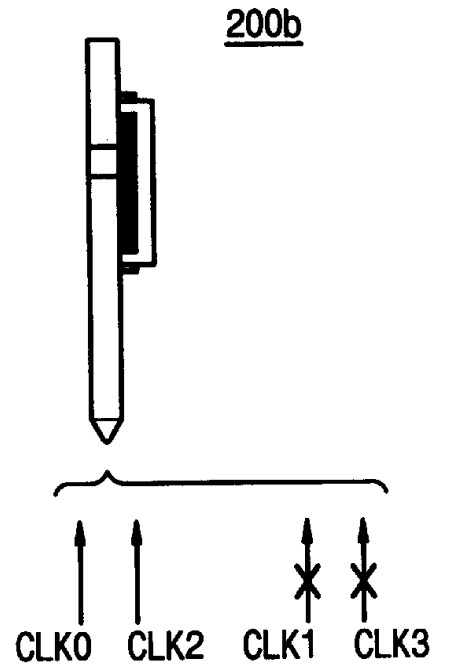


图6B

100MHz 单面型



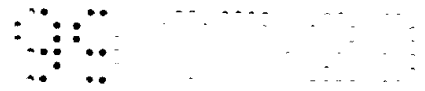


图6C

66MHz, 100MHz 双面型

200c

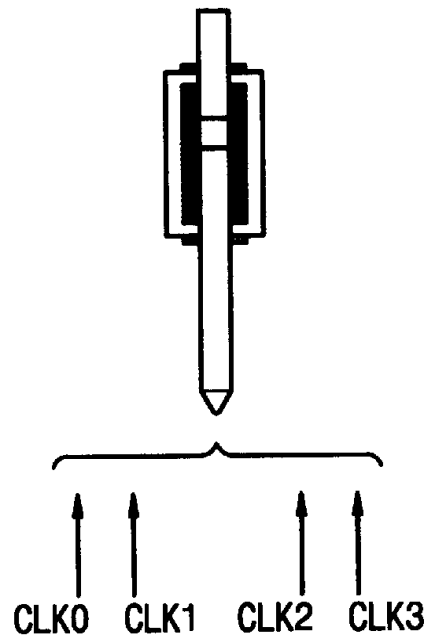


图7A

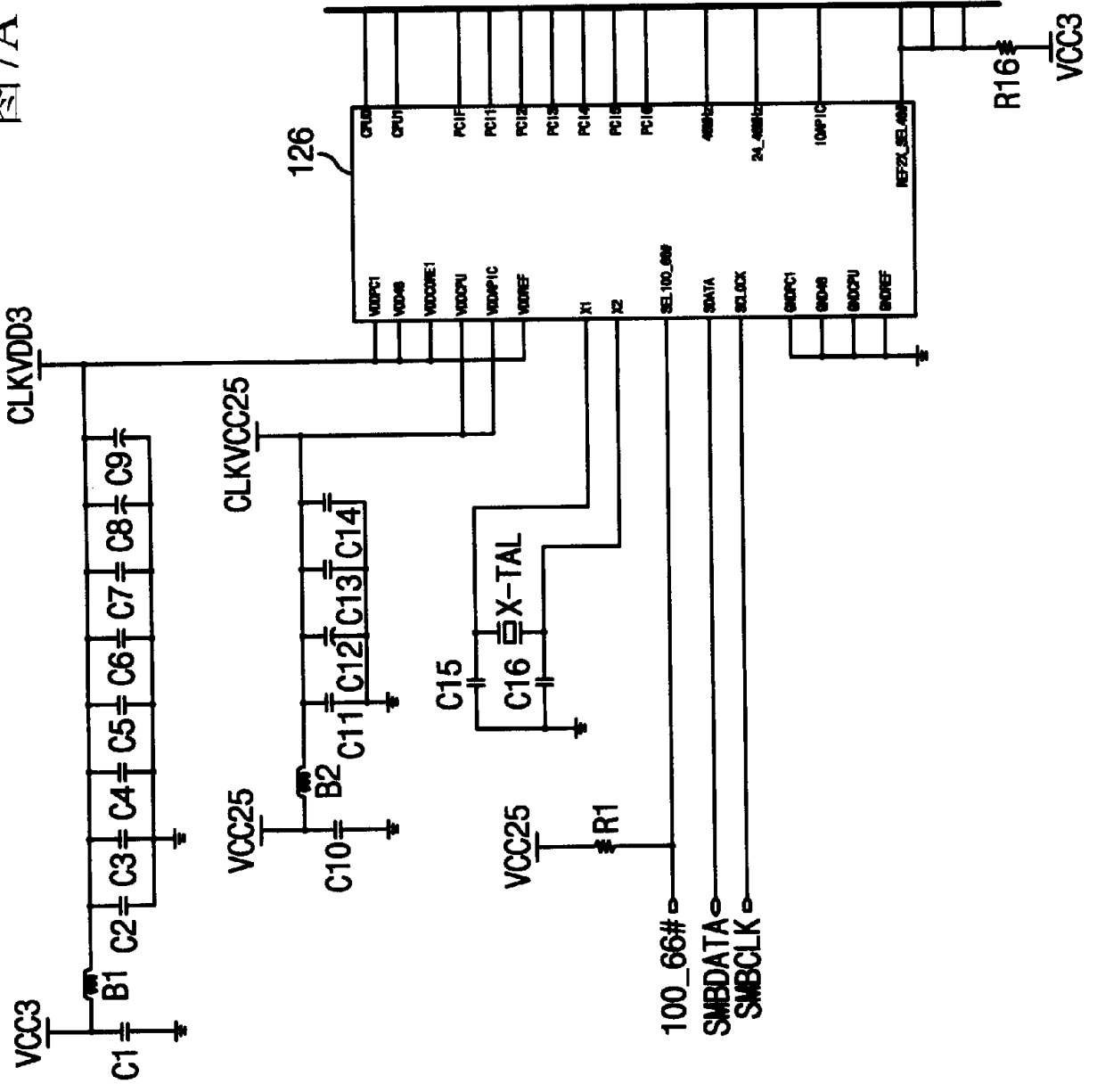


图7

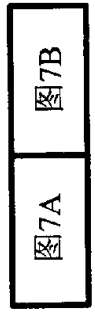


图 7B

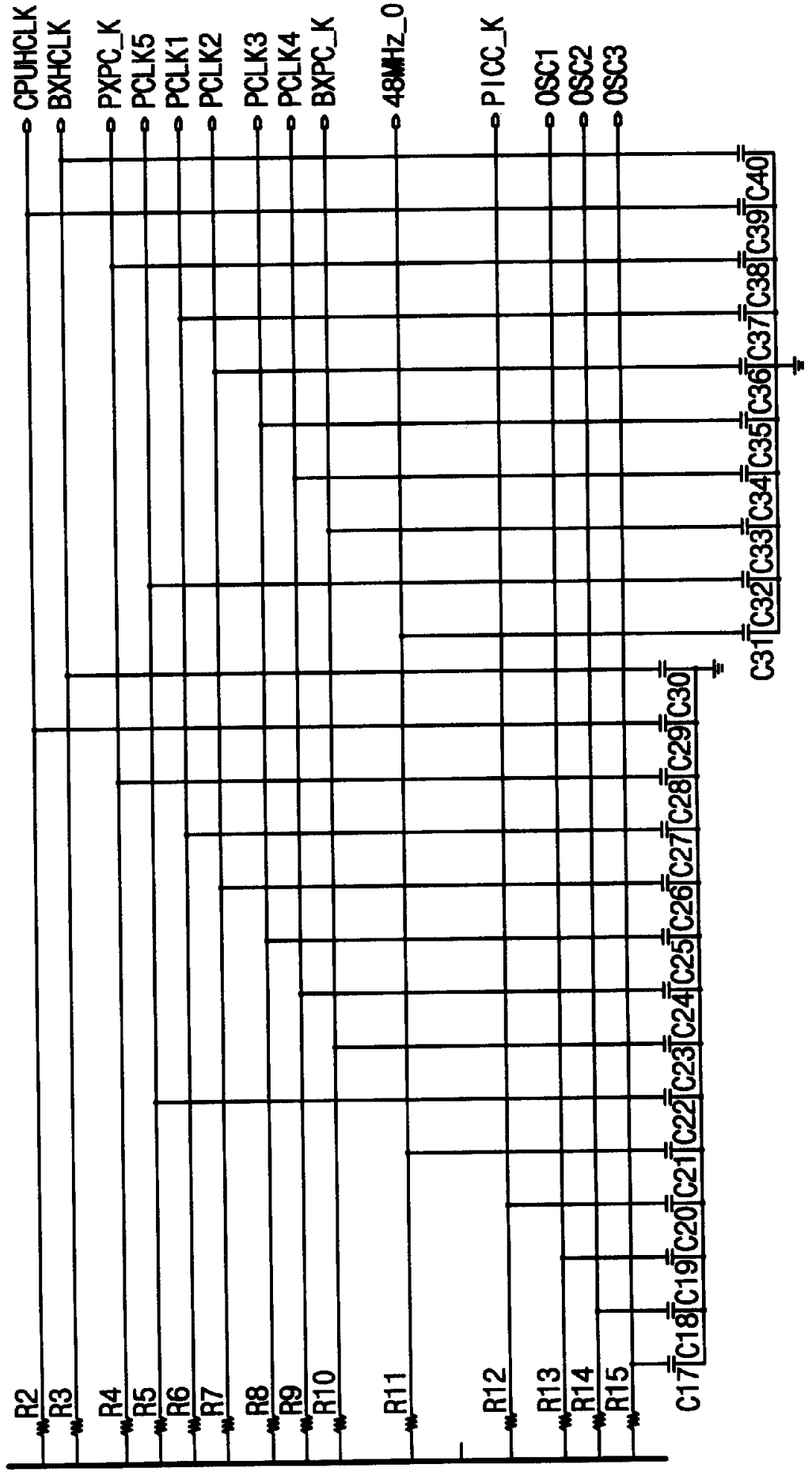
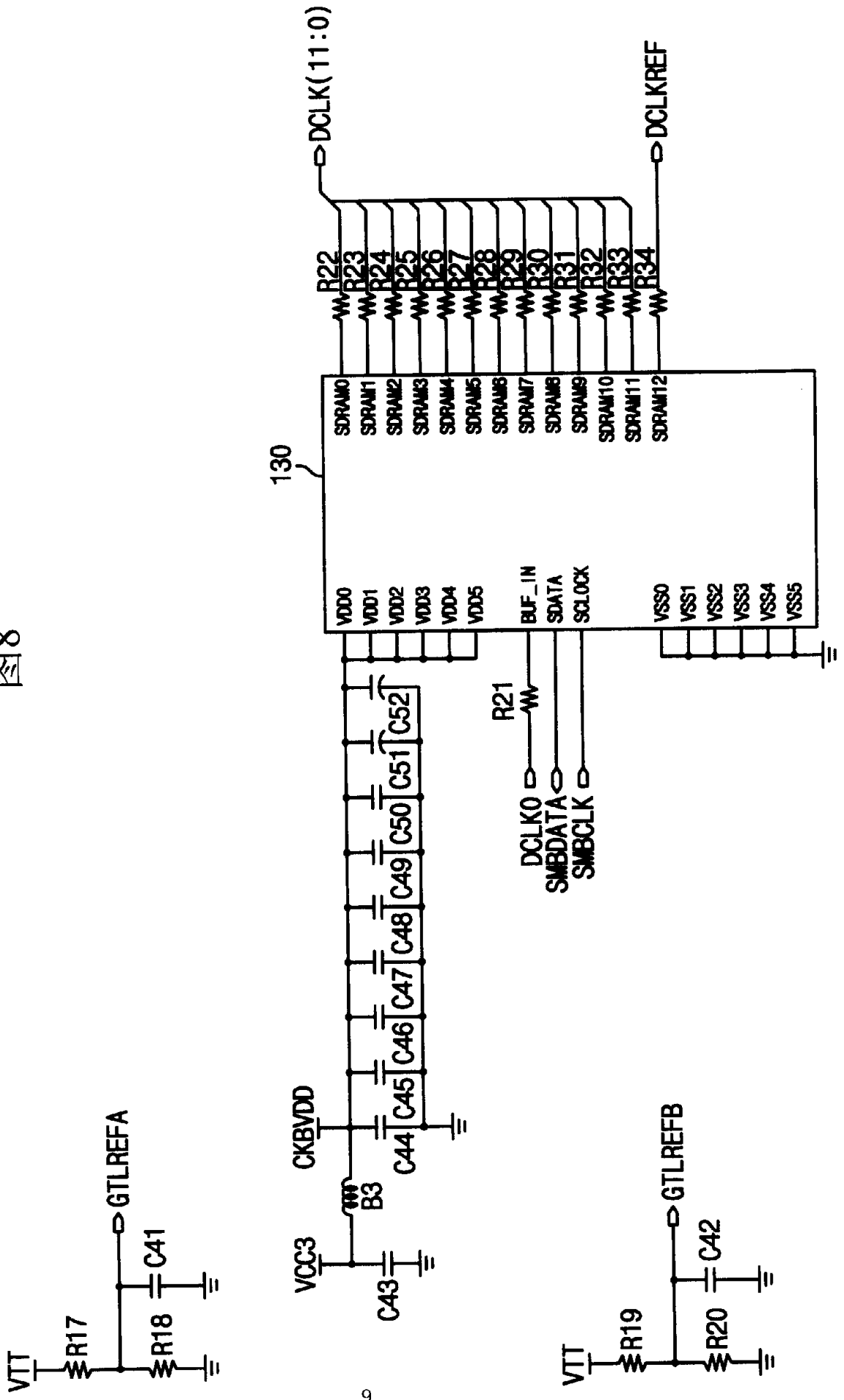
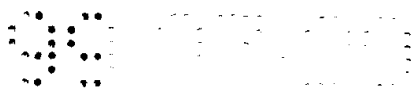


图 8





120 或 122 或 124

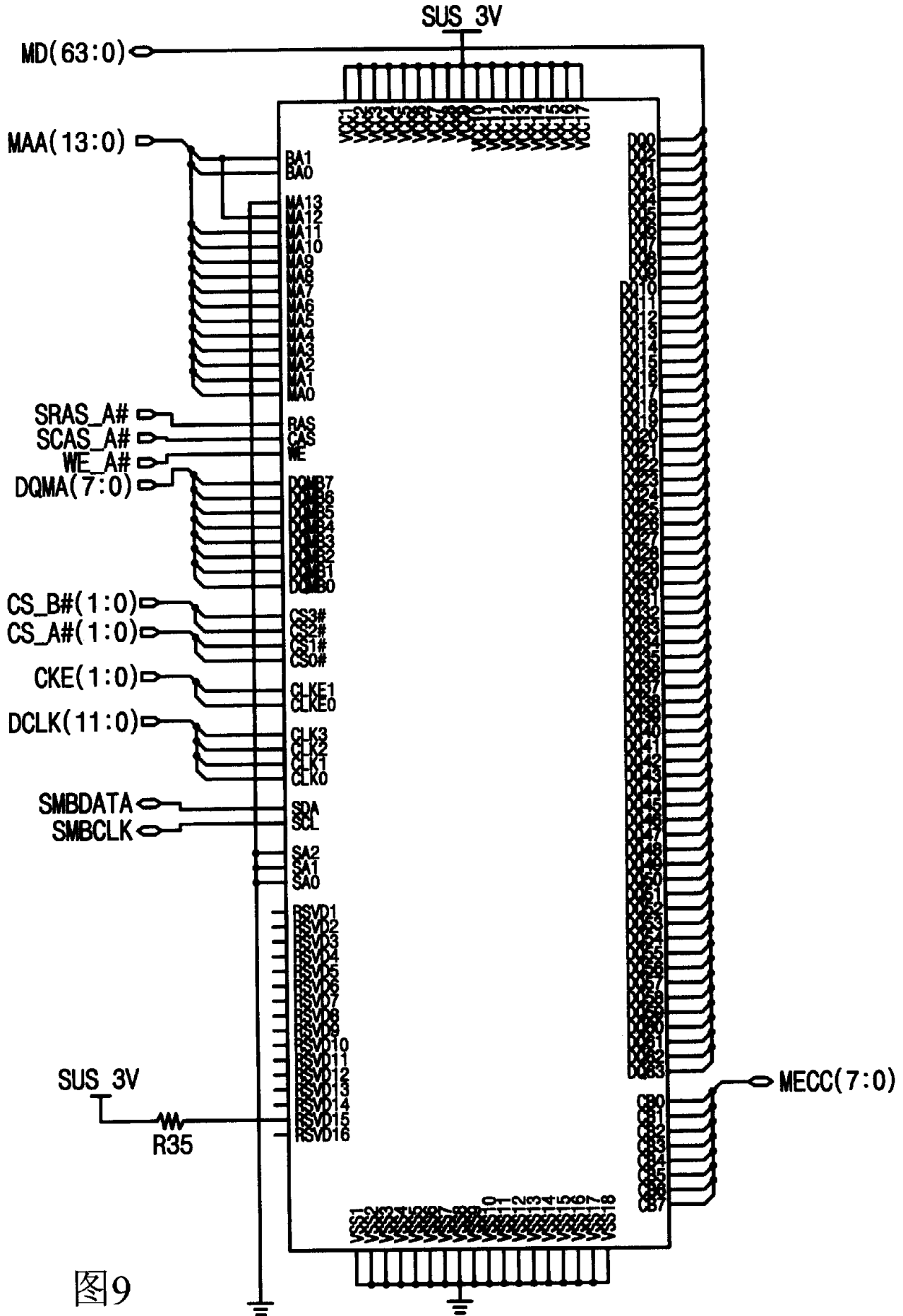


图9



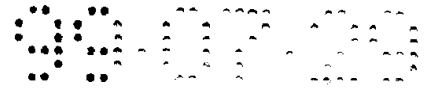
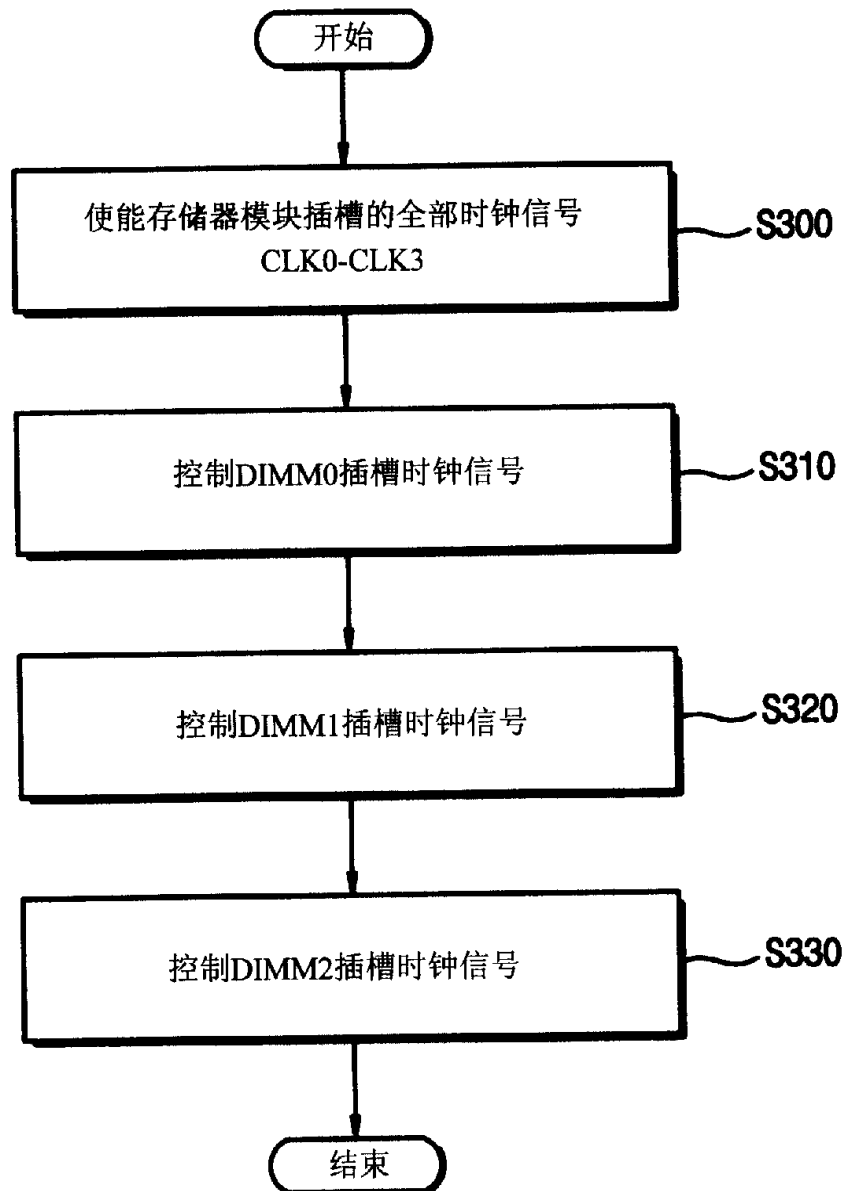


图10



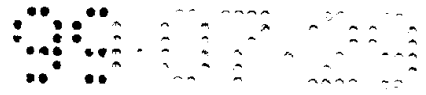


图11

S310 或 S320 或 S330

