



(12) 发明专利

(10) 授权公告号 CN 102832233 B

(45) 授权公告日 2015. 05. 20

(21) 申请号 201210316646. 1

(22) 申请日 2012. 08. 30

(73) 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

(72) 发明人 王源 张鹏 曹健 陆光易 贾嵩

张兴

(74) 专利代理机构 北京路浩知识产权代理有限公司

11002

代理人 王莹

(51) Int. Cl.

H01L 29/06(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

US 2007/0034956 A1, 2007. 02. 15,

CN 101741073 A, 2010. 06. 16,

审查员 瞿晓雷

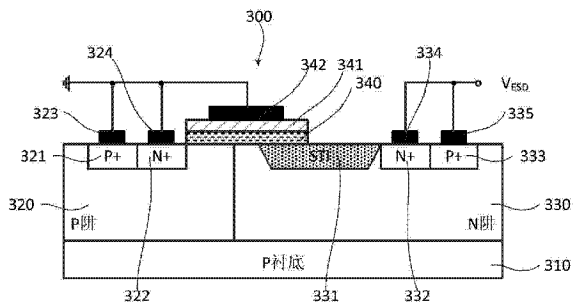
权利要求书1页 说明书5页 附图2页

(54) 发明名称

SCR 型 LDMOS ESD 器件

(57) 摘要

本发明涉及集成电路的静电放电保护技术领域,公开了一种 SCR 型 LDMOS ESD 器件。本发明的 SCR 型 LDMOS ESD 器件的 N 阱区设有 P+ 掺杂区,使得在 SCR 型 LDMOS ESD 器件的背向形成寄生的 SCR 晶体管。当 ESD 冲击发生时,寄生的 SCR 晶体管作为主要静电放电器件,使得 SCR 型 LDMOS ESD 器件的单位面积静电放电电流增大,从而获得高的 ESD 保护水平。另外,本发明的 SCR 型 LDMOSESD 器件的触发电压由 LDMOS 晶体管的漂移区长度决定,实现了触发电压可调节。



1. 一种 SCR 型 LDMOS ESD 器件,其特征在于,所述 SCR 型 LDMOS ESD 器件包括衬底区、阱区和栅区;

所述阱区形成于所述衬底区上,所述阱区包括 P 阱区和 N 阱区,所述 N 阱区邻接所述 P 阱区,所述 P 阱区和 N 阱区均与所述衬底区相接触;

所述 P 阱区设有第一 P+ 掺杂区和第一 N+ 掺杂区;所述第一 P+ 掺杂区与第一 N+ 掺杂区相邻接;

所述第一 P+ 掺杂区和所述第一 N+ 掺杂区位于所述 P 阱区内;

所述 N 阱区设有浅槽隔离 STI 区、第二 N+ 掺杂区和第二 P+ 掺杂区;

所述浅槽隔离 STI 区与所述第二 N+ 掺杂区相邻;

所述栅区形成于所述阱区上,所述栅区包括栅氧化层区和多晶硅栅区,栅氧化层区设于部分所述 P 阱区、部分所述 N 阱区和部分所述 STI 区的上表面,所述多晶硅栅区设于栅氧化层区上;

所述多晶硅栅区上设有栅电极,所述第一 P+ 掺杂区上设有衬底接触电极,所述第一 N+ 掺杂区上设有源电极,所述第二 N+ 掺杂区上设有漏电极,所述第二 P+ 掺杂区上设有 P+ 扩散区电极。

2. 如权利要求 1 所述的 SCR 型 LDMOS ESD 器件,其特征在于,所述栅电极、衬底接触电极和源电极均接地。

3. 如权利要求 1 所述的 SCR 型 LDMOS ESD 器件,其特征在于,所述漏电极和 P+ 扩散区电极连接,作为静电输入端 V_{ESD} 。

4. 如权利要求 1 或 2 或 3 所述的 SCR 型 LDMOS ESD 器件,其特征在于,STI 区由氧化物的绝缘材料形成。

SCR 型 LDMOS ESD 器件

技术领域

[0001] 本发明涉及集成电路的静电放电保护技术领域,尤其涉及一种 SCR 型 LDMOS ESD 器件。

背景技术

[0002] 集成电路的静电放电(Electrostatic Discharge,ESD)现象是芯片在浮接的情况下,大量的电荷从外向内灌入集成电路的瞬时过程。由于集成电路芯片的内阻很低,当 ESD 现象发生时,会产生一个瞬时(耗时 100~200 纳秒,上升时间仅约 0.1~10 纳秒)、高峰值(几安培)的电流,并且产生大量焦耳热,从而会造成集成电路芯片失效问题。

[0003] 对于高压功率集成电路,横向双扩散金属-氧化物-半导体(Lateral Double Diffusion Metal-Oxide-Semiconductor, LDMOS)晶体管由于能够承受较高的击穿电压被广泛选用为高压输入/输出管脚的保护器件。LDMOS ESD 器件是一种 ESD 保护器件。图 1 为现有的 LDMOSESD 器件 100,包括:

[0004] P 型硅衬底 110;

[0005] 所述 P 型硅衬底 110 上形成阱区,所述阱区包括一个 P 阱区 120 和一个 N 阱区 130,所述 P 阱区 120 邻接所述 N 阱区 130;

[0006] 所述 P 阱区 120 内设有 P+ 衬底接触区 121 和 N+ 源区 122;

[0007] 所述 N 阱区 130 作为该 LDMOS 的漂移区,在所述 N 阱区内设有例如氧化物的绝缘材料形成的浅槽隔离(Shallow Trench Isolation, STI)区 131 和的 N+ 漏区 132;

[0008] 部分的所述 P 阱区 120、N 阱区 130 和 STI 区 131 上表面上设有栅氧化层区 140;

[0009] 在所述栅氧化层区 140 上形成多晶硅栅区 141;

[0010] 所述多晶硅栅区 141 上设有栅电极 142,所述衬底接触区 121 上设有衬底电极 123,所述源区 122 上设有源电极 124,所述漏区 132 上设有漏电极 133,所述栅电极 142、衬底电极 123 和源电极 124 均接地,所述漏电极 133 作为静电输入端 V_{ESD} 。

[0011] 如图 1 所述的 LDMOS ESD 器件在所述静电输入端 V_{ESD} 发生 ESD 冲击时的工作原理为:当 LDMOS 晶体管漏区 pn 结承受的电场强度大于其雪崩击穿临界电场时,漏区载流子在电场加速下获得足够多的能量而发生雪崩倍增效应,产生大量电子空穴对,使漏区电流急剧增加,同时 LDMOS 晶体管内部寄生的双极型晶体管开启,产生集电极到发射极的电流,并使维持雪崩击穿的电压降低,形成电压减小,电流增大的负阻回滞效应,直至器件达到热击穿烧毁。LDMOS 晶体管的触发电压不仅取决于漏区 pn 结的雪崩击穿临界电场,LDMOS 晶体管漂移区的横向耐压也起了很大的作用,有效地提高了 LDMOS ESD 器件时的触发电压,而且可以通过改变漂移区的长度来调节 LDMOS ESD 器件的触发电压。但 LDMOS 晶体管内部寄生的双极型晶体管受到基区展宽效应的影响,发生雪崩击穿后会发产生较大的回滞,并且电流迅速上升,进入回滞点时,LDMOS 晶体管迅速进入热击穿状态,无法继续进行静电放电。因此,现有的 LDMOS ESD 器件单位面积静电放电电流较小,难以获得较高的 ESD 保护水平。

[0012] 作为一种常用 ESD 器件,可控硅(Silicon Controlled Rectifier,SCR)晶体管单

位面积静电放电电流较大。SCR ESD 器件是另一种 ESD 保护器件。图 2 给出了现有的 SCR ESD 器件 200 结构示意图,包括:

[0013] P 型硅衬底 210;

[0014] 所述 P 型硅衬底 210 上形成阱区,所述阱区包括一个 P 阱区 220 和一个 N 阱区 230,所述 P 阱区 220 邻接所述 N 阱区 230;

[0015] 所述 P 阱区 220 内设有第一 P+ 掺杂区 221 和第一 N+ 掺杂区 222;

[0016] 所述 N 阱区 230 内设有第二 N+ 掺杂区 231 和第二 P+ 掺杂区 232;

[0017] 所述第一 P+ 掺杂区 221 上设有电极 223,所述第一 N+ 掺杂区 222 上设有电极 224,所述第二 N+ 掺杂区 231 上设有电极 233,所述第二 P+ 掺杂区 232 上设有电极 234,所述电极 223 和电极 224 连接并接地,所述电极 233 和电极 234 连接并作为静电输入端 V_{ESD} 。

[0018] 如图 2 所示的 SCR ESD 器件是一个由第二 P+ 掺杂区 232、N 阱区 230、P 阱区 220 和第一 N+ 掺杂区 222 形成的三个 PN 结串联的四层 PNP 结构,可以等效为两个双极型晶体管组合而成,包括一个 NPN 管和一个 PNP 管。图 3 为图 2 所示 SCR 晶体管的等效电路图,其中 R_{nw} 为 N 阱区电阻, R_{pw} 为 P 阱区电阻。当所述静电输入端 V_{ESD} 发生 ESD 冲击时所述的 SCR ESD 器件的工作原理为:当 N 阱区和 P 阱区 pn 结承受的反向电场强度大于其雪崩击穿临界电场时,载流子在电场加速下获得足够多的能量而发生雪崩击穿,产生大量电子空穴对,形成电流。电流流过 R_{pw} 上产生压降,帮助 NPN 管开启,进而帮助 PNP 管开启,NPN 管和 PNP 管形成正反馈,产生从 V_{ESD} 端到地的大电流,并使维持雪崩击穿的电压降低,形成电压减小,电流增大的负阻回滞效应,直至器件达到热击穿烧毁。SCR ESD 器件触发后开态电阻很小,因此具有很高的单位面积静电放电电流。SCR ESD 器件的触发电压主要决定于 N 阱区和 P 阱区 pn 结的雪崩击穿临界电场,和 N 阱区和 P 阱区的掺杂浓度相关。在工艺确定的前提下,SCR ESD 器件的触发电压不可调,不能满足 LDMOS 晶体管 ESD 保护要求。

发明内容

[0019] (一) 要解决的技术问题

[0020] 本发明要解决的技术问题是:如何设计一种 LDMOS ESD 器件,以解决现有 LDMOS ESD 器件单位面积放电电流小、ESD 保护水平低的问题。

[0021] (二) 技术方案

[0022] 为了解决上述技术问题,本发明提供一种 SCR 型 LDMOS ESD 器件,所述 SCR 型 LDMOS ESD 器件包括衬底区、阱区和栅区;

[0023] 所述阱区形成于所述衬底区上,所述阱区包括 P 阱区和 N 阱区,所述 N 阱区邻接所述 P 阱区,所述 P 阱区和 N 阱区均与所述衬底区相接触;

[0024] 所述 P 阱区设有第一 P+ 掺杂区和第一 N+ 掺杂区;

[0025] 所述 N 阱区设有 STI 区、第二 N+ 掺杂区和第二 P+ 掺杂区;

[0026] 所述栅区形成于所述阱区上,所述栅区包括栅氧化层区和多晶硅栅区,栅氧化层区设于部分所述 P 阱区、部分所述 N 阱区和部分所述 STI 区的上表面,所述多晶硅栅区设于栅氧化层区上;

[0027] 所述多晶硅栅区上设有栅电极,所述第一 P+ 掺杂区上设有衬底接触电极,所述第一 N+ 掺杂区上设有源电极,所述第二 N+ 掺杂区上设有漏电极,所述第二 P+ 掺杂区上设有

P+ 扩散区电极。

[0028] 优选地,所述栅电极、衬底接触电极和源电极均接地。

[0029] 优选地,所述漏电极和 P+ 扩散区电极连接,作为静电输入端 V_{ESD} 。

[0030] 优选地,所述 STI 区由氧化物的绝缘材料形成。

[0031] (三) 有益效果

[0032] 上述技术方案具有如下优点:本发明的 SCR 型 LDMOS ESD 器件的 N 阱区设有 P+ 掺杂区,使得在 SCR 型 LDMOS ESD 器件的背向形成寄生的 SCR 晶体管。当 ESD 冲击发生时,寄生的 SCR 晶体管作为主要静电放电器件,使得 SCR 型 LDMOS ESD 器件的单位面积静电放电电流增大,从而获得高的 ESD 保护水平。另外,本发明的 SCR 型 LDMOS ESD 器件的触发电压由 LDMOS 晶体管的漂移区长度决定,实现了触发电压可调节。

附图说明

[0033] 图 1 是现有的 LDMOS ESD 器件的结构示意图;

[0034] 图 2 是现有的 SCR ESD 器件的结构示意图;

[0035] 图 3 是图 2 所示的 SCR ESD 器件的等效原理图;

[0036] 图 4 是根据本发明实施例提供的 SCR 型 LDMOS ESD 器件的结构示意图;

[0037] 图 5 是图 4 所示的 SCR 型 LDMOS ESD 器件的等效原理图;

[0038] 图 6 是图 1 所示的现有 LDMOS ESD 器件和图 4 所示的本发明实施例提供的 SCR 型 LDMOS ESD 器件的性能比较图。

具体实施方式

[0039] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0040] 本发明的核心思想是,提供一种 SCR 型 LDMOS ESD 器件,在 SCR 型 LDMOS ESD 器件的 N 阱区设有 P+ 掺杂区,使得在 SCR 型 LDMOS ESD 器件的背向形成寄生的 SCR 晶体管。当 ESD 冲击发生时,所述寄生的 SCR 晶体管作为主要静电放电器件,使得 SCR 型 LDMOS ESD 器件的单位面积静电放电电流增大,从而获得高的 ESD 保护水平。SCR 型 LDMOS ESD 器件的触发电压由 LDMOS 晶体管的漂移区长度决定,实现了触发电压可调节。

[0041] 图 4 是按照本发明一种实施方式的 SCR 型 LDMOS ESD 器件 300,包括:P 型硅衬底区 310;

[0042] 所述 P 型硅衬底 310 上形成阱区,所述阱区包括一个 P 阱区 320 和一个 N 阱区 330,所述 N 阱区 320 邻接所述 P 阱区 330,所述 P 阱区 320 和 N 阱区 330 均与所述 P 型衬底区 310 相接触;

[0043] 所述 P 阱区 320 设有第一 P+ 掺杂区 321 和第一 N+ 掺杂区 322,所述第一 P+ 掺杂区 321 作为 LDMOS 晶体管的衬底接触区,所述第一 N+ 掺杂区 322 作为 LDMOS 晶体管的源区;

[0044] 所述 N 阱区 330 作为 LDMOS 晶体管的漂移区,设有例如氧化物的绝缘材料形成的 STI 区 331、第二 N+ 掺杂区 332 和第二 P+ 掺杂区 333,所述第二 N+ 掺杂区 332 作为 LDMOS 晶体管的漏区;

[0045] 所述第二 P+ 掺杂区 333、N 阱区 320、P 阱区 330 和第一 N+ 掺杂区 322 形成由三个 PN 结串联的四层 PNP 结构的 SCR 晶体管；

[0046] 部分的所述 P 阱区 320、部分的 N 阱区 330 和部分的 STI 区 331 上表面设有栅氧化层区 340；所述栅氧化层区 340 上设有多晶硅栅区 341，所述栅氧化层区 340 和多晶硅栅区 341 作为 LDMOS 晶体管的栅区；

[0047] 所述多晶硅栅区 341 上设有栅电极 342，所述第一 P+ 掺杂区 321 上设有衬底接触电极 323，所述第一 N+ 掺杂区 322 上设有源电极 324，所述第二 N+ 掺杂区 332 上设有漏电极 334，所述第二 P+ 掺杂区 333 上设有 P+ 扩散区电极 335，所述栅电极 342、衬底接触电极 323 和源电极 324 均接地，所述漏电极 334 和 P+ 扩散区电极 335 连接，并作为静电输入端 V_{ESD} 。

[0048] 图 5 是本发明技术方案提供的 SCR 型 LDMOS ESD 器件的等效电路图，与现有的 LDMOS ESD 器件相比，新增的第二 P+ 掺杂区使得所述 SCR 型 LDMOS ESD 器件的背向形成寄生的 SCR 晶体管，即本发明的 SCR 型 LDMOS ESD 器件其中包含一个 LDMOS 晶体管和一个 SCR 晶体管。其中，所述的 LDMOS 晶体管包括：P 型硅衬底区 310；P 阱区 320 和 N 阱区 330；电极 342（作为 LDMOS 晶体管的栅电极）、电极 323（作为 LDMOS 的衬底接触电极）、电极 324（作为 LDMOS 晶体管的源电极）以及电极 334（作为 LDMOS 的漏电极）。其中，P 阱区 320 中的第一 P+ 掺杂区 321 作为 LDMOS 晶体管的衬底接触区，第一 N+ 掺杂区 322 作为 LDMOS 晶体管的源区；N 阱区 330 作为 LDMOS 晶体管的漂移区，第二 N+ 掺杂区 332 作为 LDMOS 晶体管的漏区。所述的 SCR 晶体管包括：P 型硅衬底区 310；P 阱区 320 和 N 阱区 330；电极 323、电极 324、电极 334 以及电极 335。其中，第二 P+ 掺杂区 333、N 阱区 320、P 阱区 330 和第一 N+ 掺杂区 322 使得 SCR 晶体管形成由三个 PN 结串联的四层 PNP 结构。

[0049] 图 5 中， R_{pw} 为 P 阱区电阻， R_{nw1} 为 N 阱区中第二 P+ 掺杂区到第二 N+ 掺杂区的等效电阻， R_{nw2} 为 N 阱区中第二 N+ 掺杂区到 P 阱区与 N 阱区边界的等效电阻。

[0050] 下面对照图 5 说明本发明的工作原理：在所述静电输入端 V_{ESD} 发生 ESD 冲击时，所述 SCR 型 LDMOS ESD 器件的中 LDMOS 晶体管首先被触发，即当 LDMOS 晶体管漏区 pn 结承受的电场强度大于其雪崩击穿临界电场时，漏区载流子在电场加速下获得足够多的能量而发生雪崩倍增效应，产生大量电子空穴对，使漏区电流急剧增加。增大的漏区电流流过 R_{pw} 上产生压降，帮助 NPN 管开启，进而帮助 PNP 管开启，NPN 管和 PNP 管形成正反馈，使得寄生的 SCR 晶体管打开。由于 SCR 晶体管开启后内阻远远小于 LDMOS 晶体管，SCR 晶体管因此会成为主要静电放电器件，使得所述 SCR 型 LDMOS ESD 器件的单位面积静电放电电流增大，获得高的 ESD 保护水平。所述 SCR 型 LDMOS ESD 器件的触发电压受到 LDMOS 晶体管漂移区的作用，有很大一部分电压降分布在 LDMOS 晶体管漂移区上，通过调整漂移区的长度可以实现所述 SCR 型 LDMOS ESD 器件的触发电压可调。

[0051] 传输线脉冲 (Transmission Line Pulse, TLP) 测试数据如图 6 所示。通过对比可以看出：首先，本发明的 SCR 型 LDMOS ESD 器件和现有的 LDMOS ESD 器件具有相同的触发电压。其次，现有的 LDMOS ESD 器件由于受到基区展宽效应的影响，发生雪崩击穿后会发产生较大的回滞，并且电流迅速上升，进入回滞点时会迅速进入热击穿状态，无法继续进行静电放电，二次击穿电流 I_{t2} 较小 (小于 1 安培)。而本发明的 SCR 型 LDMOS ESD 器件发生雪崩击穿并产生回滞后，寄生的 SCR 晶体管作为主要静电放电器件开始工作，放电电流继续增大，

获得较高的二次击穿电流 I_{t2} (大于 4 安培), 具有高的 ESD 保护水平。

[0052] 以上所述仅是本发明的优选实施方式, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本发明技术原理的前提下, 还可以做出若干改进和替换, 这些改进和替换也应视为本发明的保护范围。

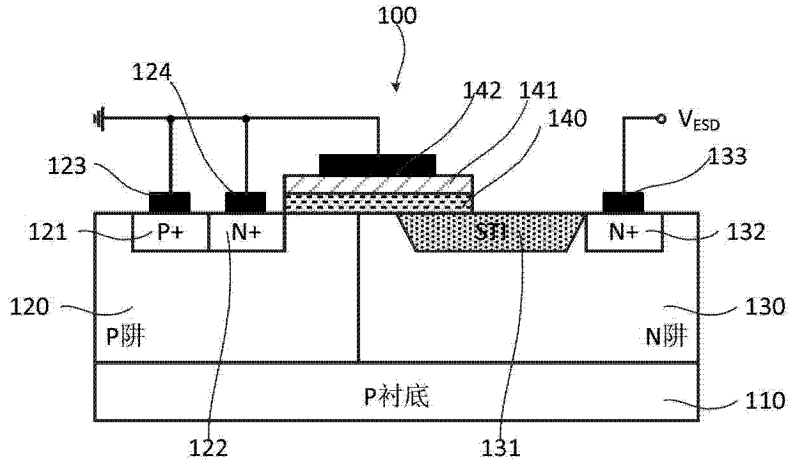


图 1

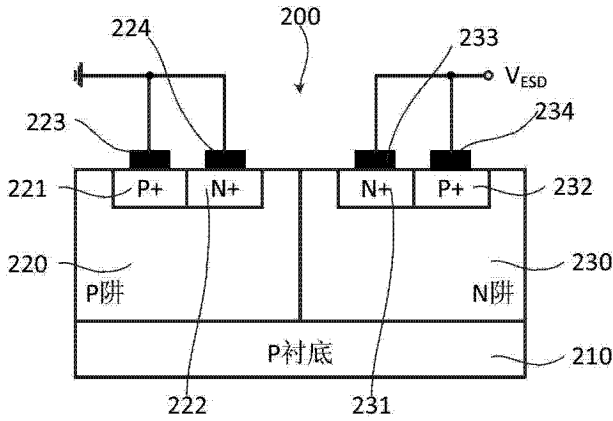


图 2

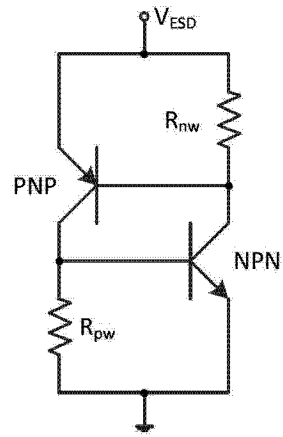


图 3

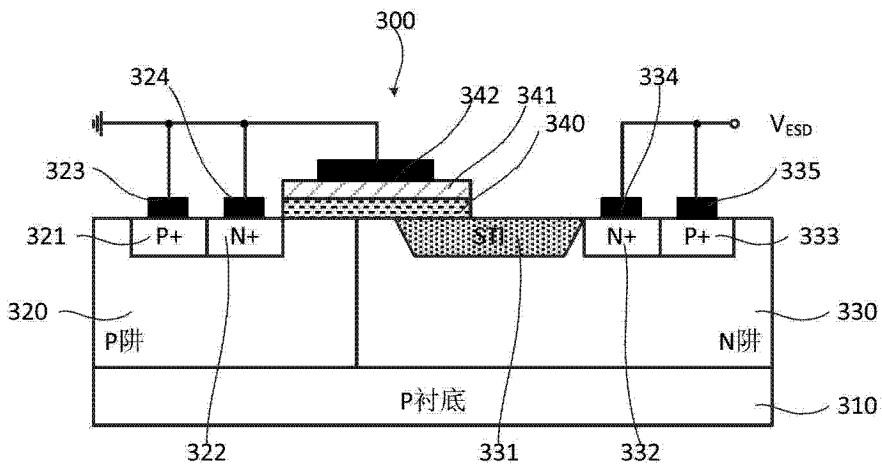


图 4

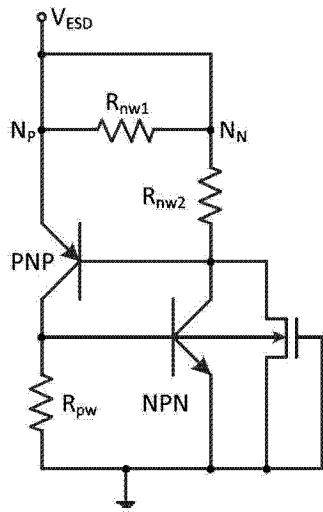


图 5

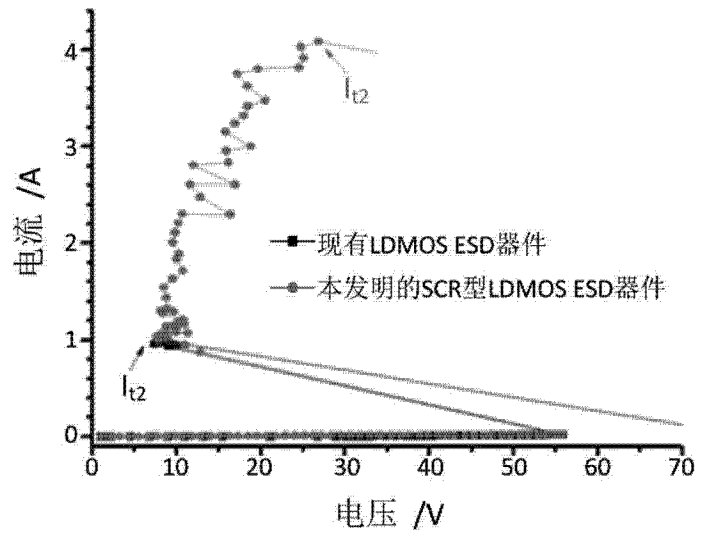


图 6