



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월04일  
(11) 등록번호 10-2106006  
(24) 등록일자 2020년04월23일

(51) 국제특허분류(Int. Cl.)  
G09F 9/00 (2006.01) G09F 9/30 (2006.01)  
(21) 출원번호 10-2013-0096654  
(22) 출원일자 2013년08월14일  
심사청구일자 2018년08월06일  
(65) 공개번호 10-2015-0019593  
(43) 공개일자 2015년02월25일  
(56) 선행기술조사문헌  
KR1020010091977 A\*  
US20090244420 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
최태영  
서울 성북구 정릉로 404, 103동 702호 (돈암동, 현대아파트)  
김보성  
서울 서초구 청두곶길 4, 3층 (방배동)  
(74) 대리인  
팬코리아특허법인

전체 청구항 수 : 총 20 항

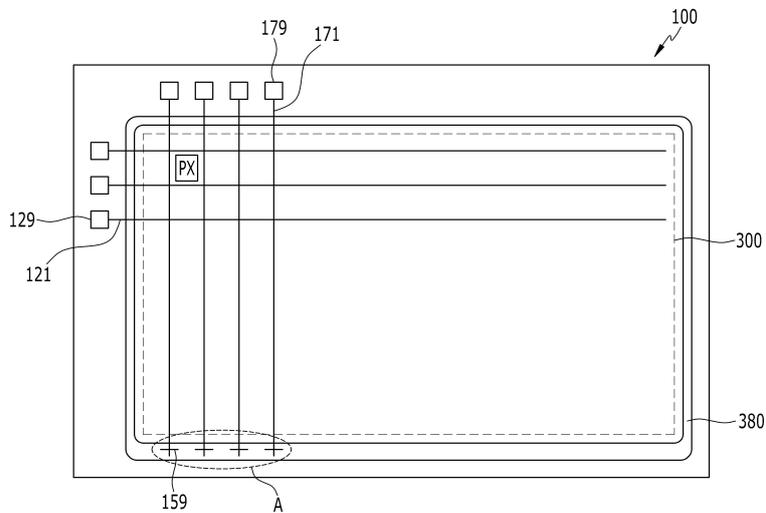
심사관 : 이석형

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명은 게이트선; 상기 게이트선과 절연 교차하는 데이터선; 및 상기 게이트선과 상기 데이터선이 교차하며 화상을 표시하는 표시 영역의 외측에 위치하며, 상기 표시 영역의 외측까지 연장되어 있는 상기 데이터선과 중첩하는 분리된 쇼팅바를 포함하며, 상기 분리된 쇼팅바는 반도체 물질을 포함하는 박막 트랜지스터 표시판 및 그 제조 방법에 대한 것이다.

대표도 - 도1



(72) 발명자

**박재우**

경기 성남시 분당구 내정로166번길 42, 119동 402호 (수내동, 파크타운삼익아파트)

**변희준**

경기 수원시 팔달구 월드컵로311번길 34-9, (우만동)

**이영욱**

경기 화성시 병점1로 65, 108동 1103호 (병점동, 늘벗마을신창1차아파트)

**최문근**

서울 도봉구 덕릉로59차길 37, B동 202호 (창동, ESA홈타운)

## 명세서

### 청구범위

#### 청구항 1

게이트선;

상기 게이트선과 절연 교차하는 데이터선; 및

상기 게이트선과 상기 데이터선이 교차하며 화상을 표시하는 표시 영역의 외측에 위치하며, 상기 표시 영역의 외측까지 연장되어 있는 상기 데이터선과 중첩하는 분리된 쇼팅바를 포함하며,

상기 분리된 쇼팅바는 반도체 물질을 포함하며,

상기 분리된 쇼팅바 및 상기 데이터선은 각각 2 이상 형성되며,

상기 분리된 쇼팅바 하나는 상기 데이터선 하나와만 접촉하는 박막 트랜지스터 표시판.

#### 청구항 2

제1항에서,

상기 쇼팅바는 가로 방향으로 길게 형성되어 있는 박막 트랜지스터 표시판.

#### 청구항 3

제2항에서,

인접하는 상기 데이터선 사이에 위치하는 섬형 쇼팅바를 더 포함하는 박막 트랜지스터 표시판.

#### 청구항 4

제1항에서,

상기 쇼팅바는 실 부재와 중첩하는 박막 트랜지스터 표시판.

#### 청구항 5

제1항에서,

상기 쇼팅바와 상기 표시 영역의 사이에는 OS 패드부가 위치하고 있는 박막 트랜지스터 표시판.

#### 청구항 6

제1항에서,

상기 데이터선 및 상기 분리된 쇼팅바를 덮으며, 접촉 구멍을 포함하는 보호막을 더 포함하며,

상기 접촉 구멍의 내측면은 상기 쇼팅바의 절단면과 일치하는 박막 트랜지스터 표시판.

#### 청구항 7

제6항에서,

상기 표시 영역에는 공통 전극과 화소 전극이 형성되어 있는 박막 트랜지스터 표시판.

#### 청구항 8

제7항에서,

상기 보호막은 제1 보호막과 제2 보호막을 포함하며,

상기 공통 전극은 상기 제1 보호막과 상기 제2 보호막의 사이에 위치하며, 상기 화소 전극은 상기 제2 보호막의

위에 형성되어 있고,

상기 접촉 구멍은 상기 제1 보호막과 상기 제2 보호막을 통하여 형성되어 있는 박막 트랜지스터 표시판.

**청구항 9**

제1항에서,

상기 쇼팅바를 구성하는 상기 반도체 물질은 비정질 실리콘 또는 산화물 반도체이며, 상기 산화물 반도체는 IGZO를 포함하는 박막 트랜지스터 표시판.

**청구항 10**

절연 기판 위에 게이트선을 형성하는 단계;

상기 게이트선을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 반도체 물질, 데이터선용 물질 및 포토 레지스트를 순차적으로 증착하는 단계;

상기 포토 레지스트를 노광하고 현상하여 포토 레지스트가 제거된 영역, 높이가 다른 제1 영역과 제2 영역을 형성하는 단계;

상기 포토 레지스트 패턴을 마스크로 식각하여 데이터선, 드레인 전극, 반도체층 및 쇼팅바를 형성하는 단계; 및

상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 11**

제10항에서,

상기 데이터선 및 쇼팅바를 덮는 보호층을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 12**

제11항에서,

상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계는 상기 보호층에 상기 드레인 전극을 노출시키는 접촉 구멍을 형성할 때, 상기 쇼팅바도 분리시키는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 13**

제12항에서,

상기 쇼팅바를 분리시키는 단계는 상기 쇼팅바의 위에 위치하는 제1 보호막 및 제2 보호막 상의 접촉 구멍을 형성하면서 노출되는 상기 쇼팅바를 식각하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 14**

제13항에서,

상기 쇼팅바를 분시키실 때 상기 데이터선 사이에 위치하는 섬형 쇼팅바를 형성하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 15**

제10항에서,

상기 데이터선, 드레인 전극, 반도체층 및 쇼팅바를 형성하는 단계 후에 상기 데이터선, 드레인 전극, 반도체층 및 쇼팅바를 덮는 제1 보호막을 형성하는 단계;

상기 제1 보호막 위에 공통 전극을 형성하는 단계; 및

상기 공통 전극과 상기 제1 보호막을 덮는 제2 보호막을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 16**

제15항에서,

상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계는 상기 제1 보호막 및 제2 보호막에 상기 드레인 전극을 노출시키는 접촉구멍을 형성할 때, 상기 쇼팅바도 분리시키는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 17**

제16항에서,

상기 쇼팅바를 분리시키는 단계는 상기 쇼팅바의 위에 위치하는 제1 보호막 및 제2 보호막 상의 접촉 구멍을 형성하면서 노출되는 상기 쇼팅바를 식각하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 18**

제17항에서,

상기 쇼팅바를 분시키실 때 상기 데이터선 사이에 위치하는 섬형 쇼팅바를 형성하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 19**

제15항에서,

상기 제1 보호막 및 제2 보호막에 상기 쇼팅바를 노출시키는 접촉구멍을 형성하는 단계; 및  
 상기 제2 보호막 위에 화소 전극을 형성하는 단계를 더 포함하며,  
 상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계는 상기 화소 전극을 식각할 때 상기 접촉 구멍에 의하여 노출되어 있는 쇼팅바를 함께 식각하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 20**

제19항에서,

상기 화소 전극은 습식 식각으로 식각하며, 상기 쇼팅바는 산화물 반도체로 형성되어 있는 박막 트랜지스터 표시판의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 대한 것이다.

**배경 기술**

[0002] 표시 장치로서 액정 표시 장치, 유기 발광 표시 장치, 플라즈마 표시 장치, 전기 영동 표시 장치 또는 전기 습윤 표시 장치 등 다양한 방식의 표시 장치가 사용되고 있다. 표시 장치는 일반적으로 표시 패널과 표시 패널을 구동하는 구동부를 포함하며, 표시 패널은 박막 트랜지스터가 형성되어 있는 박막 트랜지스터 표시판과 상부 표시판을 포함한다. 표시 패널은 표시 영역과 표시 영역을 둘러싸는 주변 영역으로 구분되며, 주변 영역에는 구동부 및 기타 배선이 형성되어 있다.

[0003] 박막 트랜지스터 표시판을 제조할 때, 수차례의 식각 공정을 거치면서 형성되는데, 식각 공정의 문제로 인하여 동일하여야 할 배선의 폭이 서로 다르게 형성되는 경우에는 이로 인하여 다른 부분과 표시 품질의 차이가 발생하는 문제가 있다. 특히 데이터선의 선폭이 서로 다른 경우에는 이와 연결된 화소가 표시하는 화상이 어둡게 표시되는 문제가 발생한다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명이 이루고자 하는 기술적 과제는 배선 제조 공정 중 정전기에 의한 불량이 발생하지 않는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하고자 한다.

**과제의 해결 수단**

[0005] 이러한 과제를 해결하기 위하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 게이트선; 상기 게이트선과 절연 교차하는 데이터선; 및 상기 게이트선과 상기 데이터선이 교차하며 화상을 표시하는 표시 영역의 외측에 위치하며, 상기 표시 영역의 외측까지 연장되어 있는 상기 데이터선과 중첩하는 분리된 쇼팅바를 포함하며,

[0006] 상기 분리된 쇼팅바는 반도체 물질을 포함한다.

[0007] 상기 쇼팅바는 가로 방향으로 길게 형성되어 있을 수 있다.

[0008] 인접하는 상기 데이터선 사이에 위치하는 섬형 쇼팅바를 더 포함할 수 있다.

[0009] 상기 쇼팅바는 실 부재와 중첩할 수 있다.

[0010] 상기 쇼팅바와 상기 표시 영역의 사이에는 OS 패드부가 위치하고 있을 수 있다.

[0011] 상기 데이터선 및 상기 분리된 쇼팅바를 덮으며, 접촉 구멍을 포함하는 보호막을 더 포함하며, 상기 접촉 구멍의 내측면은 상기 쇼팅바의 절단면과 일치할 수 있다.

[0012] 상기 표시 영역에는 공통 전극과 화소 전극이 형성되어 있을 수 있다.

[0013] 상기 보호막은 제1 보호막과 제2 보호막을 포함하며, 상기 공통 전극은 상기 제1 보호막과 상기 제2 보호막의 사이에 위치하며, 상기 화소 전극은 상기 제2 보호막의 위에 형성되어 있고, 상기 접촉 구멍은 상기 제1 보호막과 상기 제2 보호막을 통하여 형성되어 있을 수 있다.

[0014] 상기 쇼팅바를 구성하는 상기 반도체 물질은 비정질 실리콘 또는 IGZO와 같은 산화물 반도체일 수 있다.

[0015] 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 절연 기판 위에 게이트선을 형성하는 단계; 상기 게이트선을 덮는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위에 반도체 물질, 데이터선용 물질 및 포토 레지스트를 순차적으로 증착하는 단계; 상기 포토 레지스트를 노광하고 현상하여 포토 레지스트가 제거된 영역, 높이가 다른 제1 영역과 제2 영역을 형성하는 단계; 상기 포토 레지스트 패턴을 마스크로 식각하여 데이터선, 드레인 전극, 반도체층 및 쇼팅바를 형성하는 단계; 및 상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계를 포함한다.

[0016] 상기 데이터선 및 쇼팅바를 덮는 보호층을 형성하는 단계를 더 포함할 수 있다.

[0017] 상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계는 상기 보호층에 상기 드레인 전극을 노출시키는 접촉 구멍을 형성할 때, 상기 쇼팅바도 분리시키는 단계를 포함할 수 있다.

[0018] 상기 쇼팅바를 분리시키는 단계는 상기 쇼팅바의 위에 위치하는 제1 보호막 및 제2 보호막 상의 접촉 구멍을 형성하면서 노출되는 상기 쇼팅바를 식각할 수 있다.

[0019] 상기 쇼팅바를 분시키실 때 상기 데이터선 사이에 위치하는 섬형 쇼팅바를 형성할 수 있다.

[0020] 상기 데이터선, 드레인 전극, 반도체층 및 쇼팅바를 형성하는 단계 후에 상기 데이터선, 드레인 전극, 반도체층 및 쇼팅바를 덮는 제1 보호막을 형성하는 단계; 상기 제1 절연막 위에 공통 전극을 형성하는 단계; 및 상기 공통 전극과 상기 제1 절연막을 덮는 제2 보호막을 형성하는 단계를 더 포함할 수 있다.

[0021] 상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계는 상기 제1 보호막 및 제2 보호막에 상기 드레인 전극을 노출시키는 접촉구멍을 형성할 때, 상기 쇼팅바도 분리시키는 단계를 포함할 수 있다.

[0022] 상기 쇼팅바를 분리시키는 단계는 상기 쇼팅바의 위에 위치하는 제1 보호막 및 제2 보호막 상의 접촉 구멍을 형성하면서 노출되는 상기 쇼팅바를 식각할 수 있다.

[0023] 상기 쇼팅바를 분시키실 때 상기 데이터선 사이에 위치하는 섬형 쇼팅바를 형성할 수 있다.

[0024] 상기 제1 보호막 및 제2 보호막에 상기 쇼팅바를 노출시키는 접촉구멍을 형성하는 단계; 및 상기 제2 보호막 위에 화소 전극을 형성하는 단계를 더 포함하며, 상기 쇼팅바를 식각하여 절단된 쇼팅바를 형성하는 단계는 상기

화소 전극을 식각할 때 상기 접촉 구멍에 의하여 노출되어 있는 쇼팅바를 함께 식각할 수 있다.

[0025] 상기 화소 전극은 습식 식각으로 식각하며, 상기 쇼팅바는 산화물 반도체로 형성되어 있을 수 있다.

**발명의 효과**

[0026] 이상과 같이 주변 영역에 배선과 연결되어 있는 반도체층을 이용하여 쇼팅바를 형성하고, 배선이 형성된 후 쇼팅바를 단선시켜 배선 제조 공정 중에 정전기가 발생하면 쇼팅바로 정전기가 분산되도록 하고, 배선이 완성된 후에는 쇼팅바를 단선시켜 각 배선이 독립된 신호를 전달할 수 있도록 한다. 또한, 배선 제조 중의 정전기로 인하여 배선의 폭이 서로 다르게 식각되는 문제점도 제거하여 배선의 폭에 따라 해당 배선 부분에서만 휘도가 저하되는 표시 문제도 제거할 수 있다.

**도면의 간단한 설명**

[0027] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.  
 도 2는 본 발명의 실시예에 따른 박막 트랜지스터 표시판 중 쇼팅바 부분의 확대 배치도이다.  
 도 3은 도 2의 II-II선에 따라 자른 단면도이다.  
 도 4 내지 도 6은 도 2의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순서대로 도시한 단면도이다.  
 도 7 및 도 8은 본 발명의 또 다른 실시예에 따른 단면도이다.  
 도 9는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판 중 일부 영역의 확대 배치도이다.  
 도 10은 도 9의 X-X선에 따라 자른 단면도이다.  
 도 11 내지 도 18은 도 10의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순서대로 도시한 도면으로 표시 영역과 주변 영역을 함께 도시하고 있다.  
 도 19는 본 발명의 또 다른 실시예에 따른 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0028] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0029] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0030] 이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 도 1을 참고로 하여 상세하게 설명한다.

[0031] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

[0032] 본 발명의 실시예에 따른 박막 트랜지스터 표시판(100)은 화소(PX)를 포함하는 표시 영역(300)과 표시 영역(300)을 둘러싸고 있는 주변 영역을 가진다. 박막 트랜지스터 표시판(100)의 상측에는 상부 표시판(도시하지 않음)이 형성되어 표시 패널을 이룰 수 있다. 표시 패널은 다양한 방식의 표시 패널일 수 있으며, 액정 표시 패널, 유기 발광 표시 패널, 플라즈마 표시 패널, 전기 영동 표시 패널 또는 전기 습윤 표시 패널 중 하나 일 수 있다.

[0033] 박막 트랜지스터 표시판(100)에는 가로 방향으로 연장되어 있는 게이트선(121)이 형성되어 있다. 게이트선(121)의 일측의 끝단에는 게이트 패드(129)가 형성되어 있다. 게이트 패드(129)는 실(seal)부재(380)의 외측으로 노출되어 있을 수 있다.

[0034] 한편, 박막 트랜지스터 표시판(100)에는 세로 방향으로 연장되어 있는 데이터선(171)도 형성되어 있다. 데이터선(171)은 게이트선(121)과 절연 교차한다. 데이터선(171)과 게이트선(121)은 하나의 화소(PX)와 전기적으로 연결되어 있을 수 있다. 실시예에 따라서는 게이트선(121)과 데이터선(171)이 교차하며 형성하는 구획에 의하여 화소가 정의될 수도 있다. 데이터선(171)의 일측의 끝단에는 데이터 패드(179)가 형성되어 있다. 데이터

패드(179)는 실(seal) 부재(380)의 외측으로 노출되어 있을 수 있다.

- [0035] 데이터선(171)의 타측에는 절단된 쇼팅바(159)가 위치하고 있다. 절단된 쇼팅바(159)는 가로 방향으로 연장되어 있으며, 데이터선(171)과 중첩하면서 교차되어 있으며, 서로 절연되어 있지 않다. 절단된 쇼팅바(159)는 반도체 물질로 형성되어 있다. 실시예에 따라서는 절단된 쇼팅바(159)가 데이터선(171)의 수직인 방향(가로 방향)으로 노출되지 않을 수도 있다.
- [0036] 데이터선(171)과 절단된 쇼팅바(159)는 보호막에 의하여 덮여 있다. 보호막에는 하부의 막을 노출시키는 접촉 구멍이 형성되며, 절단된 쇼팅바(159)의 절단 부분은 접촉 구멍과 일치하거나, 접촉 구멍에 의하여 절단되어 있을 수 있다.
- [0037] 실 부재(380)는 표시 영역(300)의 주변을 둘러싸고 있으며, 절단된 쇼팅바(159)와 중첩하고 있다. 실 부재(380)를 절단된 쇼팅바(159)와 중첩하도록 하면 박막 트랜지스터 표시판(100)에서 주변 영역을 줄일 수 있는 장점이 있다.
- [0038] 이하에서는 절단된 쇼팅바(159)의 구조에 대하여 도 2 및 도 3을 통하여 상세하게 살펴본다.
- [0039] 도 2는 본 발명의 실시예에 따른 박막 트랜지스터 표시판 중 쇼팅바 부분의 확대 배치도이고, 도 3은 도 2의 II-II선에 따라 자른 단면도이다.
- [0040] 도 2는 도 1의 A 영역을 확대하여 도시한 도면이다.
- [0041] 도 2에서 도시하고 있는 바와 같이 데이터선(171)의 하측 일단에는 절단된 쇼팅바(159)가 가로 방향으로 길게 형성되어 있다. 절단된 쇼팅바(159)의 길이 방향은 데이터선(171)의 연장 방향에 대하여 수직일 수 있다. 하지만 실시예에 따라서는 데이터선(171)의 연장 방향에 대하여 수직이지 않을 수도 있다. 절단된 쇼팅바(159)는 데이터선(171)의 하부와 접촉하고 있는 반도체로 이루어져 있으며, 데이터선(171)의 연장 방향인 세로 방향에 대하여 수직 방향으로 형성되어 있다. 데이터선(171)과 쇼팅바(159)의 사이에는 저항성 접촉층이 더 형성되어 있을 수 있다. 쇼팅바(159)는 반도체 물질로 형성되어 있는데, 반도체 물질의 예로는 비정질 실리콘이나 IGZO와 같은 산화물 반도체일 수 있다. 그 결과 쇼팅바(159)가 절단되기 전에는 데이터선(171)에 정전기와 같은 높은 전압이 발생하면 반도체 물질로 형성된 쇼팅바(159)를 통하여 다른 데이터선(171)으로도 전달되어 정전기가 분산되도록 한다.
- [0042] 절단된 쇼팅바(159)는 가로 방향으로 배열되어 있는 접촉 구멍(189)에 의하여 절단되어 있다. 즉, 평면도상 접촉 구멍(189)의 경계면과 절단된 쇼팅바(159)의 일단이 서로 일치할 수 있다.
- [0043] 데이터선(171)에는 절단된 쇼팅바(159)의 내측에 OS 패드(178)가 형성되어 있다. OS 패드(178)는 데이터선(171)의 제조 공정 이후에 해당 패드에 전압을 인가하여 인접한 데이터선(171)과 쇼트가 있는지 아니면 단선이 있는지 확인(OS 테스트=open/short test)할 수 있도록 한다. OS 패드(178)를 통하여 OS 테스트를 진행할 때에는 쇼팅바(159)가 단선되어 절단된 쇼팅바(159)의 상태일 필요가 있다.
- [0044] 도 3의 단면도를 참고로 하면, 절연 기판(110)의 위에 게이트 절연막(140)이 위치하고, 게이트 절연막(140)위에 절단된 쇼팅바(159)가 위치하고, 절단된 쇼팅바(159) 위에 데이터선(171)이 위치하고 있다. 데이터선(171)과 쇼팅바(159)는 보호막(180)에 의하여 덮여 있으며, 보호막(180)에는 접촉 구멍(189)이 형성되어 있다. 접촉 구멍(189)은 쇼팅바(159)의 절단면이 노출되도록 위치하고 있다.
- [0045] 이러한 구조의 절단된 쇼팅바(159)의 제조 방법에 대하여 도 4 내지 도 6을 통하여 살펴본다.
- [0046] 도 4 내지 도 6은 도 2의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순서대로 도시한 단면도이다.
- [0047] 절연 기판(110)위에 게이트선(도시하지 않음)을 형성한 후 게이트 절연막(140)으로 덮는다.
- [0048] 그 후, 게이트 절연막(140)위에 순차적으로 반도체 물질(159')과 데이터선 용 물질(171')을 적층한다. 여기서 데이터선(171)을 단일층으로 형성하는 경우에는 데이터선용 물질(171')은 하나의 층으로 구성되지만, 복수의 층으로 형성되는 경우에는 데이터선용 물질(171')이 하나 이상의 층으로 구성될 수 있다.
- [0049] 그 후, 데이터선용 물질(171')의 위에 포토 레지스트를 형성한 후 마스크(도시하지 않음)를 사용하여 노광하여 포토 레지스트 패턴(280-1, 280-1')을 형성한다. 여기서, 포토 레지스트 패턴(280-1, 280-1')은 포토 레지스트가 제거된 영역(도시하지 않음)도 존재한다. 또한, 포토 레지스트가 형성된 영역은 도 4에서 도시하고 있는 바와 같이 서로 다른 높이를 가지는 두 영역(280-1, 280-1')을 포함한다. 제1 영역(280-1')은 높이가 낮은 영역

이고, 제2 영역(280-1)은 높이가 높은 영역이며, 제1 영역(280-1')을 형성하는 마스크의 영역은 슬릿 패턴이나 반투과 패턴을 포함할 수 있다.

- [0050] 그 후, 도 5와 같이 식각 공정을 진행한다. 포토 레지스트가 형성되지 않은 영역은 데이터선용 물질(171')과 반도체 물질(159')이 모두 식각되어 게이트 절연막(140)이 노출된다. 제1 영역(280-1')과 같이 포토 레지스트가 얇게 형성된 영역은 데이터선용 물질(171')은 식각되지만, 반도체 물질(159')은 식각되지 않는다. 그리고 제2 영역(280-1)과 같이 포토 레지스트가 두껍게 형성된 영역은 데이터선용 물질(171')조차도 식각되지 않으며, 식각 후에도 포토 레지스트(280-1)가 남아 있을 수 있다. 이상과 같은 식각 공정에 의하여 데이터선(171) 패턴은 완성되며, 반도체 물질(159')도 식각되어 쇼팅바(159)로 완성된다. 이와 같은 공정에 의하면 데이터선(171)의 아래에는 반도체 물질(159')이 항상 위치하고 있다. 데이터선(171)이 위치하지 않는 영역에 형성되는 반도체 물질(159')은 쇼팅바(159)를 구성하거나 박막 트랜지스터의 채널을 형성할 수 있다.
- [0051] 그 후, 도 6에서 도시하고 있는 바와 같이 포토 레지스트(280-1)를 제거하고, 보호막(180)을 적층하여 데이터선(171)을 덮는다.
- [0052] 그 후, 도 3에서 도시하고 있는 바와 같이 보호막(180)에 접촉 구멍(189)을 형성한다. 접촉 구멍(189)을 형성하기 위하여 보호막(180)을 식각함과 동시에 쇼팅바(159)를 식각하여 절단된 쇼팅바(159)를 완성한다. 절단된 쇼팅바(159)는 접촉 구멍(189)을 식각할 때 절단되므로, 접촉 구멍(189)의 내측면과 쇼팅바(159)의 절단면이 서로 일치할 수 있다.
- [0053] 이하에서는 도 7 및 도 8을 통하여 본 발명의 또 다른 실시예에 따른 절단된 쇼팅바(159)의 구조를 살펴본다.
- [0054] 도 7 및 도 8은 본 발명의 또 다른 실시예에 따른 단면도이다.
- [0055] 먼저, 도 7에서 도시하고 있는 절단된 쇼팅바(159)는 데이터선(171)의 측면과 쇼팅바(159)의 절단면이 서로 일치하는 구조를 가진다. 이는 데이터선(171)을 덮는 보호막(180)의 접촉 구멍(189)을 데이터선(171)의 폭에 맞추어 절단한 경우이거나 별도의 식각 공정을 통하여 쇼팅바(159)를 데이터선(171)의 폭에 맞추어 절단한 경우이다. 실시예에 따라서는 쇼팅바(159)를 절단하는 식각 공정에서 언더컷으로 인하여 쇼팅바(159)가 데이터선(171)의 경계보다 더 들어가서 위치할 수도 있다.
- [0056] 한편, 도 8에서는 인접하는 데이터선(171)의 사이에 쇼팅바(159)를 2 이상으로 절단하는 구조를 도시하고 있다. 즉, 데이터선(171)의 사이에 보호막(180)의 접촉 구멍(189)을 2 이상 형성하여 접촉 구멍을 형성하면, 도 8과 같이 절단된 쇼팅바(159)의 사이에는 데이터선(171)과 중첩하지 않는 섬형 쇼팅바(159-1)가 형성될 수 있다. 도 8의 실시예에서는 접촉 구멍(189)을 3개 형성하고 식각한 경우의 절단된 쇼팅바(159)의 구조가 도시되어 있다. 뿐만 아니라 실시예에 따라서는 쇼팅바(159)를 절단하기 위하여 별도의 식각 공정으로 식각할 수도 있다.
- [0057] 이하에서는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판 및 그 제조 방법에 대하여 살펴본다. 이하의 구조에서는 액정 표시 장치를 중심으로 살펴보며, 액정 표시 장치 중 박막 트랜지스터 표시판에 화소 전극과 공통 전극이 모두 형성되어 있는 구조를 중심으로 살펴본다.
- [0058] 먼저, 도 9 및 도 10을 통하여 박막 트랜지스터 표시판 중 절단된 쇼팅바(159) 부분을 중심으로 살펴본다.
- [0059] 도 9는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판 중 일부 영역의 확대 배치도이고, 도 10은 도 9의 X-X선에 따라 자른 단면도이다.
- [0060] 도 9에서는 데이터선(171)으로 데이터 전압을 인가하는 데이터 패드의 반대측 타단을 도시하고 있다. 데이터선(171)의 타단에는 표시 영역에서부터 리페어 배선이 형성되어 있는 리페어부(177)와 리페어부(177)의 외측에 위치하는 OS 패드부(178), 그리고 OS 패드부(178)의 외측에 위치하는 절단된 쇼팅바(159)가 형성되어 있다.
- [0061] 리페어부(177)는 데이터선(171)과 직접 연결되어 있지 않을 수 있으며, 리페어가 필요할 때에 한하여 데이터선(171)과 연결되는 구조를 포함한다. 한편, 실시예에 따라서는 리페어부(177)의 위치에 리페어부 대신 정전기 방지부를 포함할 수도 있다. 정전기 방지부는 박막 트랜지스터를 포함하며, 정전기를 외부로 방출시킬 수 있는 구조를 포함한다.
- [0062] OS 패드부(178)는 각각의 데이터선(171)에 연결되어 있는 복수의 OS 패드를 포함하며, 데이터선(171)과 직접 연결되어 있다. 데이터선(171)의 폭이 확장되면서 OS 패드로 형성될 수 있다. OS 패드부(178)는 데이터선(171)의 패턴이 완료된 후 전압을 인가하여 데이터선(171)이 인접하는 데이터선과 쇼트되거나 아니면 데이터선(171)이 단선된 경우를 파악할 수 있도록 한다.

- [0063] OS 패드부(178)의 외측이며, 실 부재(380)와 중첩하는 영역에는 데이터선(171)의 연장 방향에 수직한 가로 방향으로 배열되어 있는 단선된 쇼팅바(159)가 위치하고 있다.
- [0064] 단선된 쇼팅바(159)는 데이터선(171)과는 다른 물질인 반도체 물질로 형성되어 있다. 쇼팅바(159)는 데이터선(171)과 접촉하여 데이터선(171)에 정전기가 발생하는 경우 인접하는 데이터선(171)으로 전달하는 역할을 한다. 데이터선(171)이 완성되기 전까지는 쇼팅바(159)가 단선되지 않아서 발생하는 정전기를 제거하지만, 데이터선(171)이 완성된 후에는 쇼팅바(159)를 단선시킨다. 쇼팅바(159)가 단선된 후에는 OS 패드부를 통하여 OS 테스트가 가능하며, 각 데이터선(171)에 서로 다른 데이터 전압을 전달할 수도 있다.
- [0065] 단선된 쇼팅바(159)는 데이터선(171)을 덮는 보호막(180, 185)에 형성되는 접촉 구멍(189)이 형성되기 위하여 식각될 때 식각되어 단선된다.
- [0066] 또한, 단선된 쇼팅바(159)는 실 부재(380)와 중첩하여 표시 영역의 외측 주변 영역의 폭을 줄일 수 있다.
- [0067] 도 10을 참고로 하면, 절연 기관(110)의 위에 게이트 절연막(140)이 위치하고, 게이트 절연막(140)위에 절단된 쇼팅바(159)가 위치하고, 절단된 쇼팅바(159) 위에 데이터선(171)이 위치하고 있다. 데이터선(171)과 쇼팅바(159)는 보호막(180, 185)에 의하여 덮여 있으며, 보호막(180, 185)에는 접촉 구멍(189)이 형성되어 있다. 접촉 구멍(189)은 쇼팅바(159)의 절단면이 노출되도록 위치하고 있다. 실 부재(380)에 의하여 접촉 구멍(189)은 채워져 있다.
- [0068] 이러한 구조의 절단된 쇼팅바(159)의 제조 방법에 대하여 도 10 내지 도 18을 통하여 살펴본다. 이 때, 쇼팅바(159)의 제조 및 절단 공정 외에 액정 표시 패널에서 박막 트랜지스터, 화소 전극 및 공통 전극이 형성되는 공정도 함께 살펴본다.
- [0069] 도 11 내지 도 18은 도 10의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순서대로 도시한 도면으로 표시 영역과 주변 영역을 함께 도시하고 있다.
- [0070] 도 11 내지 도 18에서 단면도의 좌측은 표시 영역 내의 화소를 도시하며, 우측은 주변 영역에서 쇼팅바 형성 영역을 도시하고 있다.
- [0071] 먼저, 도 11에서 도시하고 있는 바와 같이 표시 영역에서는 절연 기관(110)위에 게이트선 용 금속을 적층하고 이를 식각하여 게이트 전극(124)을 포함하는 게이트선을 형성한다. 그 후 게이트 전극(124)을 포함하는 게이트선을 덮는 게이트 절연막(140)을 형성한다.
- [0072] 이 때, 주변 영역 중 쇼팅바 형성 영역에서는 게이트용 금속이 적층되었다가 모두 제거한 후 절연 기관(110)위에 게이트 절연막(140)을 형성한다.
- [0073] 그 후, 도 12에서 도시하고 있는 바와 같이 게이트 절연막(140)위에 순차적으로 반도체 물질(159')과 데이터선용 물질(171')을 적층한다. 여기서 데이터선(171)을 단일층으로 형성하는 경우에는 데이터선용 물질(171')은 하나의 층으로 구성되지만, 복수의 층으로 형성되는 경우에는 데이터선용 물질(171')이 하나 이상의 층으로 구성될 수 있다. 이 때, 표시 영역과 쇼팅바 형성 영역에는 차이가 없다. 반도체 물질(159')로는 비정질 실리콘이나 IGZO와 같은 산화물 반도체일 수 있다. 데이터선용 물질(171')과 반도체 물질(159')의 사이에는 저항성 접촉층용 물질이 더 포함되어 있을 수도 있다. 저항성 접촉층용 물질이 형성되는 경우에 저항성 접촉층용 물질은 데이터선용 물질(171')과 동일한 패턴으로 식각될 수 있다.
- [0074] 그 후, 도 13에서 도시하고 있는 바와 같이 데이터선용 물질(171')의 위에 포토 레지스트를 형성한 후 마스크(도시하지 않음)를 사용하여 노광하여 포토 레지스트 패턴(280-1, 280-1')을 형성한다. 여기서, 포토 레지스트 패턴(280-1, 280-1')은 포토 레지스트가 제거된 영역과 얇은 두께로 형성된 제1 영역(280-1') 및 두꺼운 두께로 형성된 제2 영역(280-1)을 포함한다. 여기서 포토 레지스트가 제거된 영역은 데이터선용 물질(171')과 반도체 물질(159')이 모두 제거될 위치이고, 얇은 두께를 가지는 제1 영역(280-1')은 데이터선용 물질(171')은 제거되지만 반도체 물질(159')은 남길 위치이며, 두꺼운 두께를 가지는 제2 영역(280-1)은 데이터선용 물질(171')도 남길 위치에 대응한다. 표시 영역에서 데이터선용 물질(171')을 남길 위치는 데이터선(171), 데이터 패드, 소스 전극(173) 및 드레인 전극(175)을 포함하며, 쇼팅바 형성 영역에서 데이터선용 물질(171')을 남길 위치는 연장되어 있는 데이터선(171)의 위치이다. 데이터선용 물질(171')이 남은 위치의 아래에는 반도체 물질(159')이 남아 있다.
- [0075] 한편, 표시 영역에서 데이터선용 물질(171')은 제거되지만 반도체 물질(159')을 남길 위치는 박막 트랜지스터의 채널 영역(소스 전극과 드레인 전극의 사이)이 있으며, 쇼팅바 형성 영역에서 데이터선용 물질(171')은 제거되

지만 반도체 물질(159')을 남길 위치는 쇼팅바(159)가 형성될 위치에 대응한다.

- [0076] 그 후, 도 14에서 도시하고 있는 바와 같이 포토 레지스트 패턴(280-1, 280-1')을 마스크로 하여 식각하여 포토 레지스트 패턴 중 제1 영역(280-1')이 제거될 때까지 식각한다. 이 때, 포토 레지스트 패턴이 형성되지 않은 영역의 데이터선용 물질(171') 또는 반도체 물질(159')은 식각된다.
- [0077] 그 후, 도 15에서 도시하고 있는 바와 같이 도 14의 단계에서 추가적으로 식각을 진행하여 포토 레지스트 패턴이 형성되지 않은 영역에는 반도체 물질(159')도 제거되고, 포토 레지스트 패턴 중 제1 영역(280-1')에 위치하는 데이터선용 물질(171')이 제거된다. 그리고 포토 레지스트 패턴 중 제2 영역(280-1)에 위치하는 데이터선용 물질(171')은 식각되지 않는다. 포토 레지스트 패턴이 형성되지 않은 영역에는 게이트 절연막(140)이 일부 식각될 수도 있다.
- [0078] 도 15까지 식각이 진행되면, 표시 영역에서는 데이터선(171), 데이터 패드, 소스 전극 및 드레인 전극이 완성된다. 데이터선(171), 데이터 패드, 소스 전극 및 드레인 전극의 아래에는 반도체 물질이 남아 있으며, 소스 전극과 드레인 전극의 사이에는 노출된 반도체층(154)이 위치하며, 노출된 반도체층(154)은 박막 트랜지스터의 채널을 형성한다.
- [0079] 한편, 쇼팅바 형성 영역에서는 데이터선(171)이 연장되어 있는 구조와 데이터선(171)의 연장 방향에 수직한 방향인 가로 방향으로 연장되어 있는 쇼팅바(159)가 완성된다. 쇼팅바(159)는 복수의 데이터선(171)을 연결한다. 쇼팅바(159)는 반도체 물질로 형성되어 있어 정전기와 같은 높은 전압이 인가되는 경우 쇼팅바(159) 통하여 인접하는 데이터선(171)으로 분산되므로 정전기가 특정 데이터선(171)에 남아 있지 않게 된다. 일반적으로 식각 공정은 금속으로 형성되는 데이터선(171)은 전자를 잃고 이온화되는 산화 반응인데, 데이터선(171)이 음의 정전기를 띄는 경우에는 산화반응이 저하되어 식각 비율이 저하된다. 그 결과 데이터선(171)의 배선 폭이 두꺼워질 수 있고, 그 결과 주변 데이터선(171)과의 단락이나, 배선 폭이 넓어짐으로 인하여 다른 데이터선과의 저항의 차이로 인한 표시 흠결이 발생될 수 있다. 하지만, 본 발명에서는 쇼팅바(159)가 데이터선(171)이 식각되는 중에도 계속 연결되어 있으므로, 만약 데이터선(171)의 식각 공정 전이나 식각 공정 중에 정전기가 발생하면 쇼팅바(159)로 분산되어 데이터선(171)이 음의 정전기를 띄지 않게 된다. 그 결과 데이터선(171)의 배선 폭을 일정하게 형성할 수 있으며, 그로 인하여 표시 품질도 향상될 수 있다.
- [0080] 그 후, 도 16에서 도시하고 있는 바와 같이 제1 보호막(180)을 적층한다. 그 후, 표시 영역에는 제1 보호막(180)의 위에 판형의 공통 전극(270)을 형성한다. 판형의 공통 전극(270)은 투명한 도전 물질로 형성된다. 한편, 쇼팅바 형성 영역에서는 제1 보호막(180)의 위에 투명한 도전 물질이 형성된 후 공통 전극(270)으로 식각될 때 모두 제거된다.
- [0081] 그 후, 도 17에서 도시하고 있는 바와 같이 제1 보호막(180)과 공통 전극(270)을 덮는 제2 보호막(185)을 형성한다. 그 후, 제2 보호막(185)과 제1 보호막(180)을 제거하여 접촉 구멍(186, 189)을 형성한다. 표시 영역에서는 드레인 전극(175)의 일부를 노출시키는 제1 접촉 구멍(186)을 형성하기 위하여 보호막(180, 185)을 식각한다. 한편, 쇼팅바 형성 영역에서는 보호막(180, 185)에 제2 접촉 구멍(189)을 형성하면서 노출되는 쇼팅바(159)도 함께 식각한다. 그 결과 절단된 쇼팅바(159)가 완성된다. 절단된 쇼팅바(159)는 제2 접촉 구멍(189)을 식각할 때 절단되므로, 제2 접촉 구멍(189)의 내측면과 쇼팅바(159)의 절단면이 서로 일치할 수 있다.
- [0082] 그 후, 도 18에서 도시하고 있는 바와 같이, 표시 영역에서는 제2 보호막(185)의 위에 화소 전극(191) 및 화소 전극(191)과 드레인 전극을 연결하는 부분(191-1)을 형성한다. 화소 전극(191)은 투명한 도전 물질로 형성될 수 있다. 한편, 쇼팅바 형성 영역에서는 화소 전극용 물질이 적층되었다가 화소 전극(191)이 식각될 때 제거된다.
- [0083] 도 18에서는 쇼팅바 형성 영역의 위에 실 부재(380)가 형성되어 상부 표시판(도시하지 않음)과 결합된 구조 중 일부를 도시하고 있으며, 표시 영역에는 액정 분자(310)를 포함하는 액정층이 형성되어 있음도 도시하고 있다.
- [0084] 상부 표시판은 컬러 필터나 차광 부재를 포함할 수 있다.
- [0085] 이상의 실시예에서는 절단된 쇼팅바(159)의 형성은 도 17과 같이 보호막(180, 185)에 접촉 구멍(189)을 형성할 때 식각하는 것으로 기술하였다. 하지만, 절단된 쇼팅바(159)를 형성하는 단계는 그 이외의 단계에서도 가능하다. 예를 들면, IGZO와 같은 산화물 반도체로 형성된 쇼팅바(159)에 대해서 접촉 구멍(189)을 형성할 때에 절단시키지 않다가, 화소 전극(191)을 습식 식각할 때 식각할 수도 있다. 이는 접촉 구멍(189)에 의하여 노출된 쇼팅바(159)가 화소 전극(191)용 식각액으로 식각되기 때문이다. 습식 식각으로 쇼팅바(159)를 절단하는 경우

에는 언더 컷에 의하여 접촉 구멍(189)의 경계보다 더 안쪽으로 절단면이 위치할 수도 있다.

[0086] 이하에서는 도 19를 통하여 본 발명의 또 다른 실시예를 살펴본다.

[0087] 도 19는 본 발명의 또 다른 실시예에 따른 단면도이다.

[0088] 도 19의 실시예는 도 10의 실시예와 달리 인접하는 데이터선(171)의 사이에 쇼팅바(159)를 2 이상으로 절단하는 구조를 도시하고 있다. 즉, 데이터선(171)의 사이에 보호막(180, 185)의 제2 접촉 구멍(189)을 2 이상 형성하여 접촉 구멍을 형성하여 절단된 쇼팅바(159)의 사이에 데이터선(171)과 중첩하지 않는 삼형 쇼팅바(159-1)를 포함하도록 형성한다. 도 19의 실시예에서는 제2 접촉 구멍(189)을 3개 형성하고 식각한 경우의 절단된 쇼팅바(159)의 구조가 도시되어 있다. 뿐만 아니라 실시예에 따라서는 쇼팅바(159)를 절단하기 위하여 별도의 식각 공정으로 식각할 수도 있다.

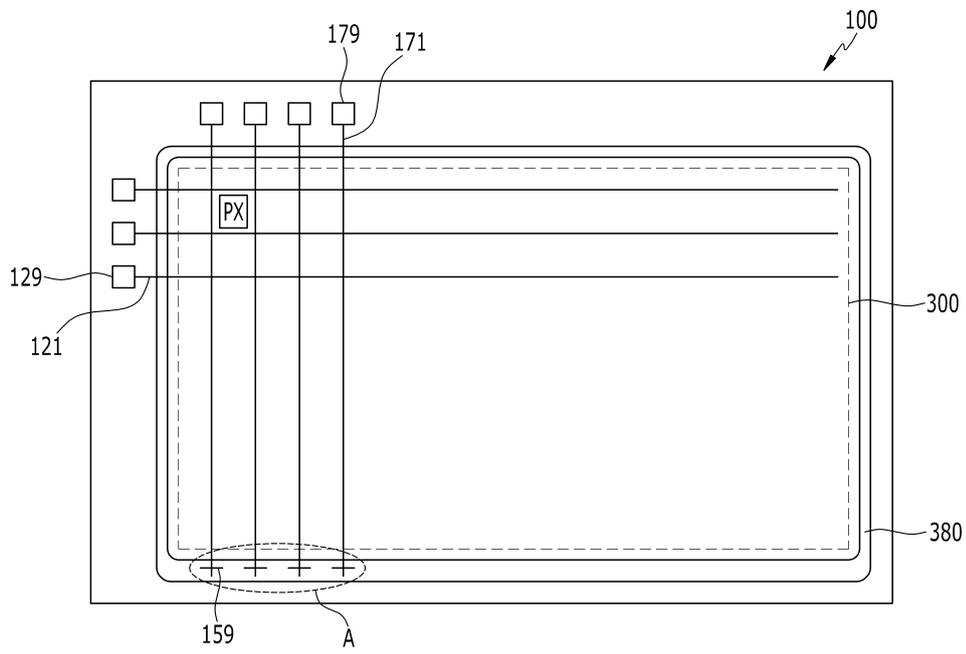
[0089] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**부호의 설명**

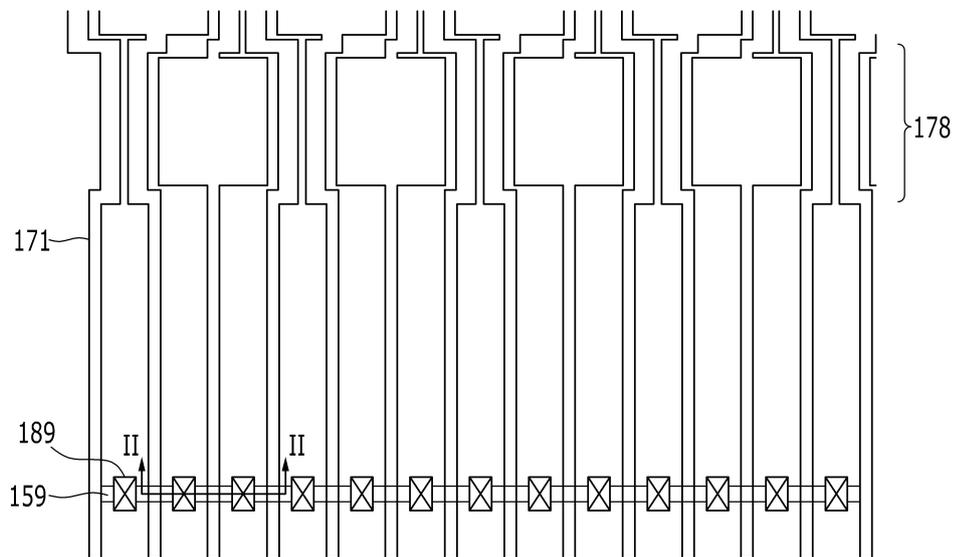
- |        |                   |                        |
|--------|-------------------|------------------------|
| [0090] | 100: 박막 트랜지스터 표시판 | 110: 절연 기판             |
|        | 121: 게이트선         | 124: 게이트 전극            |
|        | 129: 게이트 패드       | 140: 게이트 절연막           |
|        | 154: 반도체층         | 159: 쇼팅바               |
|        | 159-1: 삼형 쇼팅바     | 159': 반도체 물질           |
|        | 171: 데이터선         | 171': 데이터선 용 물질        |
|        | 173: 소스 전극        | 175: 드레인 전극            |
|        | 177: 리페어부         | 178: OS 패드부            |
|        | 179: 데이터 패드       | 180, 185: 보호막          |
|        | 186, 189: 접촉 구멍   | 191, 191-1: 화소 전극      |
|        | 270: 공통 전극        | 280-1, 280-1': 포토 레지스트 |
|        | 300: 표시 영역        | 310: 액정 분자             |
|        | 380: 실 부재         |                        |

도면

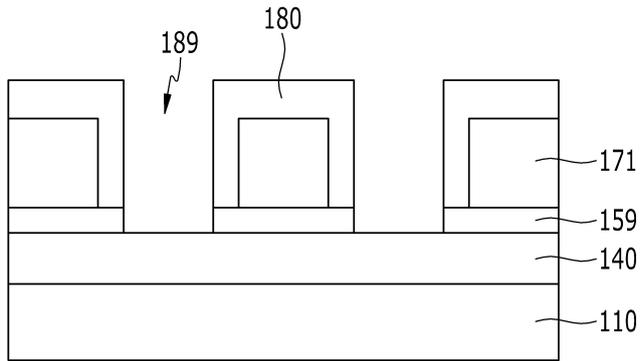
도면1



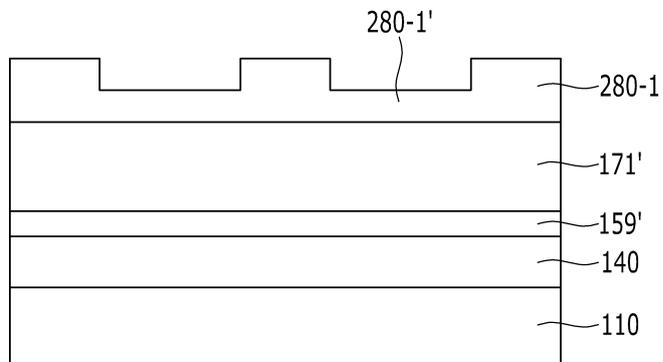
도면2



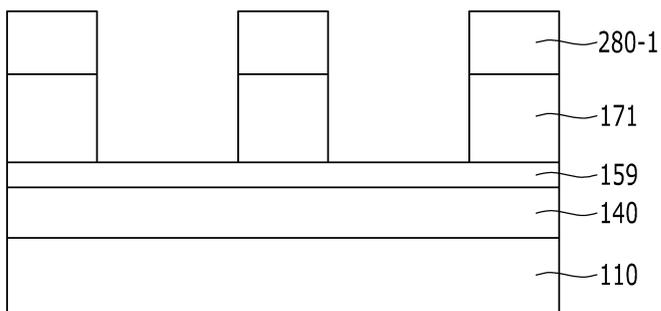
도면3



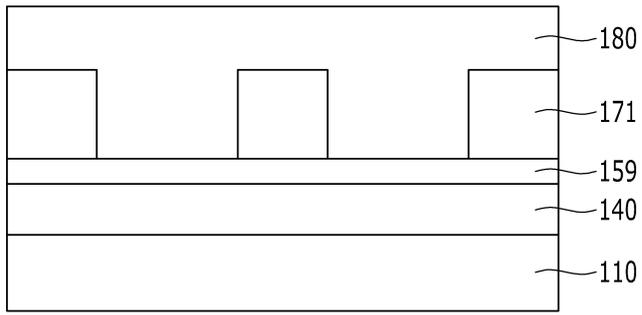
도면4



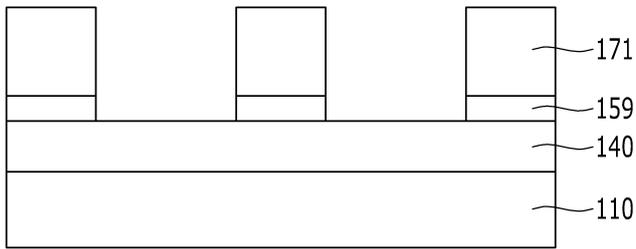
도면5



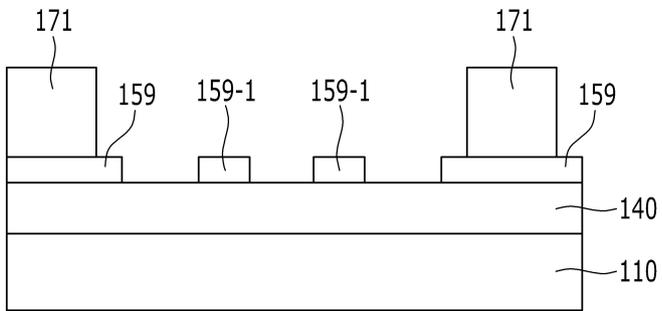
도면6



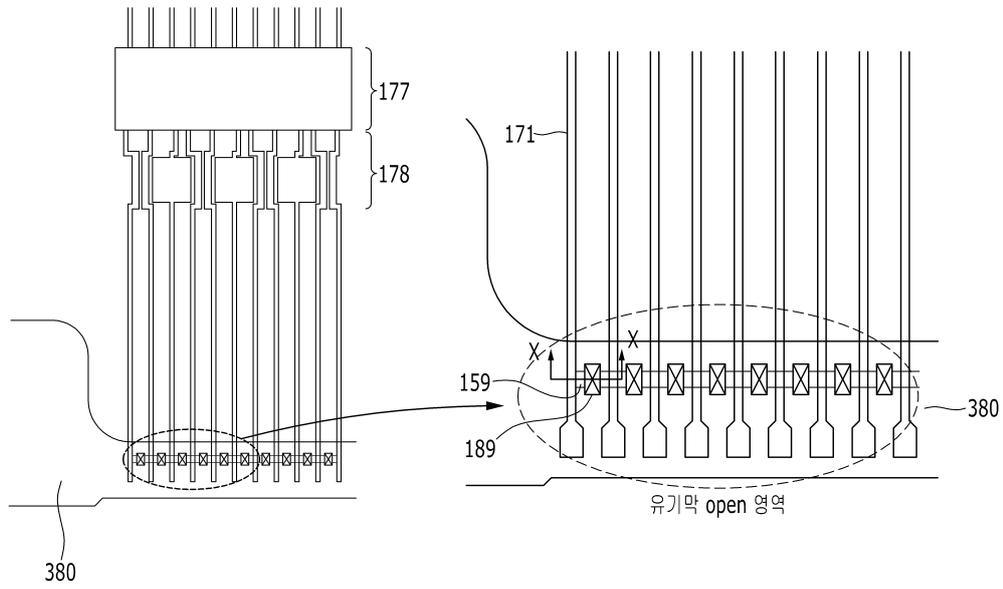
도면7



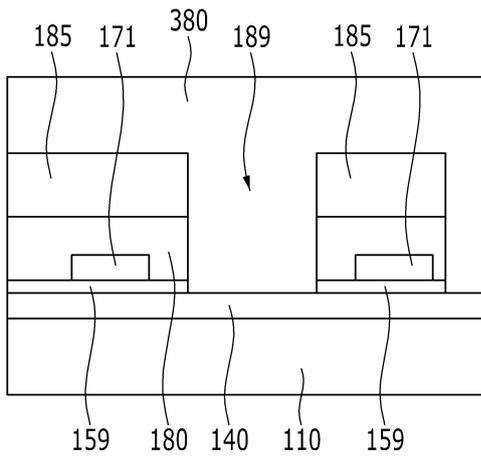
도면8



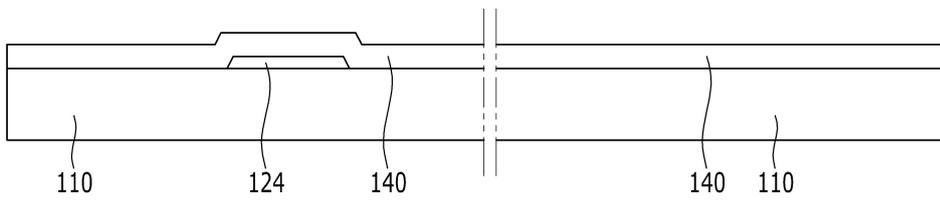
도면9



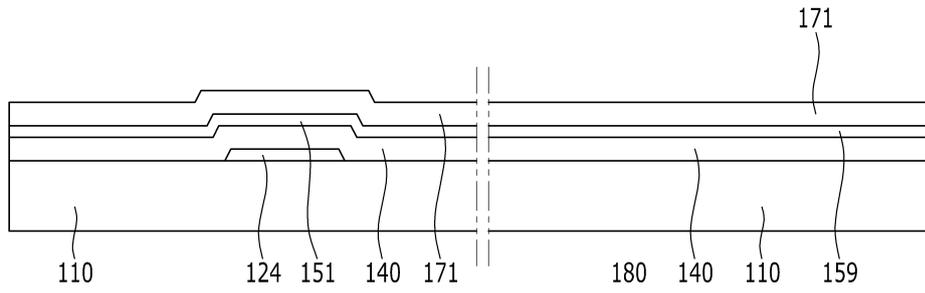
도면10



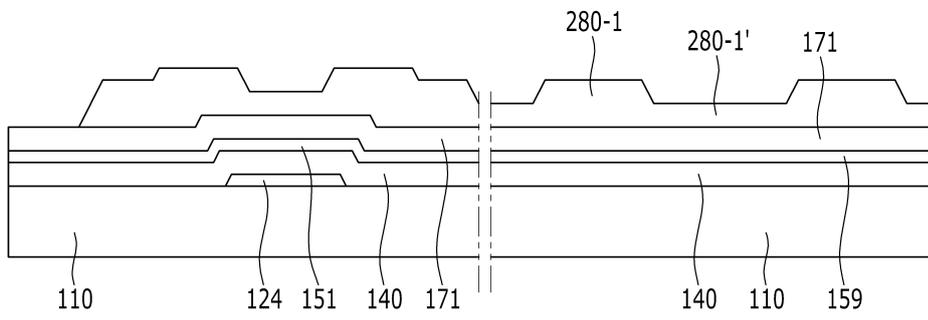
도면11



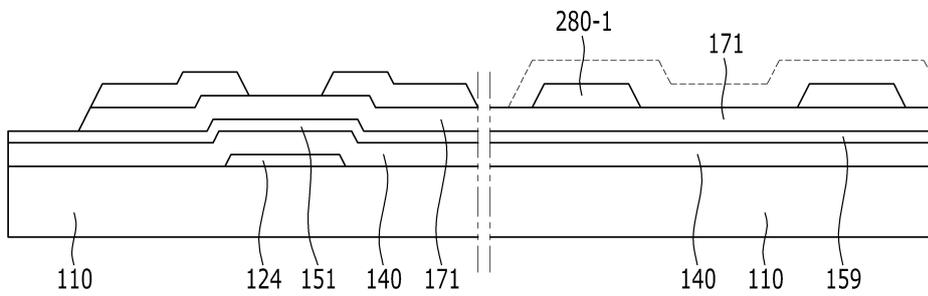
도면12



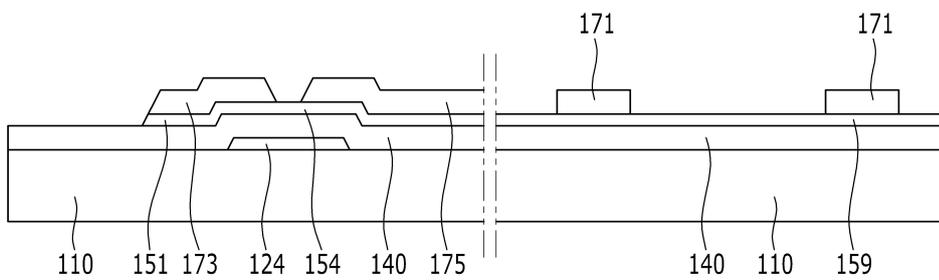
도면13



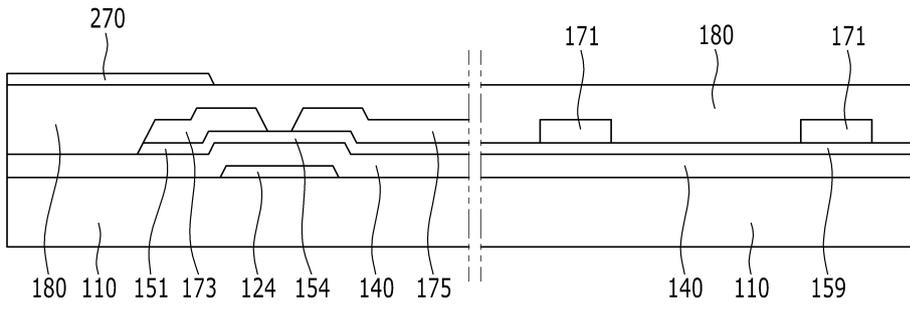
도면14



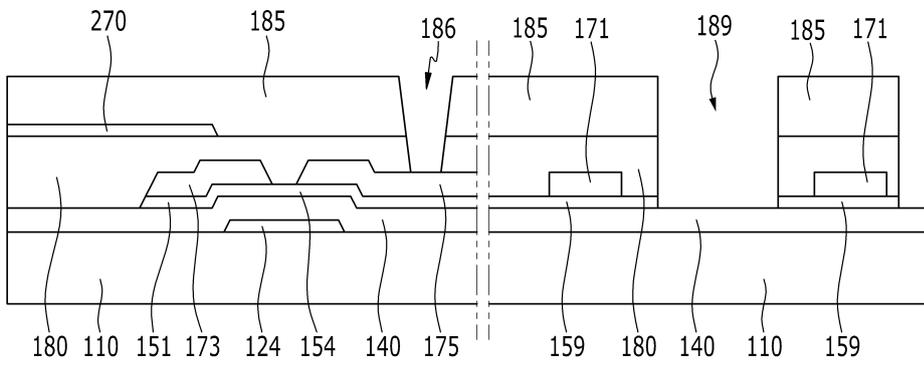
도면15



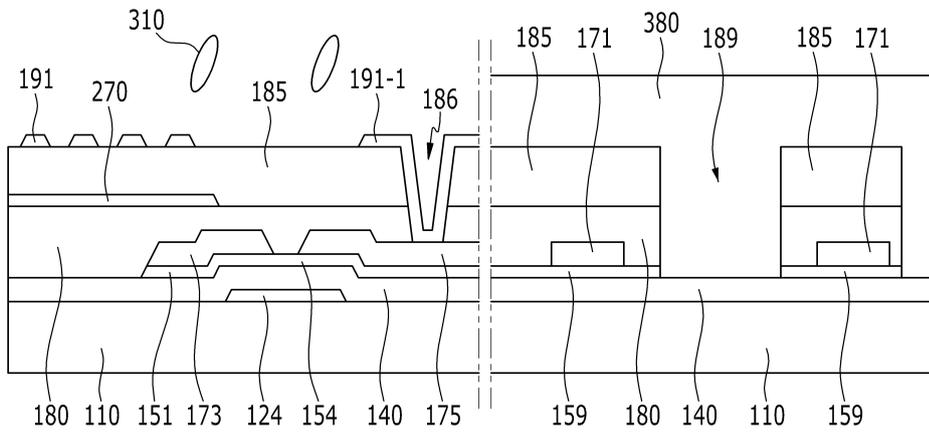
도면16



도면17



도면18



도면19

