

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H04N 5/335

(11) 공개번호 특2000-0047983
(43) 공개일자 2000년07월25일

(21) 출원번호	10-1999-0055655
(22) 출원일자	1999년12월08일
(30) 우선권주장	1998-348876 1998년12월08일 일본(JP) 1999-317106 1999년11월08일 일본(JP)
(71) 출원인	소니 가부시끼 가이샤 이데이 노부유키
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 야마네준지
(74) 대리인	일본도쿄도시나가와구기따시나가와6쵸메7-35소니가부시끼가이샤내 히끼찌구니히꼬 장수길, 구영창

심사청구 : 없음

(54) 고체 촬상 장치 및 그 제조 방법

요약

고체 촬상 장치는, 매트릭스로 배열된 복수의 수광부와, 3층 구조의 제1, 제2, 제3 및 제4 전송 전극에 의해 4상 구동되는 수직 전송 레지스터를 포함한다. 수직 전송 레지스터는 상기 수광부의 각 열에 제공된다. 제1층의 제1 및 제3 전송 전극이 전하 전송 방향으로 교대로 배열되고, 인접한 2개의 제1 및 제3 전송 전극이 수광부들 사이에서 서로 평행하게 연장된다. 이러한 고체 촬상 장치에 의해, 2상의 인접한 전송 전극으로 구성된 각 전송 영역의 축적 전하 용량이 같아지고, 전송 전극들 간의 처리 치수 변화에 관계없이 수광부의 면적이 증대된다.

대표도

도1

색인어

고체 촬상 장치, 고체 촬상 장치 제조 방법, 수광부, 수직 전송 레지스터, 전송 전극

명세서

도면의 간단한 설명

도 1은 본 발명의 고체 촬상 장치의 실시예의 주요 부분의 구성도.
 도 2a는 도 1의 라인 A₃-A₃을 따라 절취한 단면도이고, 도 2b는 도 1의 라인 B₃-B₃을 따라 절취한 단면도.
 도 3은 4상 구동용의 수직 구동 펄스의 타이밍 차트.
 도 4a 내지 도 5h 각각은 본 발명의 고체 촬상 장치를 제조하는 방법의 일 실시예를 도시하는, 도 1의 라인 A₃-A₃을 따라 절취한 단면도와 각각 동일한 단면도.
 도 6a 내지 도 7h는 본 발명의 고체 촬상 장치를 제조하는 방법의 실시예를 도시하는, 도 1의 라인 B₃-B₃을 따라 절취한 단면도와 각각 동일한 단면도.
 도 8은 본 발명의 고체 촬상 장치의 층간 절연막의 두께를 도시하는 단면도.
 도 9는 본 발명의 고체 촬상 장치의 다른 실시예의 주요부의 구성도.
 도 10a는 도 9의 라인 A₄-A₄를 따라 절취한 단면도이고, 도 10b는 도 9의 라인 B₄-B₄를 따라 절취한 단면도.
 도 13a 내지 도 14h는 본 발명의 고체 촬상 장치를 제조하는 방법의 실시예를 도시하는, 도 9의 라인 B₄-B₄를 따라 절취한 단면도와 각각 동일한 단면도.
 도 15는 종래의 전체 화소 독출형 CCD 고체 촬상 장치의 주요부의 구성도.

도 16a는 도 15의 라인 A₂-A₂를 따라 절취한 단면도이고, 도 16b는 도 15의 라인 B₂-B₂를 따라 절취한 단면도.

도 17은 또 다른 종래의 전체 화소 독출형 CCD 고체 촬상 장치의 주요부의 구성도.

도 18a는 도 17의 라인 A₁-A₁을 따라 절취한 단면도이고, 도 18b는 도 17의 라인 B₁-B₁을 따라 절취한 단면도.

도 19는 3상 구동용의 수직 구동 펄스의 타이밍 차트.

<도면의 주요 부분에 대한 부호의 설명>

21 : CCD 고체 촬상 장치

22 : 수광부

23 : 수직 전송 레지스터

24 : 촬상 영역

28 : 전송 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 전형적으로, 전체 화소 독출형(total pixel readout type)의 CCD 고체 촬상 장치에 적당한 고체 촬상 장치, 및 그 제조 방법에 관한 것이다.

도 17은 종래의 전체 화소 독출형 CCD 고체 촬상 장치의 촬상 영역의 주요부를 도시한다. 도 17에 도시된 CCD 고체 촬상 장치(1)는, 인터 라인 전송(inter line transfer; IT)형이라면, 촬상 영역(4)과 CCD 구조를 갖는 수평 전송 레지스터(도시되지 않음)를 포함한다. 촬상 영역(4)은 매트릭스로 배열된 화소로서 이루어진, 광전 변환을 위한 복수의 수광부(2)와, CCD 구조를 각각 갖고 수광부(2)의 각 열의 일측에 형성된 복수의 수직 전송 레지스터(3)를 포함한다. 수평 전송 레지스터를 이용하여 수직 전송 레지스터(3)로부터 전송된 신호 전하를 출력부에 전송한다.

도 18a는 도 17의 라인 A₁-A₁을 따라 절취한 단면도이고, 도 18b는 도 17의 라인 B₁-B₁을 따라 절취한 단면도이다. 도 18a 및 도 18b를 참조하면, 수직 전송 레지스터(3)는 게이트 절연막(7)을 통해 실리콘 반도체 기판(6)의 전송 채널 영역 상에 형성된 3층 구조를 갖는 전송 전극을 갖는다. 이 전송 전극들은 제1 폴리실리콘층에 의해 형성된 제1 전송 전극(8A), 제2 폴리실리콘층에 의해 형성된 제2 전송 전극(8B), 및 제3 폴리실리콘층에 의해 형성된 제3 전송 전극(8C)으로 구성되고, 이들은 전하 전송 방향 'a'를 따라 반복하여 배열된다. 참조 번호(9)는 층간 절연막을 나타낸다. 각 제1 전송 전극(8A)은, 수직 전송 레지스터(3)의 복수의 열에 공통이 되도록 수평 방향으로 연장되는 밴드형으로 형성된다. 제2 및 제3 전송 전극(8B 및 8C)도 마찬가지이다.

수직 방향으로 서로 인접한 수광부(2)들 간의 영역에, 제1, 제2 및 제3 전송 전극(8A, 8B 및 8C)이 순차로 적층된다.

고체 촬상 장치(1)는, 수직 전송 레지스터(3)의 전송 전극(8)이 세 개의 부분, 즉, 각 화소(수광부(2))에 대하여 제1, 제2 및 제3 전송 전극(8A, 8B 및 8C)으로 분할되고, 도 19에 도시된 3상 수직 구동 펄스 ϕV_1 , ϕV_2 및 ϕV_3 를 전송 전극(8A, 8B 및 8C)에 각각 인가함으로써 전체 화소 독출을 위해 3상 구동되도록 구성된다.

도 15에 도시된 구성을 갖는 다른 CCD 고체 촬상 장치(11)가 제안되었다. 장치(11)는 4상 수직 구동 펄스를 각 수직 전송 레지스터의 3층 구조를 갖는 전송 전극에 인가함으로써 전체 화소 독출을 위해 4상 구동된다.

도 16a는 도 15의 라인 A₂-A₂를 따라 절취한 단면도이다. 도 15 및 도 16a를 참조하면, CCD 고체 촬상 장치(11)는 수직 전송 레지스터(3)의 전송 전극(8)이 3개의 폴리실리콘층으로 형성되도록 구성된다. 보다 구체적으로는, 제2 폴리실리콘층에 의해 형성되는 제2 및 제4 전송 전극(8B 및 8D)이 전하 전송 방향을 따라 교대로 배열되고, 제1 폴리실리콘층에 의해 형성되는 각 제1 전송 전극(8A)이, 예를 들면, 도 16a의 좌측으로부터 순서대로 배열된 제2 전송 전극(8B)과 제4 전송 전극(8D) 사이에 배치되고, 제3 폴리실리콘층에 의해 형성되는 각 제3 전송 전극(8C)은, 예를 들면, 도 16a의 우측으로부터 순서대로 배열된 제4 전송 전극(8D)과 제2 전송 전극(8B) 사이에 배치된다.

도 16b는 도 15의 라인 B₂-B₂를 따라 절취한 단면도이다. 도 16b를 참조하면, 수직 방향으로 서로 인접한 수광부(2)들 간의 영역에, 제2층에 의해 형성된 제2 및 제4 전송 전극(8B 및 8D)이 제1층에 의해 형성된 제1 전송 전극(8A) 상에 적층되고, 제3층에 의해 형성된 제3 전송 전극(8C)이 제2 및 제4 전송 전극(8B 및 8D) 상에 적층된다.

고체 촬상 장치(11)는 수직 전송 레지스터(3)의 전송 전극(8)이 네 개 부분, 즉, 각 화소(수광부(2))에 대해 제1, 제2, 제3 및 제4 전송 전극(8A, 8B, 8C, 8D)으로 분할되고, 도 3에 도시된 4상 수직 구동 펄스 ϕV_1 , ϕV_2 , ϕV_3 및 ϕV_4 를 전송 전극(8A 내지 8D)에 각각 인가함으로써 전체 화소 독출을 위해 4상 구동

되도록 구성된다.

다른 구성은 도 17 및 도 18a 및 도 18b에 도시된 것과 동일하므로, 동일한 문자로 나타낸 해당 부분에 대해서는 중복되므로 그에 대한 설명은 생략한다.

도 17에 도시된 CCD 고체 촬상 장치(1)는, 수직 전송 레지스터(3)가 세 개의 부분, 즉, 제1, 제2 및 제3 전송 전극(8A, 8B, 8C)으로 분할된 전송 전극(8)에 의해 3상 구동되기 때문에, 수직 전송 레지스터(3) 내에 축적된 전하 용량은 1 화소의 수직 전송 경로 내에 축적 전하 용량의 1/3과 같다. 결과적으로, 전송 부 내에 충분히 축적된 전하 용량을 보장하기 위해서는, 전송 경로의 폭 W_1 이 넓어져야 하나, 전송 경로의 폭 W_1 이 넓어지면, 수광부(2)의 면적이 넓어진 폭 W_1 에 비례하여 좁아진다.

각 화소에 대한 전송 전극(8)으로부터 분할된 세 개의 전송 전극(8A 내지 8C)의 면적은 축적되는 전하 용량을 많게 보장하기 위해 서로 같은 것이 바람직할 수 있으나, 이들은 실제로는 전송 전극(8A 내지 8C) 간의 처리 라인 폭의 변화에 따라 크게 일정치 않게 된다. 그 결과, 축적된 전하 용량은 전송 전극(8A 내지 8C) 중에서 가장 작은 면적을 갖는 전극에 의해 결정됨으로써, 실제 전하량이 감소된다.

3층 전극 구조에 의해 전체 화소 독출을 위해 4상 구동되는, 도 15에 도시된 CCD 고체 촬상 장치(11)는, 축적된 전하 용량이 1 화소에 대한 수직 전송 경로에 축적된 전하 용량의 2/4와 같기 때문에, 3층 전극 구조에 의해 전체 화소 독출을 위해 3상 구동되는, 도 17에 도시된 CCD 고체 촬상 장치(1)보다는 커진다.

그러나, CCD 고체 촬상 장치(11)는 다음과 같은 단점, 즉, 제1층에 의해 형성된 전송 전극(8A)과 제2층에 의해 형성된 각 전송 전극(8B 및 8D) 간에 라인 폭의 변화가 발생하고, 또한 제1층에 의해 형성된 전송 전극(8A)과 제2층에 의해 형성된 전송 전극(8B 및 8D) 각각의 사이에 미스얼라인먼트가 발생하여, 2상용의 인접한 전송 전극으로 각각 구성되고 축적되는 전하 용량을 결정하는 인자로서 간주되는 2상 전송 영역의 길이 L_1 , L_2 , L_3 및 L_4 간에 변화가 발생하여, 실제 전하량이 감소된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 축적된 전하 용량을 증가시키고, 수광부의 면적을 증대시키며, 전송 전극들 간의 처리 치수 변화로 인한 실제 전하량의 감소를 방지하는 고체 촬상 장치, 및 이러한 고체 촬상 장치를 제조하는 방법을 제공하는 것이다.

상기한 바와 같은 목적을 달성하기 위해, 본 발명의 제1 측면에 따르면, 매트릭스로 배열된 복수의 수광부, 및 3층 구조의 전송 전극에 의해 4상 구동되고, 상기 수광부의 각 열에 제공되는 수직 전송 레지스터를 포함하고, 상기 전송 전극들중 제1층에 의해 형성되는 전송 전극들은 전하 전송 방향으로 교대로 배열되는 2종류의 전송 전극으로 구성되는 고체 촬상 장치가 제공된다.

이러한 구성에서는, 4상 구동되는 수직 전송 레지스터의 전송 전극중, 제1층에 의해 형성되는 제1 및 제3 전송 전극이 교대로 배열되고, 제2층에 의해 형성되는 제2 전송 전극이 제1 전송 전극과 제3 전송 전극 사이에 이들을 횡단하여 놓여지도록 각각 배열되고, 제3층에 의해 형성되는 제4 전송 전극은 제3 전송 전극과 제1 전송 전극 사이에 이들을 횡단하여 놓여지도록 각각 배열된다. 그 결과, 제1층의 제1 및 제3 전송 전극 간의 처리 치수에 변화가 생기더라도, 제1층의 제1 또는 제3 전송 전극 및 제2층의 제2 전송 전극으로 구성된 2상 전송 영역의 길이는 통상 제1층의 제1 또는 제3 전송 전극 및 제3층의 제4 전송 전극으로 구성된 2상 전송 영역의 길이와 동일하게 된다. 따라서, 수직 전송 레지스터 내에 축적되는 전하 용량을 증가시킬 수 있고, 따라서 실제 전하량의 감소를 방지할 수 있다.

또한, 4상 구동되는 수직 전송 레지스터가 제공되기 때문에, 축적된 전하 용량은 1화소당 수직 전송 경로 내에 축적된 전하 용량의 2/4와 같다. 이렇게 함으로써 수직 전송 경로의 폭을 더 좁게 하고 수광부의 면적을 넓게할 수 있다.

본 발명의 제2 측면에 따르면, 매트릭스로 배열된 복수의 수광부, 및 제1, 제2, 제3 및 제4 전송 전극의 순으로 교대로 배열된, 제1층에 의해 형성되는 제1 및 제3 전송 전극과 제2층에 의해 형성되는 제2 및 제4 전송 전극에 의해 4상 구동되고, 상기 수광부의 각 열에 제공되는 수직 전송 레지스터를 포함하고, 상기 제2층의 상기 제2 및 제4 전송 전극중 하나는 상기 수직 전송 레지스터 각각에 대해 독립적으로 형성되고, 상기 제2 및 제4 전송 전극중 상기 수직 전송 레지스터 각각에 대해 독립적으로 형성된 상기 전송 전극은 제3층에 의해 형성되는 배선에 접속되는 고체 촬상 장치가 제공된다.

이러한 구성에서는, 모든 전송 전극중 인접한 2개의 전송 전극 간의 각 층간 절연막의 두께가 제1층의 제1 및 제3 전송 전극의 표면 상에 형성된 층간 절연막의 두께에 의해 결정되기 때문에, 각각의 층간 절연막이 같아지고, 전하 전송시에 포텐셜 딥(potential dip)의 발생을 방지할 수 있다.

이러한 구성에서는, 4상 구동되는 수직 전송 레지스터의 전송 전극들중, 제1층의 제1 및 제3 전송 전극이 교대로 배열되고, 제2층의 제2 및 제4 전송 전극이 제1 전송 전극과 제3 전송 전극 사이 그리고 제1층의 제3 전송 전극과 제1 전송 전극 사이에 이들을 횡단하여 놓여지도록 각각 배열된다. 그 결과, 제1층의 제1 및 제3 전송 전극 간의 처리 치수의 변화가 발생하더라도, 제1층의 제1 또는 제3 전송 전극과 제2층의 제2 또는 제4 전송 전극으로 구성된 2상 전송 영역의 길이는 통상 같아진다. 따라서, 수직 전송 레지스터 내에 축적되는 전하 용량을 증가시킬 수 있고, 따라서 실제 전하량의 감소를 방지할 수 있다.

또한, 4상 구동되는 수직 전송 레지스터가 제공되기 때문에, 축적된 전하 용량이 1화소당 수직 전송 경로 내에 축적된 전하 용량의 2/4와 같다. 이렇게 함으로써, 수직 전송 경로의 폭을 더 좁게할 수 있고 따라서 수광부의 면적을 더 넓게할 수 있다.

본 발명의 제3 측면에 따르면, 각 수직 전송 레지스터 형성 영역에 교대로 배열되고 수직 방향으로 서로 인접한 수광부들 사이에 서로 평행하게 연장될 제1 및 제3 전송 전극의 패턴에 대응하는 마스크 패턴을 제1 전극 재료층 상에 형성하는 단계, 상기 마스크 패턴 각각에 측벽을 형성하는 단계, 상기 측벽을 갖는 상기 마스크 패턴을 통해 상기 제1 전극 재료층을 패터닝하여, 제1층에 의해 형성되는 제1 및 제3 전송

전극을 형성하는 단계, 각각의 제2 전송 전극이 상기 수직 전송 레지스터 형성 영역에서 제1층의 상기 제1 전송 전극과 제3 전송 전극 사이에 제1, 제2, 제3 전극 순으로 배열되고, 상기 수광부들 사이에 배치되도록 절연막을 통해 제2 전극 재료층에 의해 제2 전송 전극을 형성하는 단계, 및 각각의 제4 전송 전극이 상기 수직 전송 레지스터 형성 영역에서 제1층의 상기 제3 전송 전극과 제1 전송 전극 사이에 제3, 제4, 제1 전극 순으로 배열되고, 상기 수광부들 사이에 배치되도록 절연막을 통해 제3 전극 재료층에 의해 제4 전송 전극을 형성하는 단계를 포함하는 고체 촬상 장치의 제조 방법이 제공된다.

이런 구성에서는, 제1층에 의해 형성되는 제1 및 제3 전극이 교대로 배열되고 제2층에 의해 형성되는 제2 전송 전극이 각각 제1 전송 전극과 제3 전극 사이에 배치되고 제3층에 의해 형성되는 제4 전송 전극이 각각 제3 전송 전극과 제1 전송 전극 사이에 배치되기 때문에, 제1층의 제1 및 제3 전극 간의 처리 치수에 변화가 발생하더라도, 2상용의 인접한 전송 전극으로 구성된 각 2상 전송 영역의 길이를 통상적으로 유지할 수 있다.

또한, 제1 전극 재료층이 측벽을 갖는 마스크 패턴을 통해 패터닝되기 때문에, 수직 방향으로 서로 인접한 수광부들 사이에 서로 평행하게 연장되는 제1층의 제1 및 제3 전극 간의 갭이 포토리소그래피의 최소 라인 폭보다 좁다. 따라서, 수광부들 간의 좁은 영역에 충분한 폭을 갖는 4상 전송 전극을 형성하는 것이 가능하다.

본 발명의 제4 측면에 따르면, 제1 및 제3 전송 전극이 각각의 수직 전송 레지스터 형성 영역에서 교대로 배열되고 상기 제1 및 제3 전송 전극들중 인접한 두 전극이 수직 방향으로 서로 인접한 수광부들 사이에서 서로 평행하게 연장되도록 제1 전극 재료층에 의해 제1 및 제3 전송 전극을 형성하는 단계, 상기 제1층의 상기 제1 및 제3 전송 전극의 표면에 층간 절연막을 형성하는 단계, 각각의 제2 전송 전극이 제1층의 상기 제1 전송 전극과 제3 전송 전극 사이에 제1, 제2 및 제3 전송 전극 순으로 배치되고, 상기 수광부들 사이에 연장되도록 제2 전극 재료층에 의해 제2 전송 전극을 형성하는 단계, 각각의 제4 전송 전극이 각각의 상기 수직 전송 레지스터 형성 영역에서만 독립적으로 제1층의 상기 제3 전송 전극과 제1 전송 전극 사이에 제3, 제2 및 제1 전극 순으로 배치되도록 상기 제2 전극 재료층에 의해 제4 전송 전극을 형성하는 단계, 및 각각의 배선이 상기 수광부들 사이에서 연장되어 상기 제2층의 상기 독립적인 제4 전송 전극에 접속되도록 제3 도전 재료층에 의해 배선을 형성하는 단계를 포함하는 고체 촬상 장치의 제조 방법이 제공된다.

이러한 구성에서는, 제1층의 제1 및 제2 전송 전극을 형성한 후에, 제1 및 제2 전송 전극의 표면 상에 층간 절연막을 형성하고 제1 및 제3 전송 전극 사이 그리고 제3 및 제1 전송 전극 사이에 제2층의 제2 및 제4 전극을 형성하므로, 모든 전송 전극중 인접한 2개의 전송 전극 간의 각 층간 절연막은 같아진다.

또한, 제1층에 의해 형성되는 제1 및 제3 전극이 교대로 배열되고 제2층에 의해 형성되는 제2 전극은 각각 제1 및 제3 전극 사이에 배치되고 제3층에 의해 형성되는 제4 전극은 각각 제3 및 제1 전극 사이에 배치되기 때문에, 제1층의 제1 및 제3 전극 간의 처리 치수에 변화가 발생하더라도, 2상용의 인접한 전송 전극으로 구성된 각 2상 전송 영역의 길이를 통상적으로 유지하는 것이 가능하다.

발명의 구성 및 작용

이하, 본 발명에 따른 고체 촬상 장치 및 그 제조 방법의 실시예를 도면을 참조하여 설명한다.

본 발명을 전체 화소 독출형 CCD 고체 촬상 장치에 적용한 일 실시예를 도 1 내지 도 3을 참조하여 설명한다.

도 1은 전형적으로 인터라인 전송(IT)형으로 구성된 전체 화소 독출형 CCD 고체 촬상 장치의 촬상 영역의 주요부를 도시한다.

이 실시예의 CCD 고체 촬상 장치(21)는 촬상 영역(24)와 CCD 구조의 수평 전송 레지스터(도시되지 않음)를 갖는다. 촬상 영역(24)은 매트릭스로 배열된 화소로서 이루어진 부분인, 광전 변환을 위한 복수의 수광부(22)와, CCD 구조를 각각 갖고 수광부(22)의 각 열의 일측에 형성된 복수의 수직 전송 레지스터(23)를 갖는다.

도 2a는 도 1의 라인 A₃-A₃을 따라 절취한 단면도이고, 도 2b는 도 1의 라인 B₃-B₃을 따라 절취한 단면도이다. 도 2a 및 도 2b를 참조하면, 수직 전송 레지스터(23)는 3층 구조를 갖는 전송 전극(28)이 게이트 절연막(27)을 통해 실리콘 반도체 기판(26)의 전송 채널 영역 상에 형성되도록 구성된다. 보다 구체적으로는, 제1 폴리실리콘층에 의해 형성된 제1 전송 전극(28A)과 제3 전송 전극(28C), 제2 폴리실리콘층에 의해 형성된 제2 전송 전극(28B), 및 제3 폴리실리콘층에 의해 형성된 제4 전송 전극(28D)이 전하 전송 방향 'a'를 따라 반복하여 배열된다 (도 1참조). 게이트 절연막(27)은 1 층막이나 다층막, 전형적으로는, SiO₂ 층, SiN 층, 및 SiO₂ 층이 순차적으로 적층된 3층막으로 형성될 수 있다 (도시되지 않음). 참조 번호(29)는 층간 절연막을 나타낸다.

각 제1 전송 전극(28A)은 수직 전송 레지스터(23)의 복수의 열에 공통이 되도록 수직 방향으로 서로 인접한 수광부(22) 사이에 수평으로 연장되는 밴드형으로 형성된다. 제2, 제3 및 제4 전송 전극(28B, 28C, 및 28D)도 마찬가지이다.

이 실시예에서는, 특히 도 1에 도시된 바와 같이, 수직 전송 레지스터(23)가 4개의 전송 전극(28A, 28B, 28C 및 28D)이 1 화소 (수광부(22))에 할당되도록 형성된다. 4개의 전송 전극(28) 중에서, 제1 폴리실리콘층에 의해 형성된 제1 및 제3 전송 전극(28A 및 28C)은 교대로 배열되고, 제2 폴리실리콘층에 의해 형성된 제2 전송 전극(28B)은, 예를 들면, 도 2a의 우측으로부터 순서대로 배열된 제1 전송 전극(28A)과 제3 전송 전극(28C) 사이에 배치되고, 제3 폴리실리콘층에 의해 형성된 제4 전송 전극(28D)은, 예를 들면, 도 2a의 좌측으로부터 순서대로 배열된 제3 전송 전극(28C)과 제1 전송 전극(28A) 사이에 배치된다.

도 1 및 도 2b에 도시된 바와 같이, 수직 방향으로 서로 인접한 수광부(22) 들 간의 영역에는, 제1 폴리실리콘층에 의해 형성된 인접한 2개의 전송 전극, 즉, 순서대로 배열된 제1 전송 전극(28A)과 제3 전송

전극(28C)이 d_1 의 갭을 두고 서로 평행하게 연장되며, 제2 및 제4 전송 전극(28B 및 28D)이 평행한 2개의 전송 전극(28A 및 28C) 위를 횡단하여 순차 적층된다.

고체 활상 장치(21)는 도 3에 도시된 4상 수직 구동 펄스 ϕV_1 , ϕV_2 , ϕV_3 및 ϕV_4 를 각 수직 전송 레지스터의 1 화소에 할당된 4개의 전송 전극(28A, 28B, 28C 및 28D)에 인가함으로써 전체 화소 독출을 위해 4상 구동된다.

이 실시예의 CCD 고체 활상 장치(21)를 제조하는 방법, 특히, 수직 전송 레지스터(23)의 전송 전극(28)(28A, 28B, 28C 및 28D)의 형성 방법에 대해 도 4a 내지 도 5h 및 도 6a 내지 도 7h를 참조하여 설명한다.

도 4a 내지 도 4d 및 도 5e 내지 도 5h는 각각 도 1에 도시된 수직 전송 레지스터(23)를 통과하는 라인 A_3 - A_3 을 따라 절취한 단면도이고, 도 6a 내지 도 6d 및 도 7e 내지 도 7h는 각각 도 1에 도시된 수직 방향으로 서로 인접한 수광부(22)들 사이를 통과하는 라인 B_3 - B_3 을 따라 절취한 단면도이다.

먼저, 도 4a 및 도 6a에 도시된 바와 같이, 제1 전극 재료층인 폴리실리콘층(31)이 실리콘 반도체 기판(26)의 표면 상의 게이트 절연막(27)의 전면에 형성되고, 이 층은 활상 영역에 해당하며, SiO_2 로 이루어진 마스크층(35)이 폴리실리콘층(31) 상에 CVD법에 의해 형성된다.

마스크층(35) 상에 포토레지스트 패턴(36)이 형성된다. 포토 레지스트 패턴(36)은 각 수직 전송 레지스터 형성 영역에서 교대로 배열되고 수직 방향으로 서로 인접한 수광부(22)들 간의 각 영역에 서로 평행하게 수평으로 연장될 전송 전극(28A 및 28C)의 패턴에 대응한다.

이 때, 수광부(22)들 간의 영역에서 포토레지스트 패턴(36)들 간의 갭 d_2 가 통상 포토리소그래피 기술의 최소 라인폭인, $0.35\mu m$ 으로 설정된다.

도 4b 및 도 6b를 참조하면, 마스크로서 포토레지스트 패턴(36)을 이용하여 이방성 에칭에 의해 마스크층(35)을 선택적으로 에칭하여, 포토레지스트 패턴에 대응하는 마스크 패턴(351), 즉, 제1층에 의해 형성될 전송 전극(28A 및 28C)의 패턴을 형성한다.

도 4c 및 도 6c를 참조하면, 포토레지스트 패턴(36)을 제거한 후에, SiO_2 로 이루어진 절연막(38)을 마스크 패턴(351)을 포함한 전면 상에 CVD법에 의해 형성한다.

도 4d 및 도 6d를 참조하면, 절연막(38)의 전면을 이방적으로 에칭하여, 각 마스크 패턴(351)의 양측에 소위 절연성 측벽(381)을 형성한다.

측벽(381)의 형성으로, 수광부(22)들 간의 영역 내의 마스크 패턴(351)들 간의 갭이 통상 $0.2\mu m$ 이하인, 포토리소그래피 기술의 최소 라인폭보다 더 좁은 갭 d_1 이 된다.

도 5e 및 도 5f, 그리고 도 7e 및 도 7f를 참조하면, 제1 폴리실리콘층(31)을 측벽(381)을 갖는 마스크 패턴(351)을 통해 이방성 에칭에 의해 패터닝하여, 제1 및 제3 전송 전극(28A 및 28C)을 형성한다.

이 패터닝으로, 도 7f에 도시된 바와 같이, 수광부(22)들 간의 영역에서, 2개의 전송 전극(28A 및 28C) (소위 배선부)이 통상적으로는 $0.2\mu m$ 이하이고, 보다 바람직하게는 $0.1\mu m$ 이하인, 포토리소그래피 기술의 최소 라인폭 d_2 보다 더 좁은 갭 d_1 을 두고 서로 평행하게 연장된다. 서로 평행하게 연장되는 전송 전극(28A 및 28C)의 전체 폭 D_1 은 도 18b에 도시된 수광부(2)들 간의 제1층에 의해 형성된 전송 전극(8A)의 라인 폭 D_2 와 유사하게 만들어질 수 있다.

도 5f 및 도 7f는, 폴리실리콘층(31)에 의해 형성된 전송 전극(28A 및 28C) 상에 마스크 패턴(151)과 CVD법에 의해 SiO_2 막으로 형성된 측벽(381)을 이방성 에칭에 의해 제거한 상태를 도시한다. CVD법에 의한 SiO_2 막을 이방성 에칭에 의해 제거한 경우, 전송 전극(28A 및 28C) 상부에 있지 않는 게이트 절연막(27)의 일부의 최상부 SiO_2 막 또한 제거되기는 하나, SiO_2 막은 나중에 증착될 것이기 때문에 문제가 없다.

또한, 마스크 패턴(351)과 측벽(281)이 원래대로 남을 수 있다.

도 5g 및 도 7g를 참조하면, 제2 전극 재료층인 폴리실리콘층(32)이 CVD법에 의한 SiO_2 막 및 열산화막으로 구성된 층간 절연막(29)을 통해 증착되고, 패터닝되어, 각 수직 전송 레지스터(23) 형성 영역에, 예를 들면, 도 5g에서 우측으로부터 순서대로 배열된 전송 전극(28A 및 28C) 간에 각 제2 전송 전극(28B)을 형성한다. 도 7g에 도시된 바와 같이, 수광부(22)들 사이의 영역에는, 제2 전송 전극(28B)이 제1 및 제3 전송 전극(28A)과 전송 전극(28C) 상에 적층된다.

도 5h 및 도 7h를 참조하면, 제3 전극 재료층인 폴리실리콘층(33)이 층간 절연막(29)을 통해 증착되고, 패터닝되어 각 수직 전송 레지스터(23) 형성 영역에, 예를 들면 도 5h의 우측으로부터 순서대로 배열된 전송 전극(28C)과 전송 전극(28A) 사이에 각 4개의 전송 전극(28D)을 형성한다. 도 7h에 도시된 바와 같이, 수광부(22)들 간의 영역에는, 제4 전송 전극(28D)이 제2 전송 전극(28B) 상에 적층된다.

이런 방식으로, 도 1 및 도 2a 및 도 2b에 도시된 수직 전송 레지스터(23)의 4개의 전송 전극(28A 내지 28D)이 형성된다.

이 실시예에서의 전체 화소 독출형 CCD 고체 활상 장치(21)는 3층 구조의 전송 전극(28)(28A 내지 28D)에 의해 4상 구동되는 수직 전송 레지스터(23)에 의해 전체 화소 독출을 행하도록 구성된다. 따라서, 수직 전송 레지스터(23) 내에 축적된 전하 용량은 1 화소 (수광부(22))당 수직 전송 경로 내에 축적된 전하 용량의 2/4와 같고, 따라서, 도 17에 도시된 3층 전극 구조에 의해 3상 구동되는 종래의 전체 화소 독출형 CCD 고체 활상 장치(1)의 축적된 전하 용량에 1.5배 정도로 커진다.

따라서, 종래의 장치와 동일한 축적된 전하 용량을 얻기 위해, 수직 전송 경로의 폭 W_2 가 종래 장치보다 얇게 만들어 질 수 있고, 수광부(22)의 면적이 따라서 넓어질 수 있다. 이렇게 함으로써 감도를 높이고 화소(수광부) 내에 축적된 전하량을 증가시킬 수 있다.

이 실시예의 수직 전송 레지스터(23)에 따르면, 제1 폴리실리콘층에 의해 형성된 제1 및 제3 전송 전극(28A 및 28C)은 전하 전송 방향 'a'를 따라 교대로 배열되고, 제2 폴리실리콘층에 의해 형성된 제2 전송 전극(28B) 및 제3 폴리실리콘층에 의해 형성된 제4 전송 전극(28D)은 순서대로 배열된 전송 전극(28A)과 전송 전극(28C) 사이 그리고 순서대로 배열된 전송 전극(28C)과 전송 전극(28A) 사이에 각각 형성된다. 그 결과, 2상용의 인접한 전송 전극으로 각각 구성되고 수직 전송 레지스터(23)에 축적된 전하 용량을 결정하는 인자로서 간주되는 2상 전송 영역의 크기가 통상 제1층에 의해 형성된 전송 전극(28A)과 전송 전극(28C) 간의 처리 치수의 변화와 관계없이 서로 동등하게 될 수 있다. 보다 구체적으로는, 도 1에 도시된 2상 전송 영역의 길이 L_{11} , L_{12} , L_{13} 및 L_{14} 가 통상 서로 같아질 수 있다 ($L_{11} = L_{12} = L_{13} = L_{14}$).

이는 제1층에 의해 형성되는 전송 전극(28A)과 전송 전극(28C) 간의 처리 치수 변화에 따라서 실제의 전하량이 감소되는 불편함을 제거한다.

수직 방향으로 서로 인접한 수광부(22)(화소)들 간의 영역에서는, 제1층에 의해 형성되는 전송 전극(28A 및 28C)이 서로 평행하게 연장되고, 전송 전극(28A)과 전송 전극(28C) 둘 간의 갭 d_1 이 포토리소그래피의 최소 라인 폭 d_2 보다 좁기 때문에, 4개의 전송 전극(28A 내지 28D)이 도 18b에 도시된 화소들 간의 종래의 전송 전극에 요구되는 라인 폭 d_2 와 거의 같은 라인 폭 d_1 내에 형성될 수 있음으로써 수광부(22)의 면적이 큰 값으로 유지될 수 있다.

이 실시예에서는, 제1층의 전송 전극(28A 및 28C)의 형성시에, 절연막에 의해 각 마스크 패턴(351)의 측벽 상에 측벽(381)이 형성되고 제1 폴리실리콘층(31)이 측벽(381)을 갖는 마스크 패턴(351)을 통해 에칭되어 제1 및 제3 전송 전극(28A 및 28C)을 형성한다. 따라서, 수광부(22)들 간의 영역에서는, 제1층에 의해 형성되는 전송 전극(28A)과 전송 전극(28C) 간의 갭 d_1 이 전형적으로는 $0.2\mu\text{m}$ 이하이고, 보다 바람직하게는 $0.1\mu\text{m}$ 이하인, 포토리소그래피의 최소 라인 폭 d_2 보다 작게 만들어질 수 있고, 그 결과 수광부(22)의 면적이 상술한 바와 같이 큰 값으로 유지될 수 있다.

상기 실시예에서는, 수직 전송 레지스터(23)의 전송 전극(28)이 각 화소에 대해 4개의 부분으로 분할되고, 제1층에 의해 형성되는 제1 전송 전극(28A), 제2층에 의해 형성되는 제2 전송 전극(28B), 제1층에 의해 형성되는 제3 전송 전극(28C), 및 제3층에 의해 형성되는 제4 전송 전극(28D)이 반복해서 형성된다.

이 때, 전송 전극(28)들 중 인접한 2개의 전송 전극이 산화막으로 구성된 층간 절연막(29)에 의해 서로 절연되나, 도 8에 도시된 바와같이, 제1층에 의해 형성된 전송 전극(28A 및 28C) 각각과 제3층에 의해 형성된 전송 전극(28D) 간의 층간 절연막(29B)의 두께 t_2 는 제1층에 의해 형성된 전송 전극(28A 및 28C) 각각과 제2층에 의해 형성된 전송 전극(28B) 간의 층간 절연막(29A)의 두께 t_1 에 비해 두배만큼 크다.

그 이유는, 제2층에 의해 형성되는 전송 전극(28B)의 패터닝 이후에 형성된 층간 절연막이 제1층에 의해 형성되는 전송 전극(28A 및 28C)의 패터닝 이후에 형성된 층간 절연막에 추가되기 때문이다.

두꺼운 층간 절연막(29B)의 발생 결과, 전하 전송시에, 두꺼운 층간 절연막(29B) 하부에서 포텐셜 덩이 발생하기 쉽게됨으로써, 전송 효율을 저하시킨다.

본 발명의 다른 개선된 실시예를 도 9 및 도 10a 및 도 10b를 참조하여 후술한다.

이 실시예에서는, 본 발명을 이전 실시예와 마찬가지로, 4상 구동법에 의해 전체 화소 독출을 위해 구동되는 인터라인 전송(IT)형으로서 구성되는 CCD 촬상 장치에 적용한다.

도 9는 CCD 고체 촬상 장치의 촬상 영역의 주요부를 도시하는 도면이고, 도 10a는 도 9의 라인 A_4 - A_4 를 따라 절취한 단면도이고, 도 10b는 도 9의 라인 B_4 - B_4 를 따라 절취한 단면도이다.

이 실시예의 CCD 고체 촬상 장치(41)는 촬상 영역(34)과 CCD 구조의 수평 전달 레지스터(도시되지 않음)를 갖는다. 촬상 영역(34)은, 매트릭스로 배열된 화소로서 이루어진 광전 변환을 위한 복수의 수광부(22)와, CCD 구조를 각각 갖고 수광부(22)의 각 열의 일측에 형성된 복수의 수직 전송 레지스터(23)를 포함한다. 수평 전송 레지스터는 수직 전송 레지스터(23)로부터 전송된 신호 전하를 출력부에 전송하는 데 사용된다.

도 10a 및 도 10b를 참조하면, 수직 전송 레지스터(23)는 제1층 및 제2층에 의해 형성된 전송 전극(48)이 게이트 절연막(27)을 통해 실리콘 반도체 기판(26)의 전송 채널 상에 교대로 배열되도록 구성된다. 보다 구체적으로는, 제1 폴리실리콘층에 의해 형성된 제1 전송 전극(48A), 제2 폴리실리콘층에 의해 형성된 제2 전송 전극(48B), 제1 폴리실리콘층에 의해 형성된 제3 전송 전극(48C), 및 제2 폴리실리콘층에 의해 형성된 제4 전송 전극(48D)이 전하 전송 방향 'a'를 따라 반복하여 배열된다(도 9 참조).

이 실시예에서는, 특히 도 9에 도시된 바와 같이, 수직 전송 레지스터(23)가 4개의 전송 전극(48A, 48B, 48C 및 48D)이 1 화소(수광부(22))에 할당되도록 형성된다. 4개의 전송 전극(48)중에서, 제1, 제2 및 제3 전송 전극(48A, 48B, 48C)은 각각 수직 전송 레지스터(23)의 복수의 열에 공통이 되도록 수직 방향으로 서로 인접한 수광부(22)들 사이를 수평으로 연장하는 밴드형으로 형성되고, 제4 전송 전극(48D)은 각 수직 전송 레지스터(23)에 대하여 독립적으로 형성된다.

도 9 및 도 10b를 참조하면, 수직 방향으로 서로 인접한 수광부(22)들 사이의 영역에, 제1 폴리실리콘층에 의해 형성된 교대로 배열된 제1 및 제3 전송 전극(48A 및 48C)이 갭 d_1 을 두고 서로 평행하게 연장되도록 형성된다.

제2 폴리실리콘층에 의해 형성되는 제2 및 제4 전송 전극(48B 및 48D)은 제1층에 의해 형성되는 전송 전극(48A 및 48C) 사이에 매립되도록 형성된다. 이 경우, 제2층에 의해 형성되는 전송 전극중 하나, 예를 들면, 제2 전송 전극(48B)이 수직 방향으로 서로 인접한 수광부(22)들 사이에서 각각 평행하게 연장되는 2개의 전송 전극(48A 및 48C)을 횡단하여 놓여지고, 제2층에 의해 형성되는 전송 전극들 중 다른 하나, 예를 들면, 제4 전송 전극(48D)은 각 수직 전송 레지스터(23)에 대하여 독립적으로 아일랜드형으로 형성된다.

각 독립적인 제4 전송 전극(48D)은, 배선(소위 섀트 배선이라고 부름; 49)들중 관련된 배선에 접속된다. 각 배선(49)은 제3 폴리실리콘층에 의해 수직 전송 레지스터(23)의 복수의 열에 공통이 되도록 수직 방향으로 서로 인접한 수광부(2)들 사이에 수평으로 연장되는 밴드형으로 형성된다. 도 9에서, 참조 번호(50)는 배선(49)과 독립적인 제4 전송 전극(48D)의 접촉 부분을 나타낸다. 도 10b를 참조하면, 수직 방향으로 서로 인접한 수광부(22)들 간의 영역에서, 배선(49)이 제2층에 의해 형성되는 제2 전극(48B) 상에 배치된다.

전하 전송 방향으로 배열된 제1, 제2, 제3 및 제4 전송 전극(48A, 48B, 48C 및 48D)들 중 인접한 2개의 전송 전극 간에 형성된 각 층간 절연막의 두께는 제1 폴리실리콘층의 제1 및 제3 전송 전극(48A 및 48C)의 표면 상에 형성된 절연막(51)으로서 산화막의 두께에 의해서만 결정된다.

이전 실시예와 마찬가지로, 고체 활상 장치(41)는 도 3에 도시된 4상 수직 구동 펄스 ϕV_1 , ϕV_2 , ϕV_3 및 ϕV_4 를 수직 전송 레지스터(23)의 1 화소에 할당된 4개의 전극(48A, 48B, 48C 및 48D)에 인가함으로써 전체 화소 독출을 위해 4상 구동된다.

다음으로, 이 실시예의 CCD 고체 활상 장치(41)의 제조 방법, 특히, 수직 전송 레지스터(23)의 전송 전극(48)(48A, 48B, 48C 및 48D) 및 배선(49)의 형성을 도 11a 내지 도 12h 및 도 13a 내지 도 14h를 참조하여 설명한다.

도 11a 내지 도 11d 및 도 12e 내지 도 12h는 도 9의 수직 전송 레지스터(23)를 통과하는 라인 A_1 - A_4 를 따라 절취한 단면도와 각각 같고, 도 13a 내지 도 13d 그리고 도 14e 내지 도 14h는 도 9의 수직 방향으로 서로 인접한 수광부(22)들 간을 지나는 라인 B_1 - B_4 를 따라 절취한 단면도와 각각 같다.

도 11a 및 도 13a에 도시된 단계에서 도 12f 및 도 14f에 도시된 단계까지는, 이전 실시예의 도 4a 및 도 6a에 도시된 상술한 단계에서 도 5f 및 도 7f까지 도시된 단계와 동일하다.

도 11a 및 도 13a를 참조하면, 제1 전극 재료층인 폴리실리콘층(31)이 게이트 절연막(27)의 전면에 퇴적되고, 이 폴리실리콘층은 실리콘 반도체 기판(26)중에서 활상 영역에 해당한다. SiO_2 로 이루어진 마스크층(35)이 CVD법에 의해 폴리실리콘층(31) 상에 형성된다.

마스크층(35) 상에 포토레지스트 패턴(36)이 형성된다. 포토레지스트 패턴(36)은 각 수직 전송 레지스터 형성 영역에 교대로 배열되고 수직 방향으로 서로 인접한 수광부(22)들 사이의 각 영역에서 서로 평행하게 수평으로 연장되는 전송 전극(48A 및 48C)의 패턴에 대응한다.

이 때, 수광부(22)들 간의 영역에서의 포토레지스트 패턴(36)들 간의 갭 d_2 는 통상적으로 $0.35\mu m$ 인, 포토리소그래피 기술의 최소 라인 폭으로 설정된다.

도 11b 및 도 13b를 참조하면, 마스크로서 포토레지스트 패턴(36)을 이용하여 이방성 에칭에 의해 마스크층(35)을 선택적으로 에칭하여, 포토레지스트 패턴에 대응하는 마스크 패턴(351), 즉, 제1층에 의해 형성될 전송 전극(48A 및 48C)의 패턴을 형성한다.

도 11c 및 도 13c를 참조하면, 포토레지스트 패턴(36)을 제거한 후에, SiO_2 로 이루어진 절연막(38)이 CVD법에 의해 마스크 패턴(351)을 포함하는 전체 표면 상에 형성한다.

도 11d 및 도 13d를 참조하면, 절연막(38)의 전면이 이방성 에칭에 의해 에칭되어, 각 마스크 패턴(351)의 양측에 소위 절연성 측벽(381)을 형성한다.

측벽(381)의 형성으로, 수광부(22)들 간의 영역의 마스크 패턴(351)들 간의 갭은 통상적으로 $0.2\mu m$ 이하인, 포토리소그래피 기술의 최소 라인 폭보다 좁은 갭 d_1 이 된다.

도 12e 및 도 12f 및 도 14e 및 도 14f를 참조하면, 제1 폴리실리콘층(31)은 측벽(381)을 갖는 마스크 패턴(351)을 통해 이방성 에칭에 의해 패터닝되어 제1 및 제3 전송 전극(48A 및 48C)을 형성한다.

이 패터닝으로, 도 14f에 도시된 바와 같이, 수광부(22)들 간의 영역에서, 2개의 전송 전극(48A 및 48C)(소위 배선부)이 통상 $0.2\mu m$ 이하이고, 보다 바람직하게는, $0.1\mu m$ 이하인, 포토리소그래피 기술의 최소 라인 폭 d_2 보다 좁은 갭 d_1 을 두고 서로 평행하게 연장된다. 서로 평행하게 연장되는 전송 전극(48A 및 48C)의 전체 폭 d_1 은 도 18b에 도시된 수광부(2)들 간의 제1층에 의해 형성되는 전송 전극(8A)의 라인 폭 d_2 와 유사하게 만들어질 수 있다.

도 12g 및 도 14g를 참조하면, CVD법에 의해 SiO_2 막과 열산화막으로 구성된 층간 절연막(51)이 제1 폴리실리콘층에 의해 형성된 전송 전극(48A 및 48C)의 표면 상에 형성된다.

제2 전극 재료층인 폴리실리콘층(32)이 층간 절연막(51) 상에 퇴적되고, 패터닝되어 수직 전송 레지스터(23)의 형성 영역에, 예를 들면, 도 12g의 우측으로부터 순서대로 배열된 전송 전극(48A)과 전송 전극(48C) 사이에 각 제2 전송 전극(48B)과, 예를 들면, 도 12g의 우측으로부터 순서대로 배열된 전송 전극(48C)과 전송 전극(48A) 사이에 각 제4 전송 전극(48D)을 형성한다.

제2 전송 전극(48B)은 제1 및 제3 전송 전극(48A 및 48C)을 횡단하여 놓여지도록 수직 방향으로 서로 인접한 수광부(22)들 사이에 연장되고, 각 제4 전송 전극(48D)은 각 수직 전송 레지스터 형성 영역에만 아

일랜드형으로 독립적으로 형성된다. 이 구성으로, 모든 전송 전극(48)(48A 내지 48D) 중 인접한 두개의 전극 간의 각 층간 절연막의 두께가 제1층에 의해 형성되는 전송 전극(48A 및 48C)의 표면 상에 형성된 층간 절연막(51)인 산화막의 두께 t_3 에 의해서만 결정될 수 있다.

다음으로, CVD법에 의한 SiO_2 막 및 열산화막으로 구성된 층간 절연막(52)이 제2층에 의해 형성된 전송 전극(48B 및 48D) 상에 형성된다. 이 경우, CVD법에 의한 SiO_2 막의 두께는 저항 전압(withstand voltage)을 개선시키기 위해 산화막보다 크게 설정된다. 그 다음, 아일랜드형으로 독립적으로 형성된 각 제4 전송 전극(48D) 상에 배치된 층간 절연막(52)의 일부가 에칭에 의해 선택적으로 제거되고, 제3 전극 재료층인 폴리실리콘층이 전면에 형성된다.

도 12h 및 도 14h를 참조하면, 제3 폴리실리콘층(33)이 선택적 에칭에 의해 패터닝되어 제3 폴리실리콘층(33)에 의해 형성되는 배선(소위 선트 배선; 49)을 형성한다. 수직 방향으로 서로 인접한 수광부(22)들 간의 지나가는 배선(49)이 접촉부(50)를 통해 수평 라인에서 서로로부터 개별적으로 각 수직 전송 레지스터에 독립적으로 형성된 전송 전극(48D)에 공통 접속된다. 도 14h에 도시된 바와 같이, 수광부(22)들 간의 영역에서, 배선(49)이 제2 전송 전극(48B) 상에 형성된다. 참조 번호(53)는 배선(49) 상에 형성된 산화막과 같은 절연막을 나타낸다.

이 실시예의 전체 화소 독출형 CCD 고체 촬상 장치(41)에 따르면, 모든 전송 전극(48)(48A, 48B, 48C 및 48D)이 반복하여 배열되는 제1 폴리실리콘층의 전극과 제2 폴리실리콘층의 전극에 의해 형성되고, 전체 전송 전극(48)들 중의 인접한 2개의 전송 전극 간의 각 층간 절연막의 두께는 제1 폴리실리콘층에 의해 형성되는 전송 전극(48A 및 48C) 상의 층간 절연막(51)으로서 산화막의 두께 t_3 에 의해서만 결정되므로, 동일하게 된다.

또한, 이 실시예에서는, 이전 실시예의 CCD 고체 촬상 장치(21)에 의해 얻어진 것과 유사한 효과를 얻을 수 있다.

수평 방향으로 서로 개별적으로 수직 전송 레지스터(23) 내에 독립적으로 형성된 제4 전송 전극(48D)은 각 배선(49)에 공통 접속되어, 수직 구동 펄스 ϕV_4 가 배선(49)을 통해 각 제4 전송 전극(48D)에 인가될 수 있다.

이 실시예의 전체 화소 독출형 CCD 고체 촬상 장치(41)는 2층 구조의 전송 전극(48)(48A 내지 48D)에 의해 4상 구동되는 수직 전송 레지스터(23)에 의해 전체 화소 독출을 행하도록 구성된다. 따라서, 수직 전송 레지스터(23)에 축적된 전하 용량은 1 화소(수광부(22))당 수직 전송 경로 내에 축적된 전하 용량의 2/4와 같으므로, 도 17에 도시된 3층 전극 구조에 의해 3상 구동되는 종래의 전체 화소 독출형 CCD 고체 촬상 장치(1)의 축적 전하 용량의 1.5배만큼 크게 된다.

따라서, 종래의 장치와 동일한 축적 전하 용량을 얻기 위해서, 수직 전송 경로의 폭 W_2 가 종래 장치보다 얇게 만들어질 수 있고, 수광부(22)의 면적이 그에 따라서 넓어질 수 있다. 이렇게 함으로써, 감도를 향상시키고 화소(수광부) 내의 축적 전하량을 증가시키는 것이 가능하다.

이 실시예에 따르면, 제1 폴리실리콘층에 의해 형성되는 제1 및 제3 전송 전극(48A 및 48C)이 전하 전송 방향 'a'를 따라 교대로 배열되고, 제2 폴리실리콘층에 의해 형성되는 제2 및 제4 전송 전극(48B 및 48D)이 전송 전극(48A)과 전송 전극(48C) 사이에 각각 교대로 형성된다. 그 결과, 2상의 인접한 전송 전극으로 각각 구성되고 수직 전송 레지스터(23) 내에 축적되는 전하 용량을 결정하는 인자로서 간주되는 2상 전송 영역의 크기는 통상 제1층에 의해 형성되는 전송 전극(48A)과 전송 전극(48C) 간의 처리 치수 변화에 관계없이 서로 동일하게 만들어질 수 있다. 보다 구체적으로는, 도 9에 도시된 2상 전송 영역의 길이 L_{11} , L_{12} , L_{13} 및 L_{14} 는 통상 서로 동일하게 만들어질 수 있다 ($L_{11} = L_{12} = L_{13} = L_{14}$).

이렇게 함으로써 제1층에 의해 형성되는 전송 전극(48A 및 48C) 간의 처리 치수의 변화에 따라서 실제 전하량이 감소되는 불편함이 제거된다.

제1층에 의해 형성되는 전송 전극(48A 및 48C)이 수직 방향으로 서로 인접한 수광부(22)들(화소) 간의 영역에서 서로 평행하게 연장되고 두 전송 전극(48A 및 48C) 간의 갭 d_1 이 포토리소그래피의 최소 라인 폭 d_2 보다 좁기 때문에, 4개의 전송 전극(48A 내지 48D)이 도 18b에 도시된 화소들 간의 종래의 전송 전극에 요구되는 라인 폭 D_2 와 거의 동일한 라인 폭 D_1 내로 형성될 수 있음으로써, 수광부(22)의 면적이 큰 값으로 유지될 수 있다.

이 실시예에서는, 제1층의 전송 전극(48A 및 48C)의 형성시에, 절연막에 의해 각 마스크 패턴(351)의 측벽 상에 측벽(381)이 형성되고 제1 폴리실리콘층(31)이 측벽(381)을 갖는 마스크 패턴(351)을 통해 에칭되어 제1 및 제3 전송 전극(48A 및 48C)을 형성한다. 따라서, 수광부(22)들 간의 영역에서, 제1층에 의해 형성되는 전송 전극(48A)과 전송 전극(48C) 간의 갭 d_1 이 통상적으로 $0.2\mu\text{m}$ 이하, 보다 바람직하게는, $0.1\mu\text{m}$ 이하인, 포토리소그래피의 최소 라인 폭 d_2 보다 작게 만들어질 수 있고, 그 결과, 수광부(22)의 면적이 상술한 바와 같이 큰 값으로 유지될 수 있다.

본 발명의 CCD 고체 촬상 장치는, 통상 디지털 스틸 카메라용으로 사용되는 전체 화소 독출형 CCD 고체 촬상 장치에 적당하지만, 프레임 독출형 또는 필드(field) 독출형의 CCD 고체 촬상 장치에도 적용할 수 있다.

또한, 본 발명의 CCD 고체 촬상 장치는 인터라인 전송형 또는 프레임 인터라인 전송형 CCD 고체 촬상 장치에 적용될 수 있다.

본 발명의 양호한 실시예를 특정 용어를 이용하여 설명하였지만, 이러한 설명은 단지 설명을 목적으로 한 것일 뿐, 다음의 특허 청구 범위의 사상이나 범주에서 벗어나지 않는 한도 내에서 변화 및 변형이 있을 수 있다는 것을 이해해야 한다.

발명의 효과

따라서, 본 발명에 따른 고체 활상 장치, 및 그 제조 방법에 의하면, 축적된 전하 용량을 증가시키고, 수광부의 면적을 증가시키며, 전송 전극들 간의 처리 치수 변화로 인한 실제 전하량의 감소를 방지할 수 있다.

(57) 청구의 범위

청구항 1

고체 활상 장치에 있어서,

매트릭스로 배열된 복수의 수광부; 및

3층 구조의 전송 전극에 의해 4상 구동되고, 상기 수광부의 각 열에 제공되는 수직 전송 레지스터

를 포함하고, 상기 전송 전극들중 제1층에 의해 형성되는 전송 전극들은 전하 전송 방향으로 교대로 배열된 2종류의 전송 전극으로 구성되는 것을 특징으로 하는 고체 활상 장치.

청구항 2

제1항에 있어서, 상기 제1층에 의해 형성되고 교대로 배열되는 상기 2종류의 전송 전극들 중 인접한 2개의 전송 전극이, 수직 방향으로 서로 인접한 상기 수광부들 사이에 서로 평행하게 연장되는 것을 특징으로 하는 고체 활상 장치.

청구항 3

고체 활상 장치에 있어서,

매트릭스로 배열된 복수의 수광부; 및

제1, 제2 제3 및 제4 전송 전극의 순으로 교대로 배열된, 제1층에 의해 형성되는 제1 및 제3 전송 전극과 제2층에 의해 형성되는 제2 및 제4 전송 전극에 의해 4상 구동되고, 상기 수광부의 각 열에 제공되는 수직 전송 레지스터

를 포함하고, 상기 제2층의 상기 제2 및 제4 전송 전극중 하나는 상기 수직 전송 레지스터 각각에 대해 독립적으로 형성되고,

상기 제2 및 제4 전송 전극중 상기 수직 전송 레지스터 각각에 대해 독립적으로 형성된 상기 전송 전극은 제3층에 의해 형성되는 배선에 접속되는 것을 특징으로 하는 고체 활상 장치.

청구항 4

제3항에 있어서, 제2층의 상기 제2 및 제4 전송 전극중 하나를 포함하도록 배열된 제1층의 상기 제1 및 제3 전송 전극이 수직 방향으로 서로 인접한 상기 수광부들 사이에 서로 평행하게 연장되고;

상기 제2층의 상기 제2 및 제4 전송 전극중 하나는 상기 제1층의 상기 제1 및 제3 전송 전극 상에 배치되고;

상기 배선은 상기 제2층의 상기 제2 및 제4 전송 전극중 한 전송 전극 상에 형성되는 것을 특징으로 하는 고체 활상 장치.

청구항 5

고체 활상 장치의 제조 방법에 있어서,

각 수직 전송 레지스터 형성 영역에 교대로 배열되고 수직 방향으로 서로 인접한 수광부들 사이에 서로 평행하게 연장될 제1 및 제3 전송 전극의 패턴에 대응하는 마스크 패턴을 제1 전극 재료층 상에 형성하는 단계;

각각의 상기 마스크 패턴에 측벽을 형성하는 단계;

상기 측벽을 갖는 상기 마스크 패턴을 통해 상기 제1 전극 재료층을 패터닝하여, 제1층에 의해 형성되는 제1 및 제3 전송 전극을 형성하는 단계;

각각의 제2 전송 전극이 상기 수직 전송 레지스터 형성 영역에서 제1층의 상기 제1 전송 전극과 제3 전송 전극 사이에 제1, 제2, 제3 전극 순으로 배열되고, 상기 수광부들 사이에 배치되도록 절연막을 통해 제2 전극 재료층에 의해 제2 전송 전극을 형성하는 단계; 및

각각의 제4 전송 전극이 상기 수직 전송 레지스터 형성 영역에서 제1층의 상기 제3 전송 전극과 제1 전송 전극 사이에 제3, 제4, 제1 전극 순으로 배열되고, 상기 수광부들 사이에 배치되도록 절연막을 통해 제3 전극 재료층에 의해 제4 전송 전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 고체 활상 장치의 제조 방법.

청구항 6

고체 활상 장치의 제조 방법에 있어서,

제1 및 제3 전송 전극이 각각의 수직 전송 레지스터 형성 영역에서 교대로 배열되고 상기 제1 및 제3 전송 전극들중 인접한 두 전극이 수직 방향으로 서로 인접한 수광부들 사이에서 서로 평행하게 연장되도록

제1 전극 재료층에 의해 제1 및 제3 전송 전극을 형성하는 단계;

상기 제1층의 상기 제1 및 제3 전송 전극의 표면에 층간 절연막을 형성하는 단계;

각각의 제2 전송 전극이 제1층의 상기 제1 전송 전극과 제3 전송 전극 사이에 제1, 제2 및 제3 전송 전극 순으로 배치되고, 상기 수광부들 사이에 연장되도록 제2 전극 재료층에 의해 제2 전송 전극을 형성하는 단계;

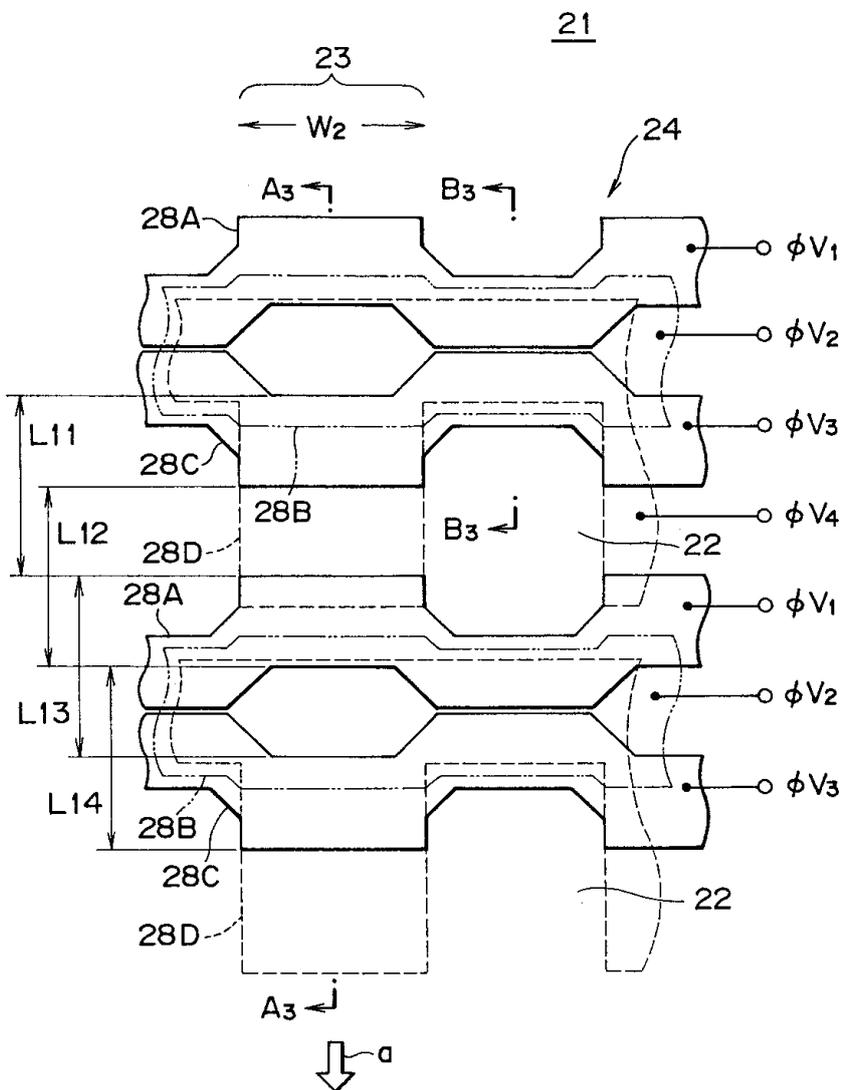
각각의 제4 전송 전극이 각각의 상기 수직 전송 레지스터 형성 영역에서만 독립적으로 제1층의 상기 제3 전송 전극과 제1 전송 전극 사이에 제3, 제2 및 제1 전극 순으로 배치되도록 상기 제2 전극 재료층에 의해 제4 전송 전극을 형성하는 단계; 및

각각의 배선이 상기 수광부들 사이에 연장되어 상기 제2층의 상기 독립적인 제4 전송 전극에 접속되도록 제3 도전 재료층에 의해 배선을 형성하는 단계

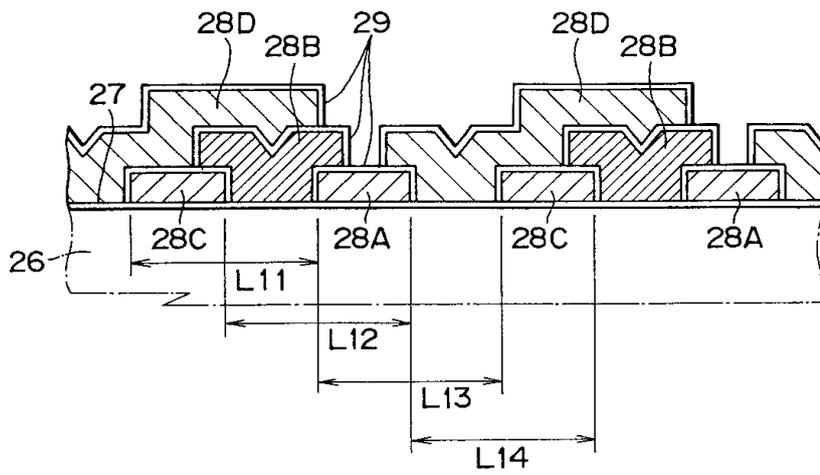
를 포함하는 것을 특징으로 하는 고체 촬상 장치의 제조 방법.

도면

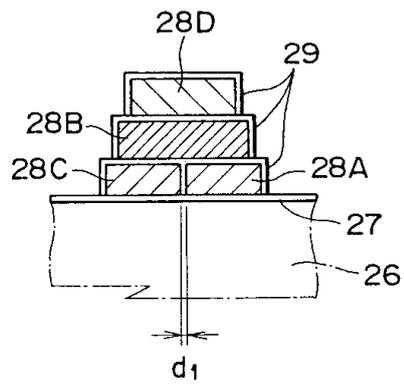
도면1



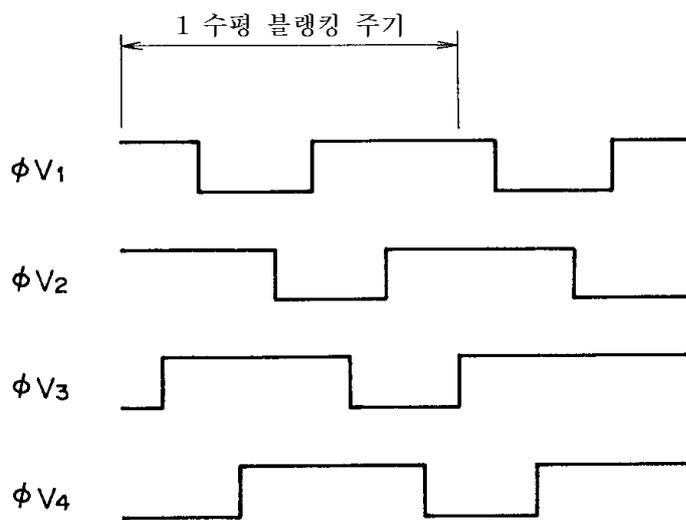
도면2a



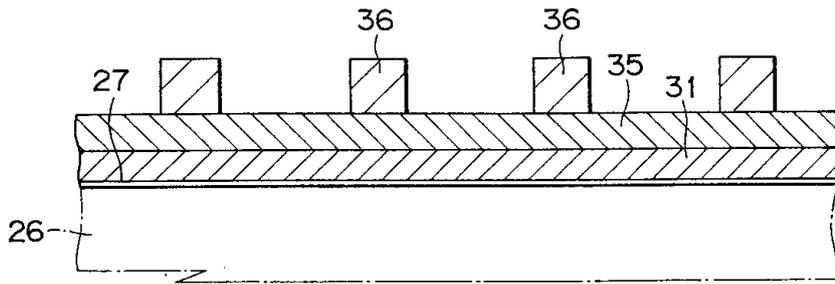
도면2b



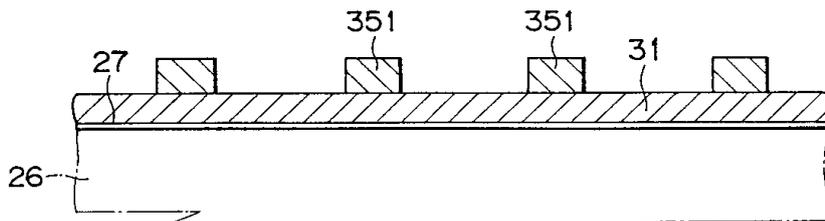
도면3



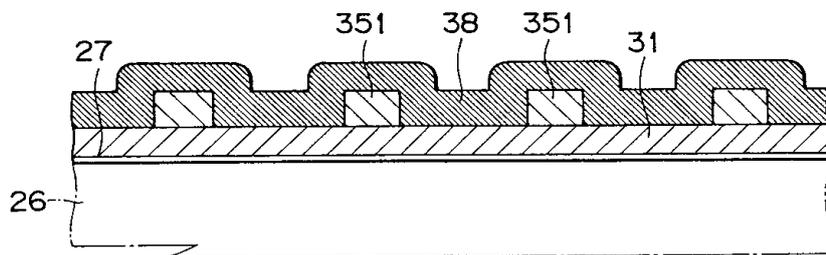
도면4a



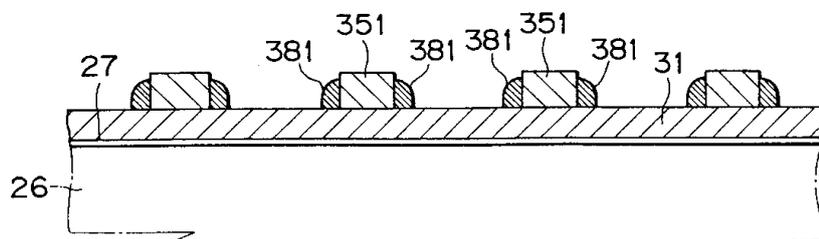
도면4b



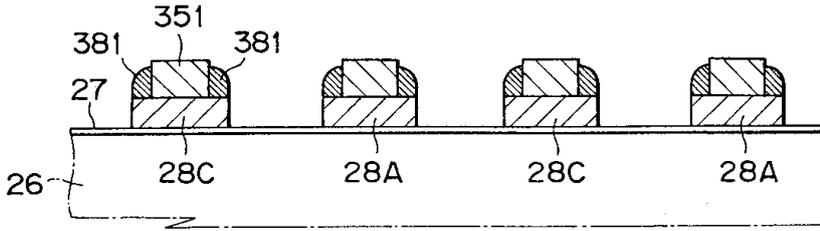
도면4c



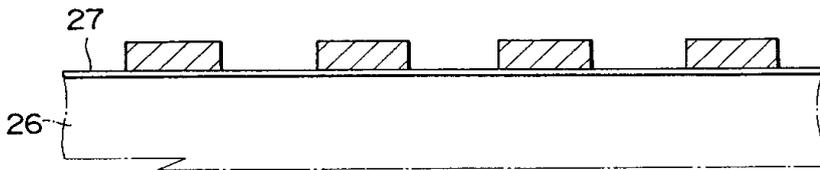
도면4d



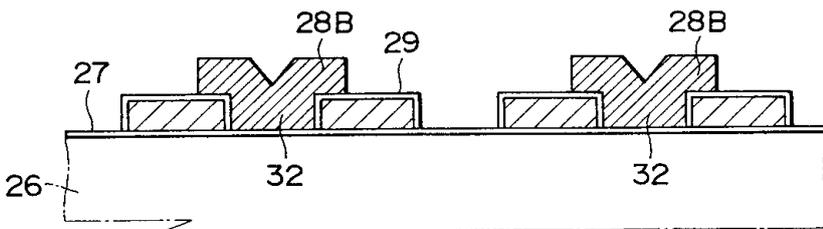
도면5e



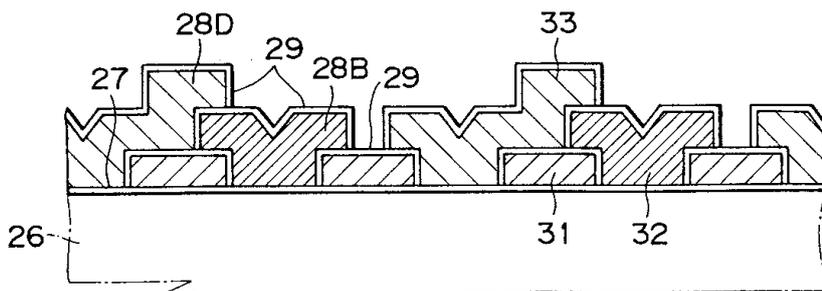
도면5f



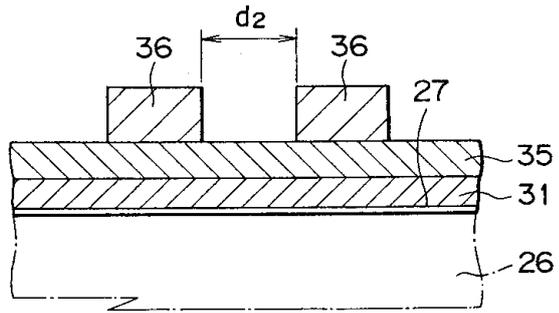
도면5g



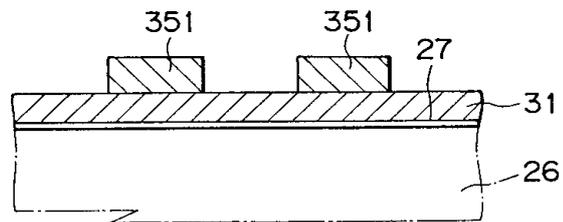
도면5h



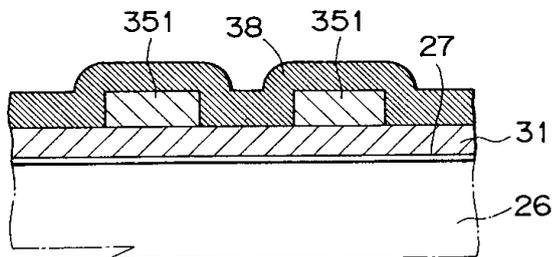
도면6a



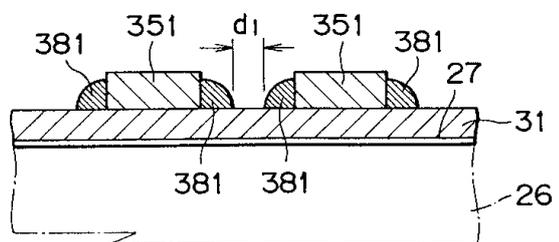
도면6b



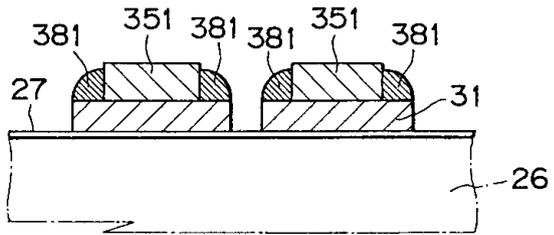
도면6c



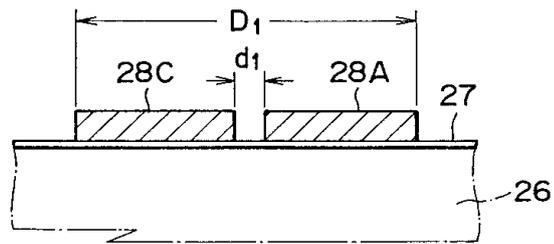
도면6d



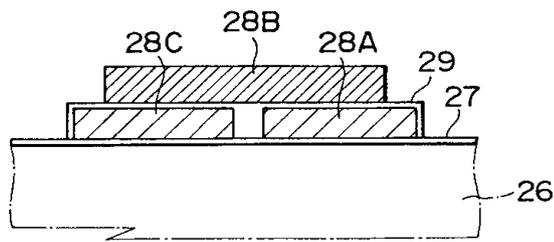
도면7e



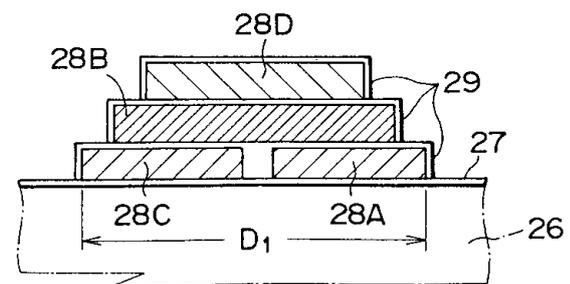
도면7f



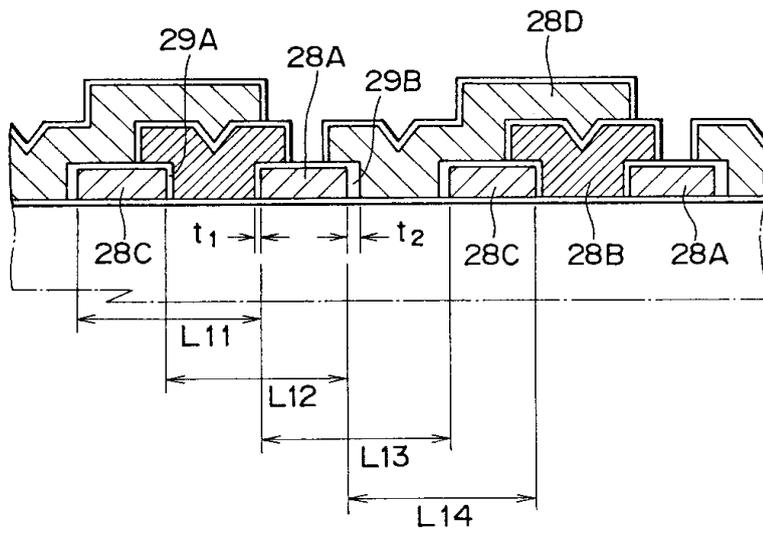
도면7g



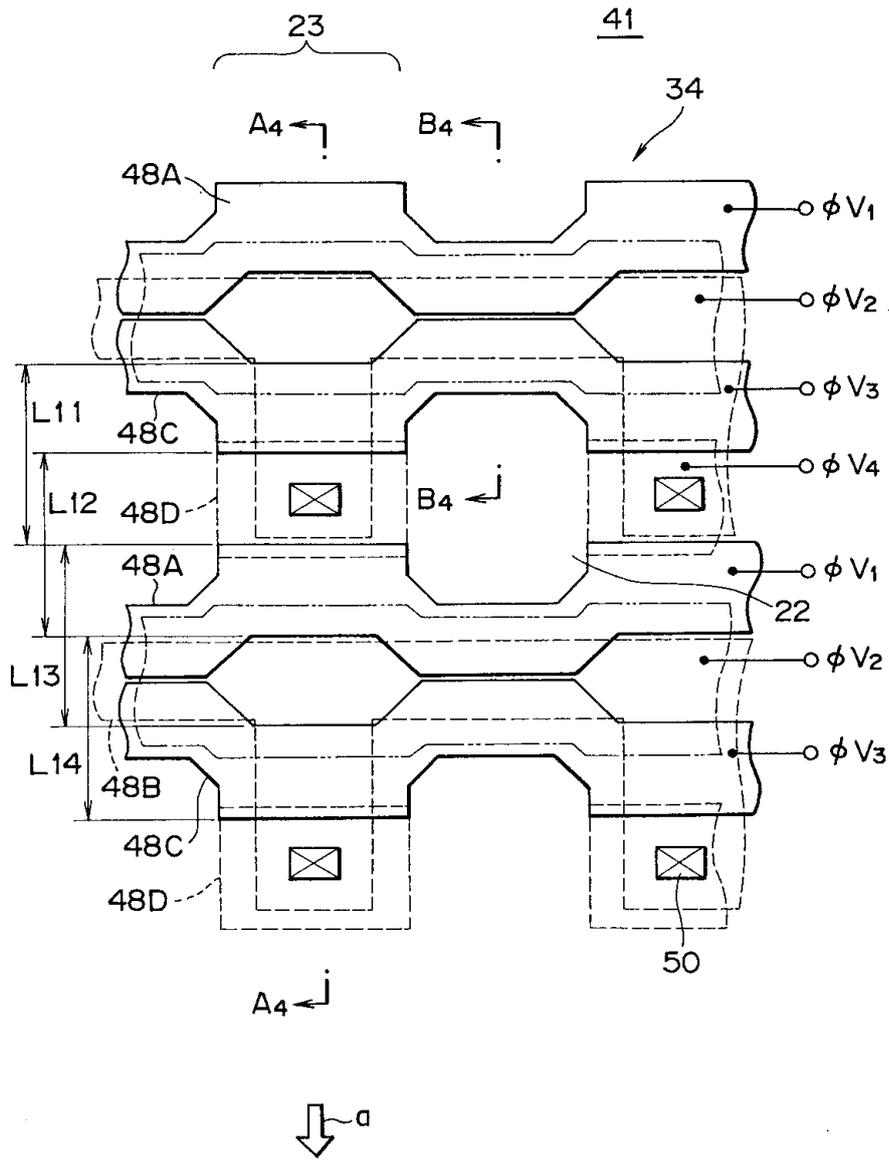
도면7h



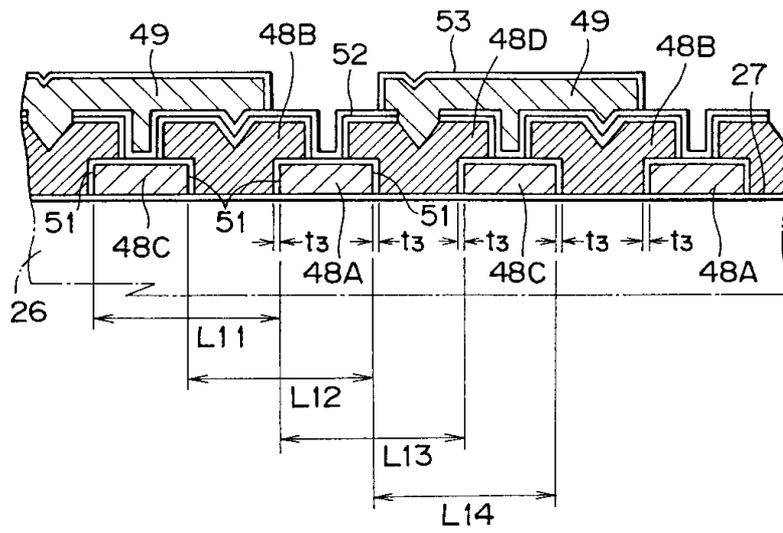
도면8



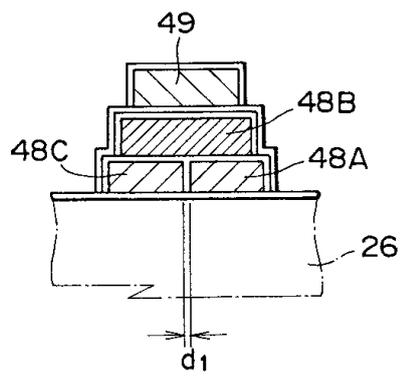
도면9



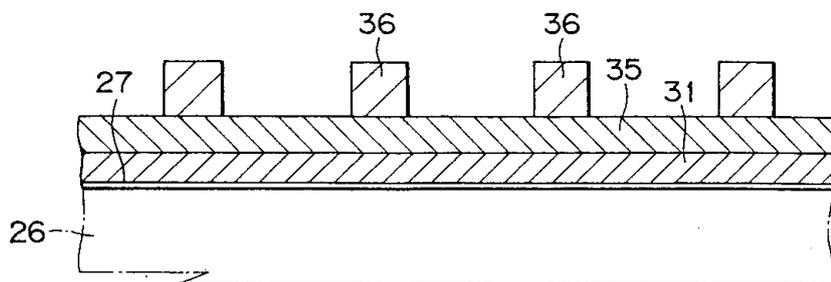
도면 10a



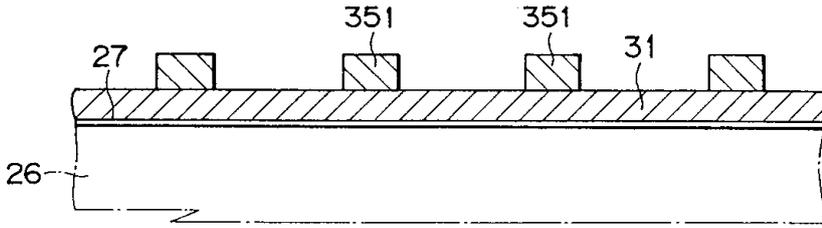
도면 10b



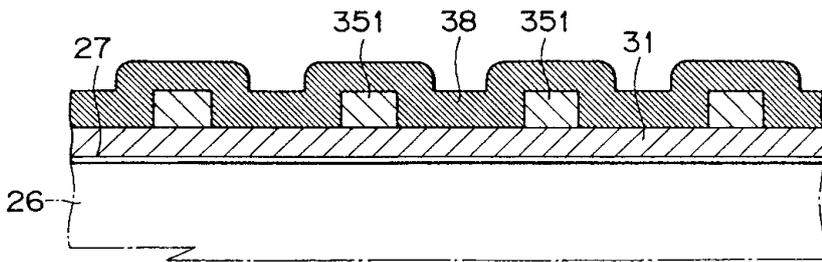
도면 11a



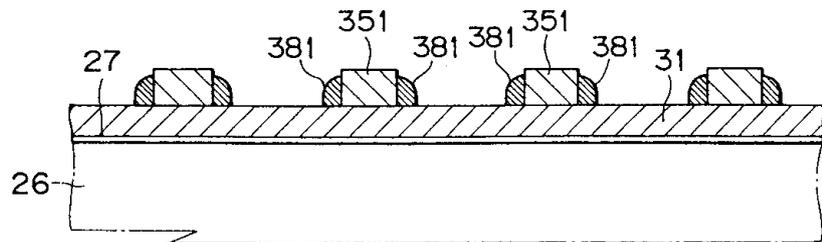
도면11b



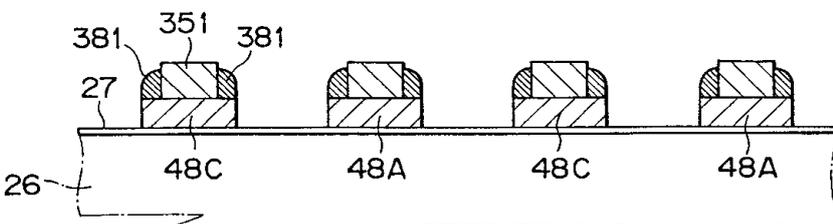
도면11c



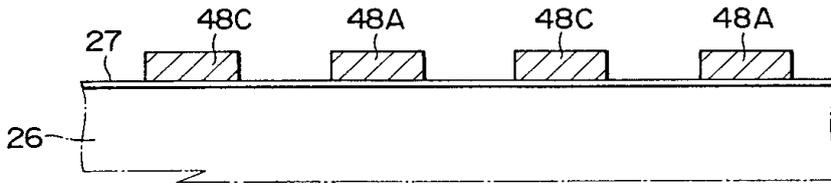
도면11d



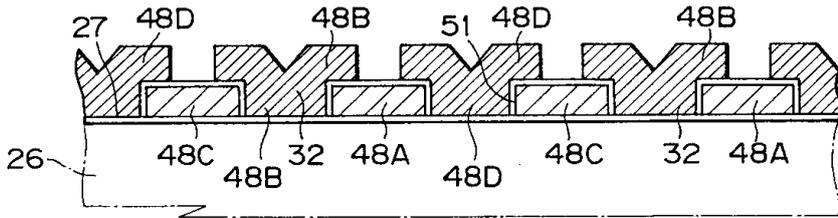
도면12e



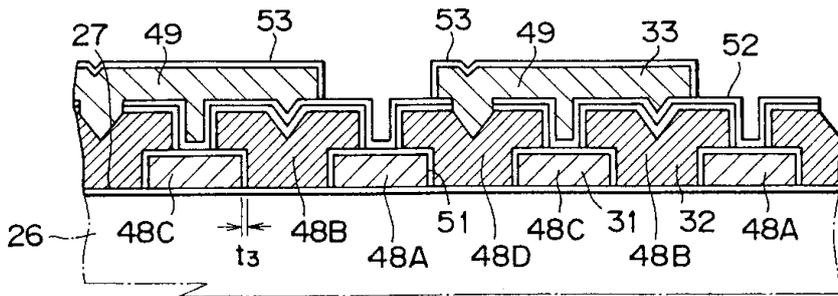
도면 12f



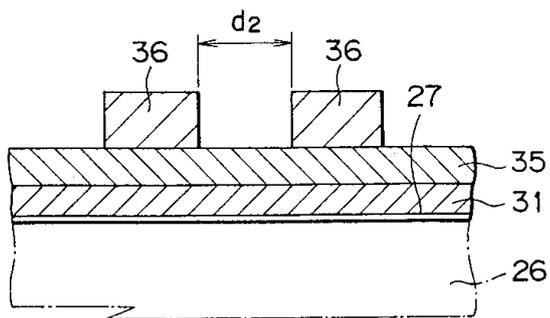
도면 12g



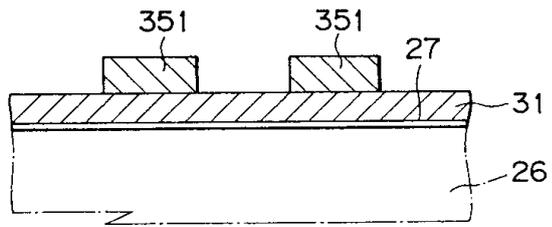
도면 12h



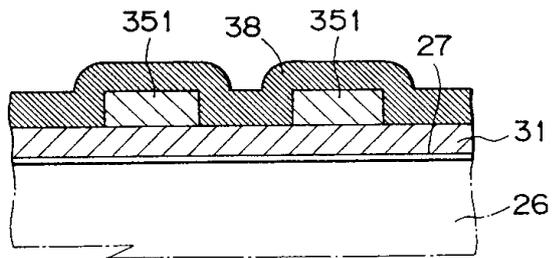
도면 13a



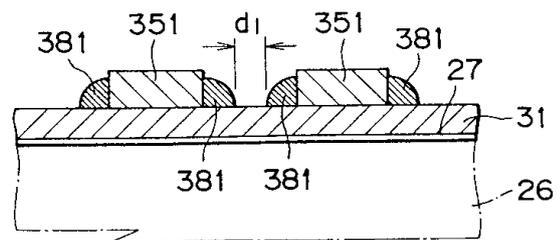
도면 13b



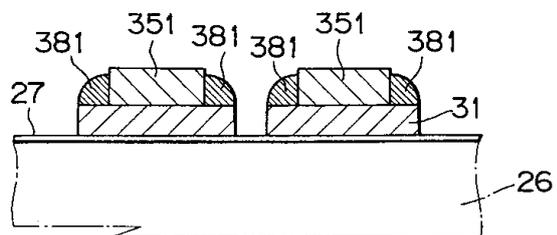
도면 13c



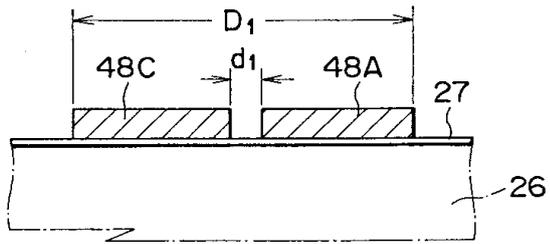
도면 13d



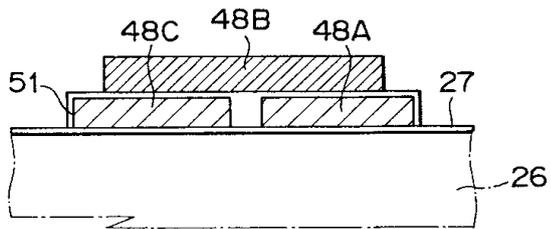
도면 14e



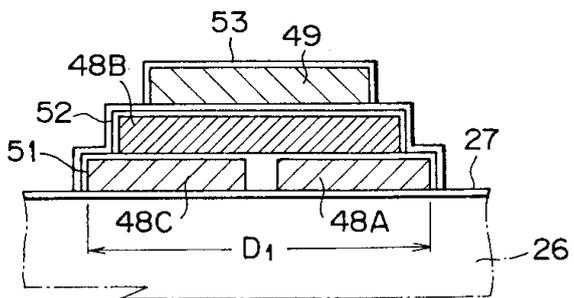
도면 14f



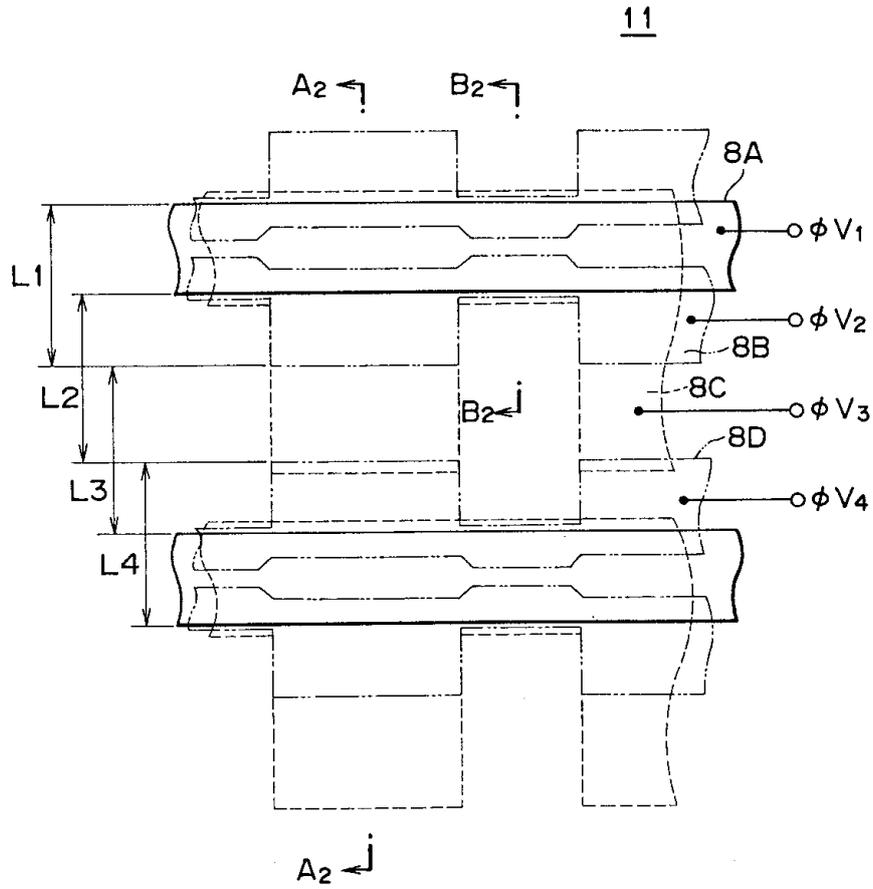
도면 14g



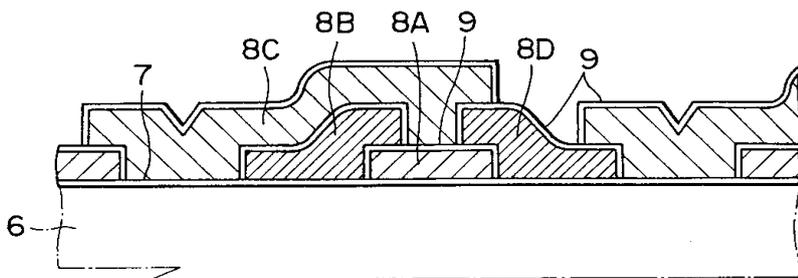
도면 14h



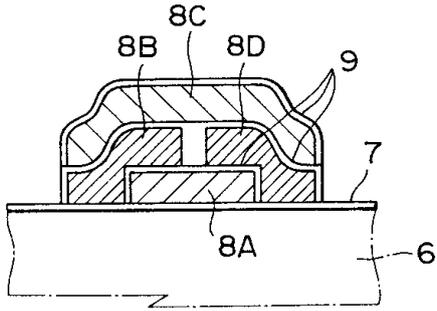
도면 15



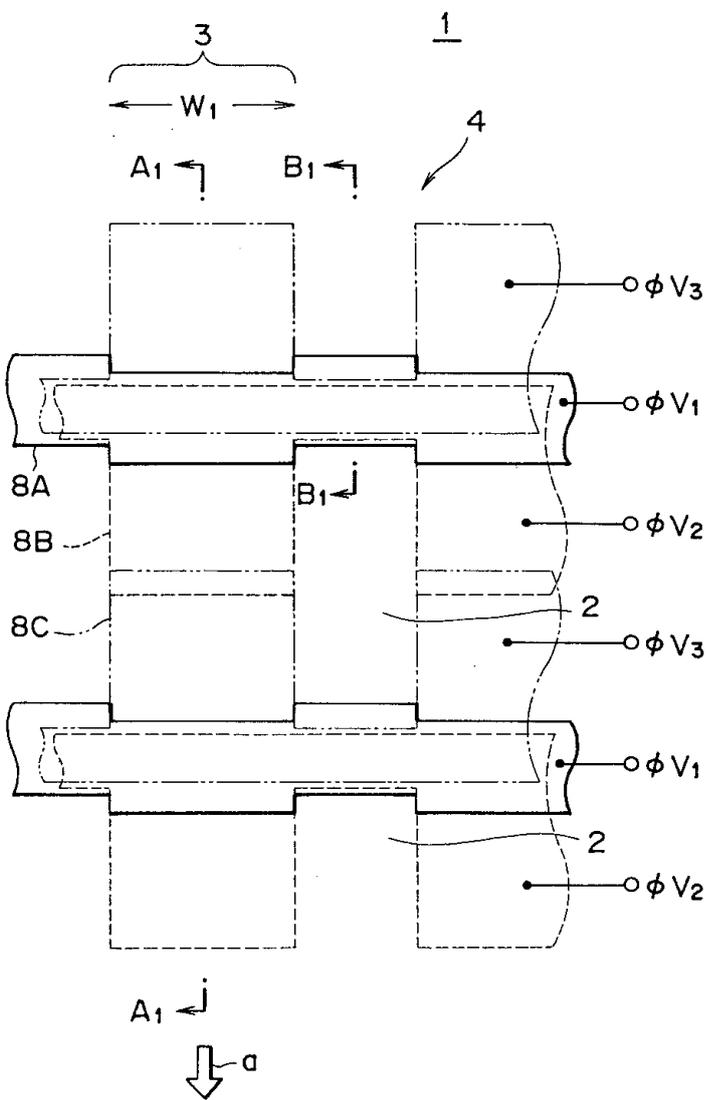
도면 16a



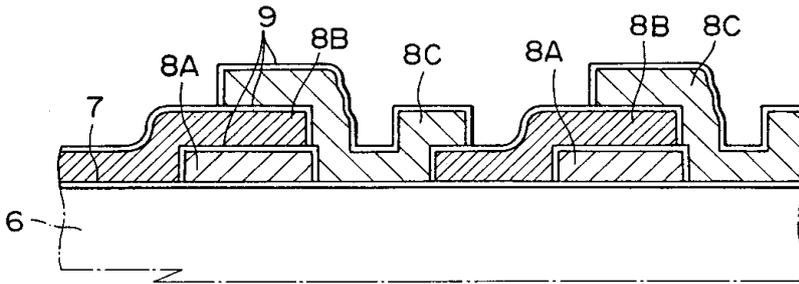
도면 16b



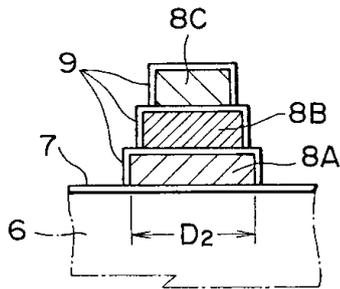
도면 17



도면 18a



도면 18b



도면 19

