



(12)发明专利

(10)授权公告号 CN 103745680 B

(45)授权公告日 2016.08.17

(21)申请号 201310529297.6

(22)申请日 2013.10.31

(30)优先权数据

102121767 2013.06.19 TW

(73)专利权人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72)发明人 黄昱荣 雷镇远 林廷政 蔡孟杰

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 祁建国

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

(56)对比文件

CN 102867478 A,2013.01.09,

US 2006269038 A1,2006.11.30,

CN 102087827 A,2011.06.08,

KR 100637227 B1,2006.10.20,

CN 101894588 A,2010.11.24,

TW 200923953 A,2009.06.01,

审查员 陈相南

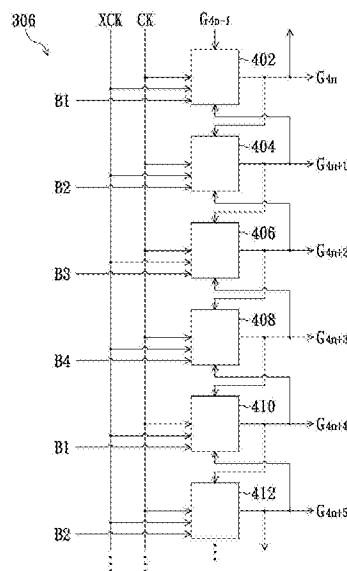
权利要求书1页 说明书5页 附图8页

(54)发明名称

移位寄存器模块和其控制方法

(57)摘要

本发明提供一种移位寄存器模块和其控制方法,本发明的移位寄存器模块包括:一第一移位寄存器、一第二移位寄存器、一第三移位寄存器和一第四移位寄存器。该第一移位寄存器接收一第一输入信号,以产生一第一驱动信号;该第二移位寄存器则接收独立于第一输入信号的一第二输入信号,并产生一第二驱动信号;该第三移位寄存器接收独立于该第一输入信号与该第二输入信号的一第三输入信号,并产生一第三驱动信号;该第四移位寄存器接收独立于该第一输入信号、该第二输入信号和该第三输入信号的一第四输入信号,并输出一第四驱动信号。此外,对应于上述移位寄存器模块的控制方法也被提出。



1. 一种移位寄存器模块,其特征在于,包括:

—第一移位寄存器,具有:

—第一开关电路,接收一第一输入信号,并依据一起始信号决定将该第一输入信号输出;

—第一输出电路,耦接该第一开关电路,以接收该第一输入信号,当该第一输入信号的位准被切换至一第一位准时,该第一输出电路将一第一频率信号从该第一移位寄存器的输出端输出,以产生一第一驱动信号;以及

—第一禁能电路,耦接该第一开关电路,以依据该第一开关电路的输出端的状态而决定禁能该第一驱动信号;

—第二移位寄存器,具有:

—第二开关电路,接收独立于该第一输入信号的一第二输入信号,并依据该第一驱动信号而决定将该第二输入信号输出;

—第二输出电路,耦接该第二开关电路,以接收该第二输入信号,当该第二输入信号的位准被切换为该第一位准时,该第二输出电路将一第二频率信号从该第二移位寄存器的输出端输出,以产生一第二驱动信号,而该第二频率信号与该第一频率信号互为反相;以及

—第二禁能电路,耦接该第二开关电路,以依据该第二开关电路的输出端的状态而决定禁能该第二驱动信号;

—第三移位寄存器,具有:

—第三开关电路,接收独立于该第一输入信号与该第二输入信号的一第三输入信号,并依据该第二驱动信号而决定将该第三输入信号输出;

—第三输出电路,耦接该第三开关电路,以接收该第三输入信号,当该第三输入信号的位准被切换至该第一位准时,该第三输出电路将该第一频率信号从该第三移位寄存器的输出端输出,以产生一第三驱动信号;以及

—第三禁能电路,耦接该第三开关电路,以依据该第三开关电路的输出端的状态而决定禁能该第三驱动信号;以及

—第四移位寄存器,具有:

—第四开关电路,接收独立于该第一输入信号、该第二输入信号与该第三输入信号的一第四输入信号,并依据该第三驱动信号而决定将该第四输入信号输出;

—第四输出电路,耦接该第四开关电路,以接收该第四输入信号,当该第四输入信号的位准被切换为该第一位准时,则该第四输出电路将该第二频率信号从该第四移位寄存器的输出端输出,以产生一第四驱动信号;以及

—第四禁能电路,耦接该第四开关电路,以依据该第四开关电路的输出端的状态而决定禁能该第四驱动信号。

2. 根据权利要求1所述的移位寄存器模块,其特征在于,该第一驱动信号的下降沿在该第一输入信号的下降沿之前,且两者具有一第一时间差,该第二驱动信号的下降沿在该第二输入信号的下降沿之前,且两者具有一第二时间差,其中该第二时间差与该第一时间差大致上相等。

3. 根据权利要求2所述的移位寄存器模块,其特征在于,该第一时间差和该第二时间差实质上等于0。

移位寄存器模块和其控制方法

技术领域

[0001] 本发明涉及一种移位寄存器的电路,尤其是涉及一种用于显示装置的移位寄存器的电路。

背景技术

[0002] 图1示出为现有的栅极驱动模块的方块图。请参照图1,现有的栅极驱动模块100可以适用于一显示装置,其包括多个移位寄存器,例如102、104、106和108。此外,在图1中,标示 V_{st} 表示为起始信号、标示CK和XCK皆表示为频率信号、标示 Bi_1 和 Bi_2 皆表示为输入信号,而标示 G_{n-1} 、 G_n 、 G_{n+1} 和 G_{n+2} 皆表示为栅极驱动信号。另外,每一移位寄存器皆具有三个晶体管,分别以M1、M2与M3来标示。以移位寄存器102的操作为例,其晶体管M1与M2的栅极端分别接收起始信号 V_{st} 与栅极驱动信号 G_n ,并据以决定是否将输入信号 Bi_1 传送至晶体管M3的栅极端,以对晶体管M3的栅极端进行充电。而移位寄存器102中的晶体管M3则依据其栅极端的电压大小而决定是否将频率信号CK传送至移位寄存器102的输出端,以形成栅极驱动信号 G_{n-1} 。至于移位寄存器104~108的操作,本领域具有通常知识的人员可依前述移位寄存器102的操作方式而推得,在此便不再赘述。

[0003] 从图1所示的栅极驱动模块100可知,移位寄存器102和104接收同一输入信号 Bi_1 ,而移位寄存器106和108则接收同一输入信号 Bi_2 。意即,同一输入信号提供至连续相邻两级的移位寄存器。然而,这样的做法会使得画面出现明显的横纹,以图2来说明。图2示出为图1的栅极驱动模块的主要信号的时序图。在图2中,标示相同于图1中的标示者表示为相同信号。此外,在图2中,标示 G_{n-1_NODE1} 表示移位寄存器102中的晶体管M3的栅极端的电压大小,而 G_n_NODE1 表示移位寄存器104中的晶体管M3的栅极端的电压大小。由图2可知,当移位寄存器102中的晶体管M3的栅极端被充电至高位准时(如标示 G_{n-1_NODE1} 所示),移位寄存器102会对应产生并输出栅极驱动信号 G_{n-1} ,而当移位寄存器104中的晶体管M3的栅极端被充电至高位准时(如标示 G_n_NODE1 所示),移位寄存器104会对应产生并输出栅极驱动信号 G_n 。当移位寄存器102与104中的晶体管M3的栅极端被充电至高位准时,对应的晶体管M1与M2便会被关闭,然而由于移位寄存器102中的晶体管M3的栅极端被充电至高位准时,输入信号 Bi_1 呈现高位准,而移位寄存器104中的晶体管M3的栅极端被充电至高位准时,输入信号 Bi_1 呈现低位准,因而造成自移位寄存器104中的晶体管M3的栅极端流向输入信号 Bi_1 的漏电流,会远大于自移位寄存器102中的晶体管M3的栅极端流向输入信号 Bi_1 的漏电流。如此一来,就会造成栅极驱动信号 G_{n-1} 与 G_n 这两者的脉冲会有不同位准下降时间,进而使得显示装置的画面产生明显的横纹。同样地,移位寄存器106与108也会有相同的情形。

发明内容

[0004] 有鉴于此,本发明提供一种移位寄存器模块,可以应用于显示装置,以避免上述在显示装置上发生横纹的情形。

[0005] 本发明也提供一种显示装置,可以避免上述在画面上产生横纹的情形。

[0006] 此外,本发明还提供一种显示装置的控制方法,可以避免上述在显示装置的画面上的横纹。

[0007] 本发明所提供的移位寄存器模块,包括一第一移位寄存器、一第二移位寄存器、一第三移位寄存器和一第四移位寄存器,该四者分别具有开关电路、输出电路和禁能电路。在第一移位寄存器中,开关电路会接收第一输入信号,并依据一起始信号决定将第一输入信号输出。输出电路则是耦接开关电路,以接收从开关电路输出的第一输入信号。当第一输入信号的位准被切换至一第一位准时,输出电路会将第一频率信号从第一移位寄存器的输出端输出,以产生一第一驱动信号。另外,禁能电路也会耦接开关电路,以依据开关电路之输出端的状态而决定禁能第一驱动信号。第二移位寄存器的架构与第一移位寄存器的架构大致上相同。不同的是,第二移位寄存器中的开关电路会接收独立于第一输入信号的第二输入信号,以使第二移位寄存器输出第二驱动信号。第三移位寄存器的架构与第一移位寄存器和第二移位寄存器的架构大致上相同。不同的是,第三移位寄存器中的开关电路会接收独立于第一输入信号和第二输入信号的第三输入信号,以使第三移位寄存器输出第三驱动信号。第四移位寄存器的架构与第一移位寄存器、第二移位寄存器和第三移位寄存器的架构大致上相同。不同的是,第四移位寄存器中的开关电路会接收独立于第一输入信号、第二输入信号和第三输入信号的第四信号,以使第四移位寄存器输出第四驱动信号。

[0008] 从另一观点来看,本发明所提供的显示装置,包括基板、像素阵列、第一移位寄存器、第二移位寄存器、第三移位寄存器和第四移位寄存器。像素阵列形成在基板上,并且具有多个像素列。同样地,第一移位寄存器、第二移位寄存器、第三移位寄存器和第四移位寄存器也都形成在基板上。其中,第一移位寄存器依据对应的输入信号产生对应的栅极驱动信号。第二移位寄存器依据对应的输入信号产生对应的栅极驱动信号。第三移位寄存器依据对应的输入信号产生对应的栅极驱动信号。而第四移位寄存器则依据对应的输入信号产生对应的栅极驱动信号。其中,第一、第二、第三与第四移位寄存器所接收的输入信号各自独立。

[0009] 从另一观点来看,本发明所提供的显示装置的控制方法,包括产生多个各自独立的输入信号给显示装置中的多个移位寄存器,以使各移位寄存器分别对应产生多个栅极驱动信号到显示装置上的多个像素列其中之一;以及当栅极驱动信号其中之一被禁能时,则禁能对应的输入信号。

[0010] 本发明提供多个互相独立的输入信号给移位寄存器模块中的移位寄存器使用,因此只要将这些输入信号的时序进行适当的设计,便可使得每一移位寄存器在产生并输出栅极驱动信号时,每一移位寄存器所接收到的输入信号皆可呈现出高位准。如此一来,就可以避免显示装置的画面横纹产生的情况。

附图说明

[0011] 图1示出为现有的栅极驱动模块的方块图;

[0012] 图2示出为图1的栅极驱动模块的主要信号的时序图;

[0013] 图3示出为一种显示装置的架构图;

[0014] 图4示出为依照本发明的一较佳实施例的一种栅极驱动模块的方块图;

[0015] 图5示出为依照本发明的一较佳实施例的一种第三移位寄存器的电路图;

电路架构与操作方式皆与第三移位寄存器406的电路架构与操作方式类似,为了简洁起见,在此以第三移位寄存器406为例说明,熟悉此项技术的人员能借此得知其它级的移位寄存器的操作方式。请合并参照图4和图5,第三移位寄存器406具有开关电路502、输出电路504和禁能电路506。

[0039] 开关电路502具有开关512和514。在本实施例中,开关512和514是利用NMOS晶体管来实现,然而本领域的技术人员可以依照实际情况而替换为PMOS晶体管,并不影响本发明的精神。

[0040] 在本实施例中,开关512和514(以下以晶体管512和514表示)的第一源/漏极端共同耦接对应的输入信号B3。其中,晶体管512的栅极端耦接前一级移位寄存器所输出的栅极驱动信号 G_{4n+1} 当作一起始信号,而晶体管514的栅极端则是耦接后一级移位寄存器所输出的栅极驱动信号 G_{4n+3} 当作另一起始信号。另外,晶体管512和514的第二源/漏极端耦接节点N1。

[0041] 输出电路504包括晶体管522,例如是NMOS晶体管,其第一源/漏极端耦接频率信号CK,其第二源/漏极端耦接第三移位寄存器406的输出端,而其栅极端则耦接节点N1,并且通过电容524与第三移位寄存器406的输出端互相耦接。

[0042] 禁能电路506则包括晶体管532、534、536和538(例如是NMOS晶体管)与电容540。晶体管532、534、536和538的第一源/漏极端耦接低电压 V_{g1} 。其中,晶体管532的栅极端耦接节点N1,其第二源/漏极端通过电容540耦接频率信号CK。另外,晶体管534和536的栅极端共同耦接至晶体管532的第二源/漏极端,而两者的第二源/漏极端分别耦接至节点N1以及第三移位寄存器406的输出端。晶体管538的第二源/漏极端也耦接第三移位寄存器406的输出端,而栅极端则耦接至频率信号XCK。

[0043] 图6示出为依照本发明的一较佳实施例的一种第四移位寄存器的电路图。图6所示即为图4中的第四移位寄存器408的电路架构,本领域的技术人员在了解第四移位寄存器408的操作方式后,可自行推得其它级的移位寄存器的架构。请合并参照图4和图6,同样地,第四移位寄存器408也包括开关电路602、输出电路604和禁能电路606。

[0044] 开关电路602也包括开关612和614,其耦接关系可以对等于图5中的开关512和514。另外,输出电路604也包括晶体管622和电容624,其耦接关系可以对等于图5中的晶体管522和电容524。不同的是,晶体管622的第一源/漏极端是耦接频率信号XCK。

[0045] 禁能电路606也包括晶体管632、634、636、638(例如是NMOS晶体管)与电容640,其连接关系可以对等于图5中的晶体管532、534、536、538与电容540,在此不再赘述。不同的是,晶体管632的第一源/漏极端是通过电容640耦接至频率信号XCK,并且晶体管638的栅极端则是耦接频率信号CK。

[0046] 图7示出为图4中的信号的时序图,其中频率信号CK和XCK彼此反相。请合并参照图4、图5和图7。在 $7t_1$ 时,频率信号CK和XCK分别被设置在低位准和高位准。另外,输入信号B3被设置在高位准。此时,前一级的栅极驱动信号 G_{4n+1} 为高位准,因此,晶体管512会被导通,而将高位准的输入信号B3传送到第三移位寄存器406的节点N1。因此,晶体管522和532都会被导通。由于晶体管532被导通,因此低电压 V_{g1} 就会被传送到晶体管534和536的栅极端,而将其关闭。另一方面,晶体管538会因为频率信号XCK为高位准而被导通,进而将第三移位寄存器406的输出端下拉至低位准。

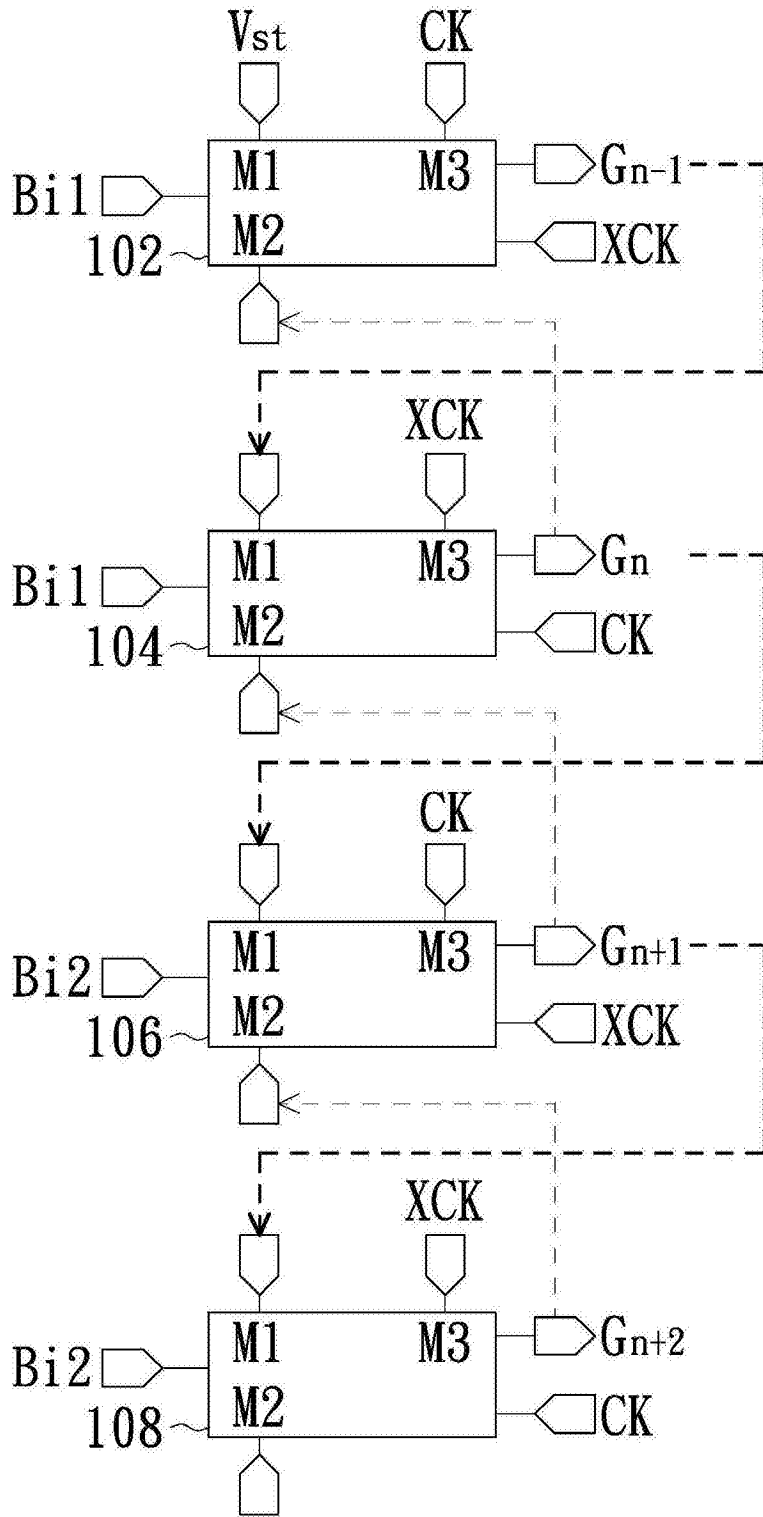
[0047] 接着,在 $7t_2$ 时,前一级的栅极驱动信号 G_{4n+1} 以及频率信号XCK都被下拉到低位准,而频率信号CK则上拉至高位准。因此,晶体管512和538都会被关闭,而晶体管522和532则持续导通。由于频率信号CK已经被上拉至高位准,因此第三移位寄存器406在 $7t_2$ 时会输出具有高位准的栅极驱动信号 G_{4n+2} 。在 $7t_3$ 时,频率信号CK又被下拉至低位准,而频率信号XCK则被上拉至高位准,因此栅极驱动信号 G_{4n+2} 就被下拉到低位准。此时,输入信号B3会被下拉至低位准。请再参照图4、图6和图7,本领域的技术人员可按照以上的叙述,推得第四移位寄存器408的操作方式,因此不再赘述。

[0048] 由图7所示的时序可知,当每一奇数级的移位寄存器中的晶体管522的栅极端被充电至高位准而据以产生并输出对应的栅极驱动信号时,其所对应接收的输入信号皆呈现高位准,而当每一偶数级的移位寄存器中的晶体管622的栅极端被充电至高位准而据以产生并输出对应的栅极驱动信号时,其所对应接收的输入信号也皆呈现高位准。这表示,自任一奇数级的移位寄存器中的晶体管522的栅极端流向对应输入信号的漏电流,会等于自任一偶数级的移位寄存器中的晶体管622的栅极端流向对应输入信号的漏电流。如此一来,就可以避免显示装置的画面出现横纹的情形。

[0049] 值得一提的是,为了确保每一移位寄存器在产生并输出栅极驱动信号时,其所接收的对应输入信号皆呈现高位准,因此每一栅极驱动信号的下降沿可以是被设定在对应输入信号的下降沿之前。以图7所示信号为例,栅极驱动信号 G_{4n+2} 的下降沿可以是被设定在输入信号B3的下降沿之前,使得栅极驱动信号 G_{4n+2} 的下降沿与输入信号B3的下降沿之间具有一第一时间差。同样地,栅极驱动信号 G_{4n+3} 的下降沿也可以是被设定在输入信号B4的下降沿之前,使得栅极驱动信号 G_{4n+3} 的下降沿与输入信号B4的下降沿之间具有一第二时间差。在本实施例中,此第二时间差与上述的第一时间差大致上相等。在较佳的情况中,上述的第一时间差和第二时间差可以等于0。同样地,在其它的栅极驱动信号与其对应的输入信号之间也可采用相同的做法。

[0050] 由于在以上的实施例中,是揭示由上到下的扫描顺序,可以称为正扫描模式。在正扫描模式中,对应于各级的输入信号的上升沿是对齐前一级栅极驱动信号的上升沿。当然,本领域的技术人员也可以将本发明应用在反扫描模式下,也就是由下到上的扫描顺序。在反扫描模式下,对应于各级的输入信号的上升沿是对齐后一级栅极驱动信号的上升沿。

[0051] 图8示出为依照本发明的一较佳实施例的一种显示装置的控制方法的步骤流程图。请参照图8,本实施例的所提供的控制方法如步骤S802所述,先产生多个各自独立的输入信号给显示装置中的多个移位寄存器,以使各级移位寄存器可以分别产生对应的栅极驱动信号给显示装置的多个像素列。接着,如步骤S804所述,当栅极驱动信号其中之一被禁能时,则关闭对应的输入信号。当然,在此控制方法中,还可包括使每一输入信号的禁能时间落后于对应的栅极驱动信号的禁能时间,而产生一禁能时间差;以及将各栅极驱动信号与对应的输入信号之间的禁能时间差调整为相同。



100

图1

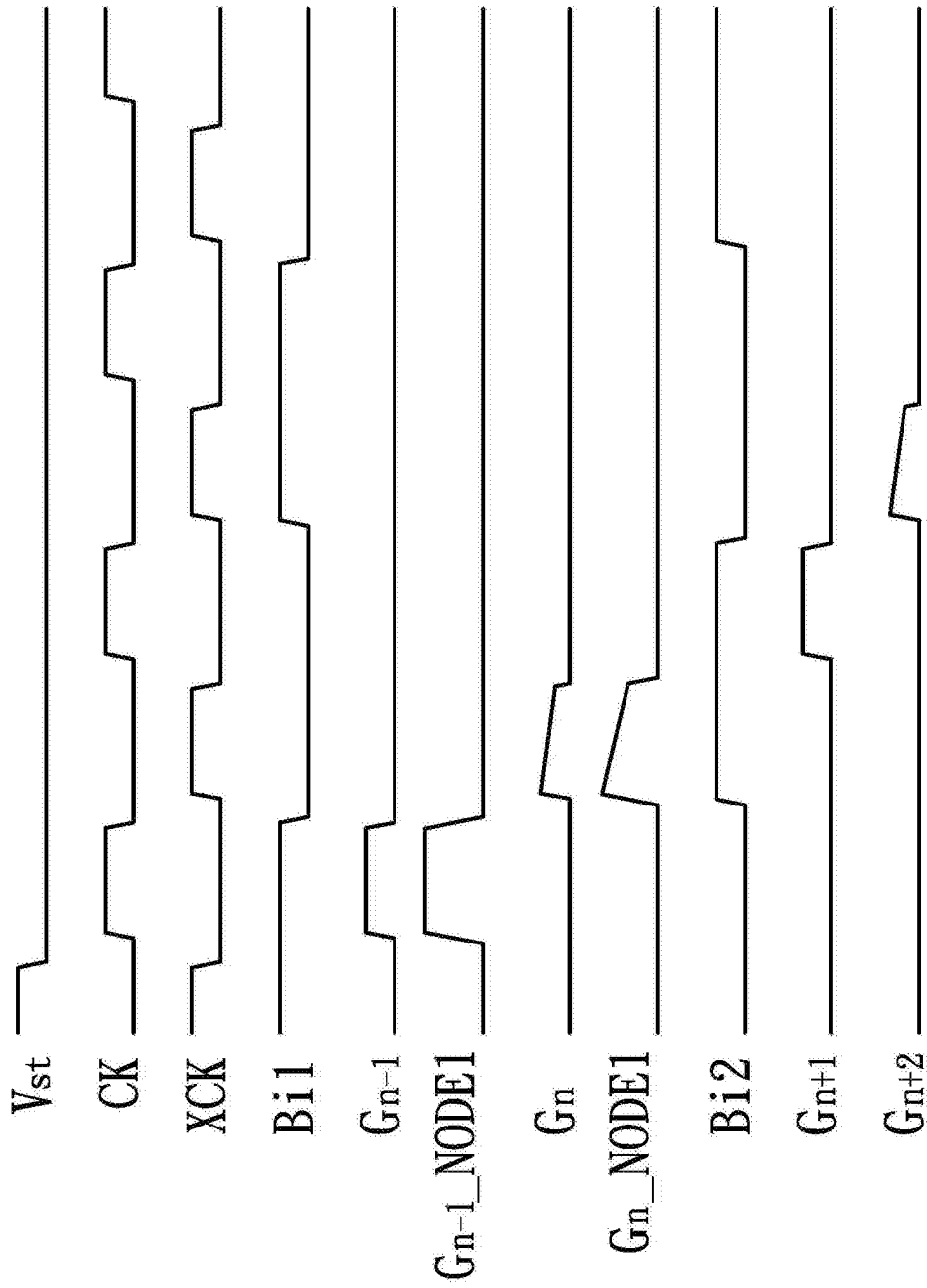


图2

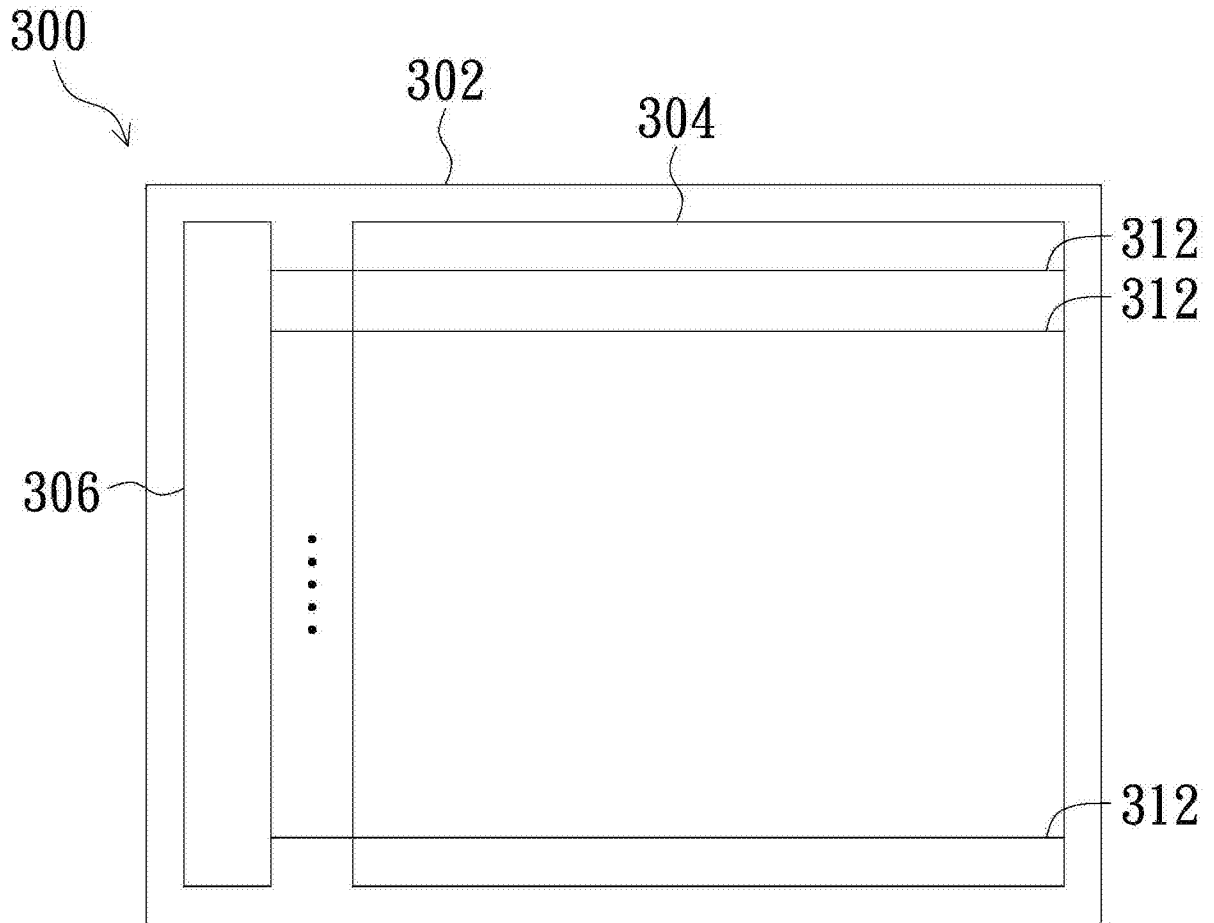


图3

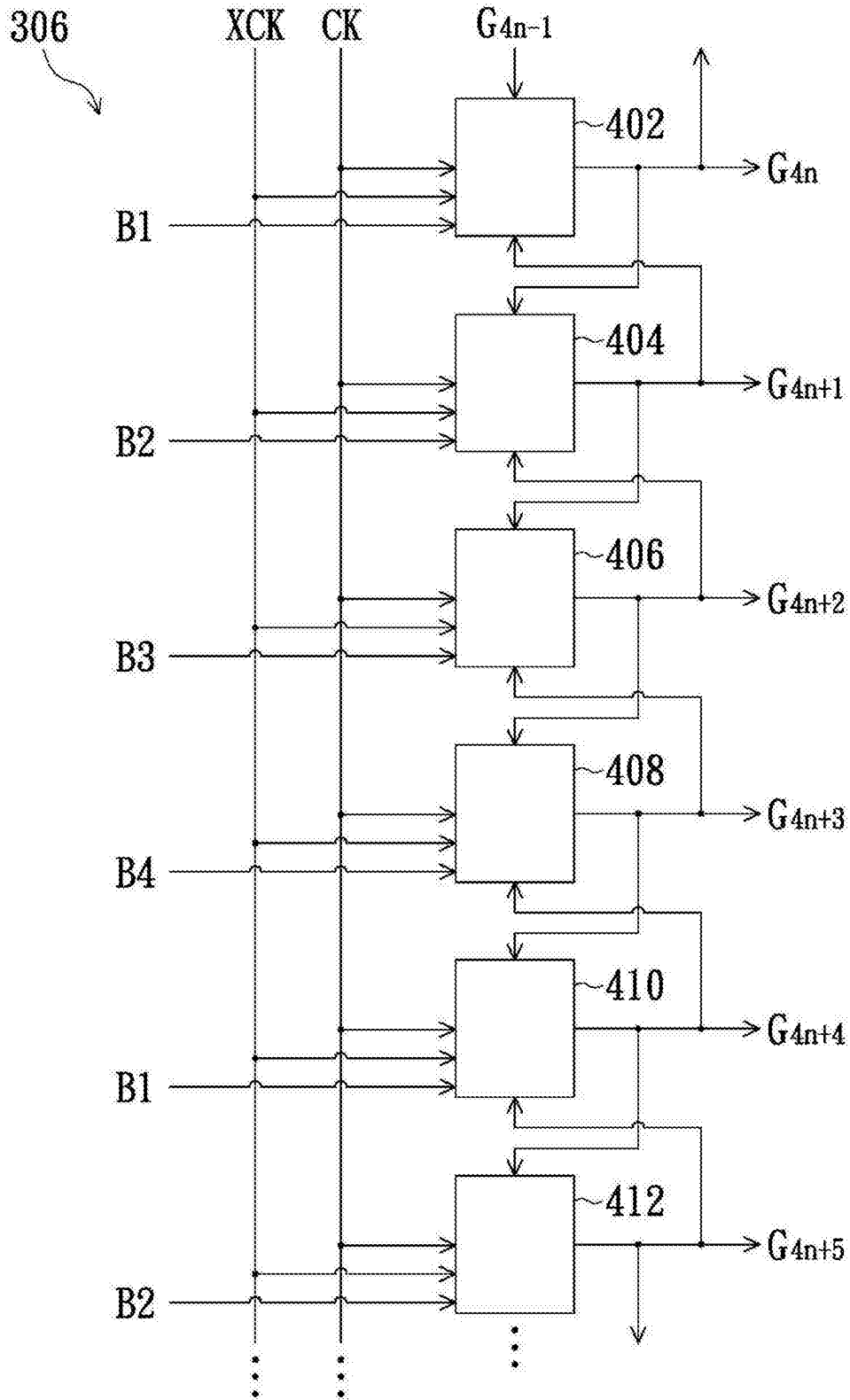


图4

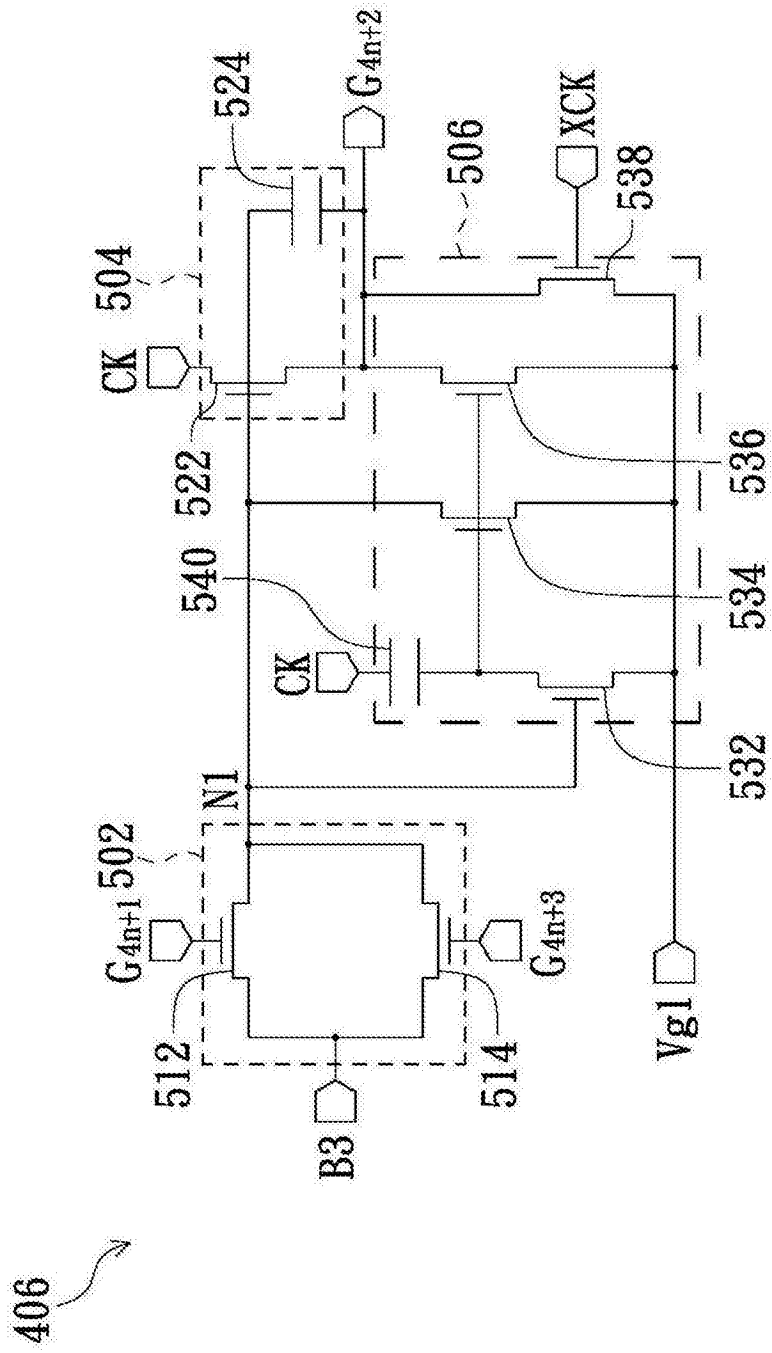


图5

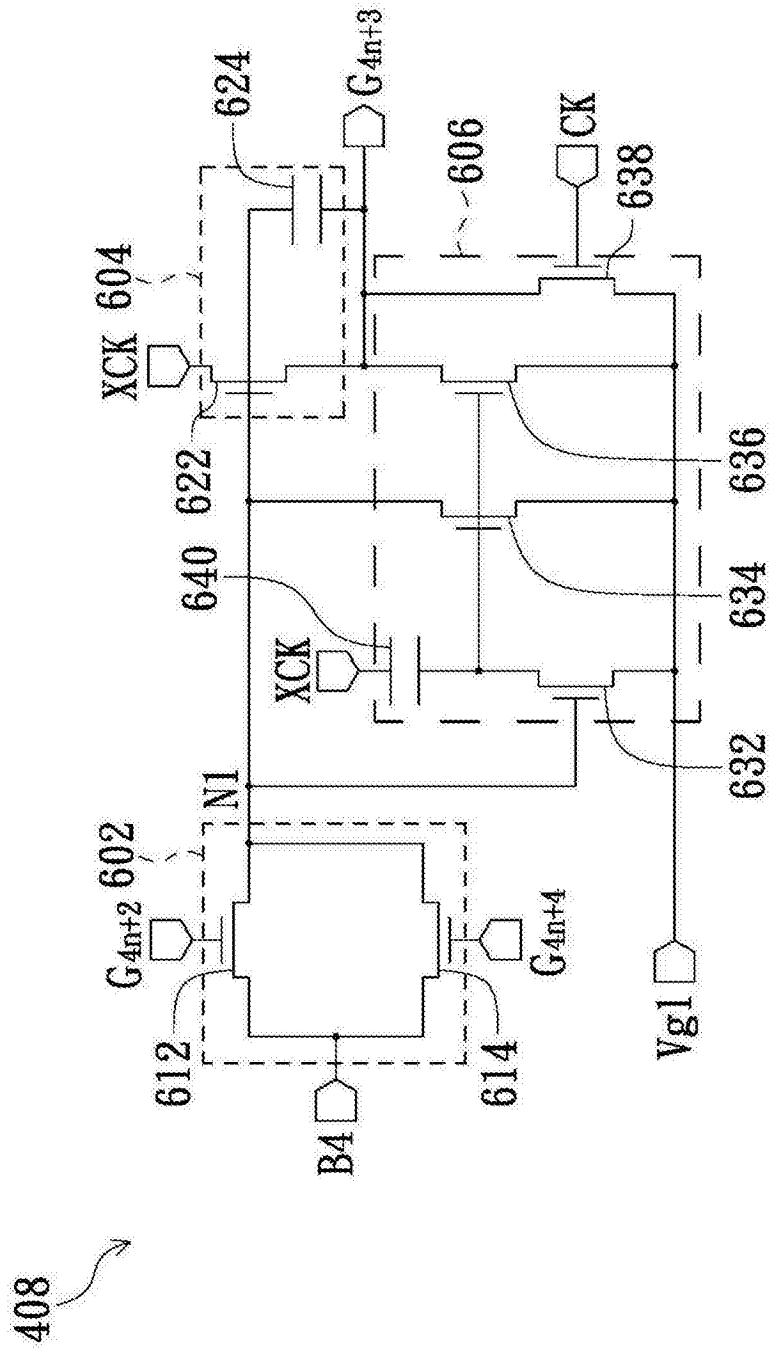


图6

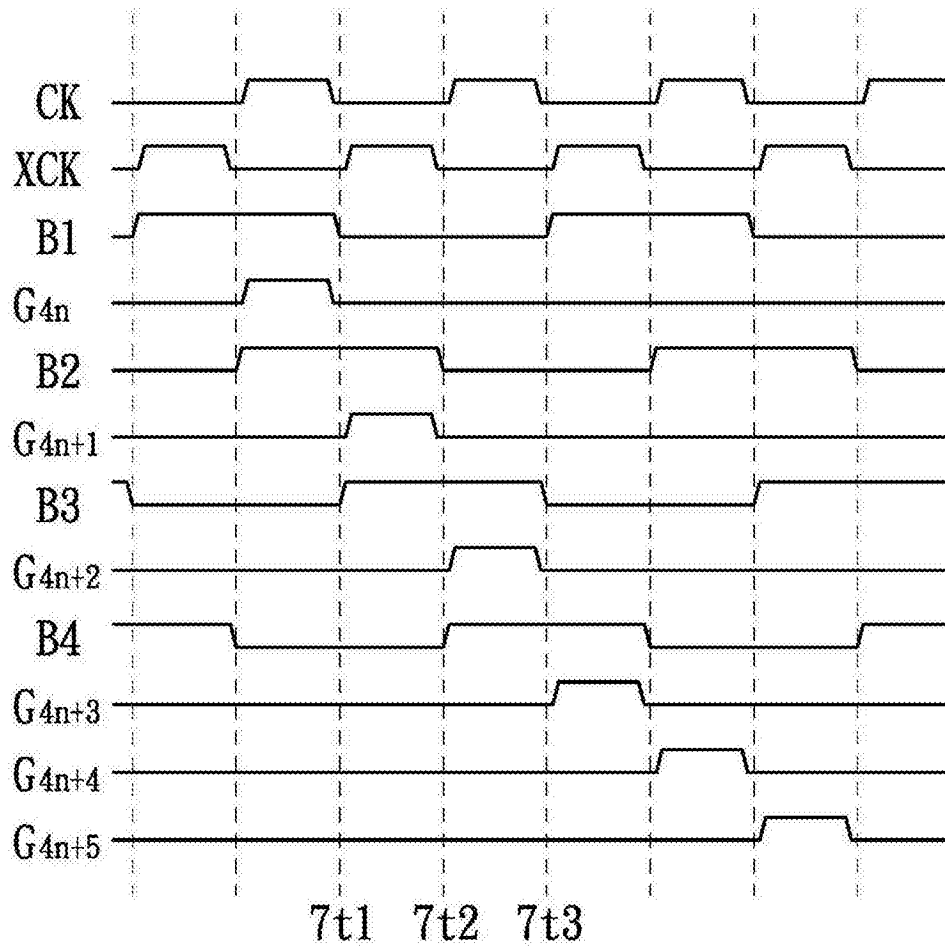


图7

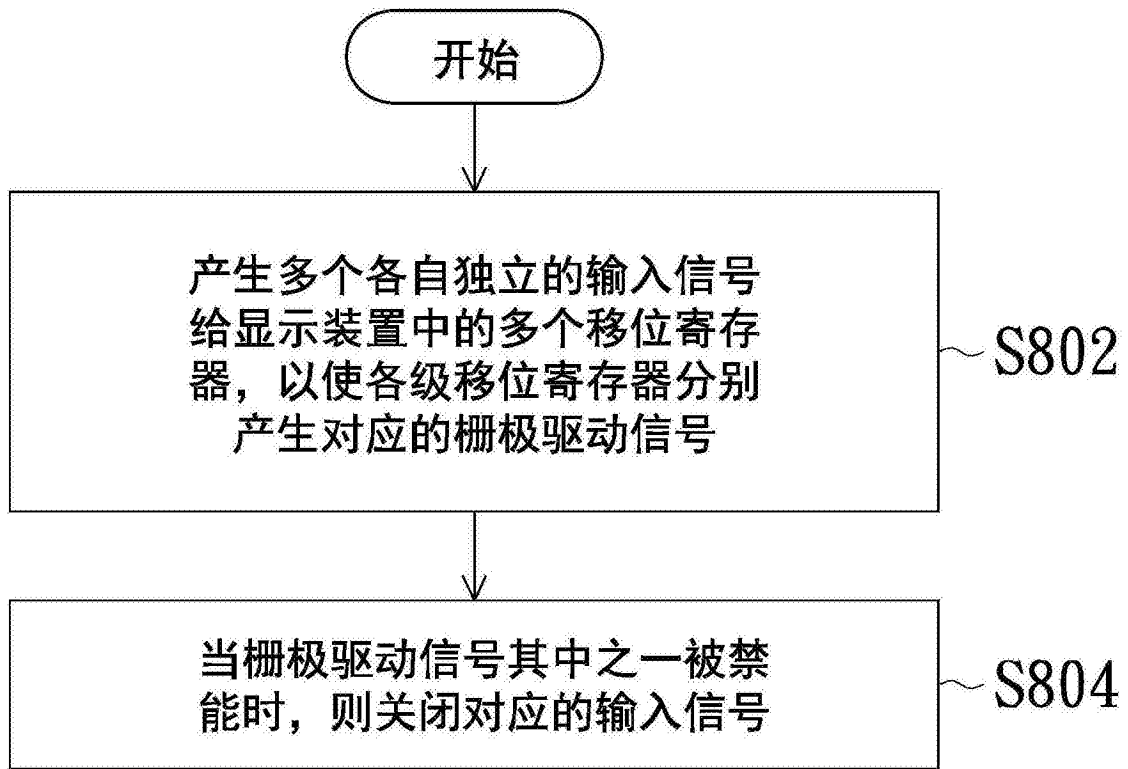


图8