

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-504696
(P2008-504696A)

(43) 公表日 平成20年2月14日(2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 P	
HO 1 L 23/32 (2006.01)	HO 1 L 23/12 5 O 1 V	
HO 1 L 25/065 (2006.01)	HO 1 L 23/32 D	
HO 1 L 25/07 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/18 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号 特願2007-518347 (P2007-518347)
 (86) (22) 出願日 平成17年6月24日 (2005.6.24)
 (85) 翻訳文提出日 平成19年2月21日 (2007.2.21)
 (86) 国際出願番号 PCT/US2005/022753
 (87) 国際公開番号 W02006/004672
 (87) 国際公開日 平成18年1月12日 (2006.1.12)
 (31) 優先権主張番号 60/583,109
 (32) 優先日 平成16年6月25日 (2004.6.25)
 (33) 優先権主張国 米国 (US)

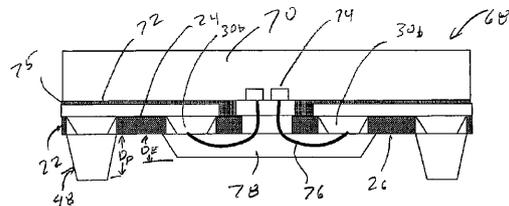
(71) 出願人 504142411
 テッセラ, インコーポレイテッド
 アメリカ合衆国カリフォルニア州95134,
 サン・ノゼ, オーチャード・ドライブ
 3099
 (74) 代理人 100099623
 弁理士 奥山 尚一
 (74) 代理人 100096769
 弁理士 有原 幸一
 (74) 代理人 100107319
 弁理士 松島 鉄男
 (72) 発明者 久保田 陽一
 アメリカ合衆国カリフォルニア州94588,
 プレザントン, オーブルック・サークル
 6114

最終頁に続く

(54) 【発明の名称】 ポストおよびパッドを有する部品

(57) 【要約】

パッケージされた超小型電子素子は、外面(26)から隔離したトレース(58)と、トレースから延びて誘電体の外面を超えて突出するポスト(48)と、誘電体層の外面に露出するパッド(30)とを有する誘電体層(22)を組み込み、パッドがトレースによってポストに接続されてなる接続部品を含む。誘電体要素は超小型電子素子の表面上に載上され、超小型電子素子の表面に露出したコンタクト(74)は、ワイヤボンドのような長尺リード(76)によってパッドに接続される。該接続部品を作製する方法も開示する。



【特許請求の範囲】**【請求項 1】**

(a) 上向きの内側面および下向きの外側面を有する誘電体層と、
(b) 前記外側面とは離隔して前記誘電体層上に延びる導電性トレースと、
(c) 前記トレースから前記誘電体層を貫通し、前記誘電体層の前記外側面を超えて下向きに突出する導電性ポストと、
(d) 前記誘電体層の前記外側面に露出した導電性パッドであって、前記パッドの少なくとも一部が前記トレースの少なくとも一部によって前記ポストの少なくとも一部に電氣的に接続される導電性パッドと
を含む、超小型電子素子を取り付けるための接続部品。

10

【請求項 2】

前記パッドが前記外面から上向きに後退した露出パッド面を画定する請求項 1 に記載の部品。

【請求項 3】

前記パッドが少なくとも部分的に前記誘電体層を貫通して前記トレースから下向きに突出する請求項 2 に記載の部品。

【請求項 4】

前記パッドが前記誘電体層の前記外面と略面一である下向きのパッド面を画定する請求項 2 に記載の部品。

【請求項 5】

前記パッドが誘電体層を貫通して前記トレースから下向きに突出し、かつパッド突出距離だけ前記外面を越えて下向きに突出し、前記ポストが前記外面を越えてポスト突出距離だけ下向きに突出し、前記パッド突出距離が前記ポスト突出距離より小さい請求項 1 に記載の部品。

20

【請求項 6】

前記ポストが回路パネルにはんだ接合するように適合された請求項 1 に記載の部品。

【請求項 7】

前記ポストが前記トレースから下向きに延びる上部と、前記上部から下向きに突出する下部とを含み、前記上部が水平方向の寸法を有する端面を画定し、前記下部が前記上部の前記端面と隣接するベース面を画定し、前記ポストの前記ベース面が前記端面の水平方向の寸法より大きい水平方向の寸法を有する請求項 1 に記載の部品。

30

【請求項 8】

前記上部の前記端面が前記誘電体要素の前記外面と略面一である請求項 1 に記載の部品。

【請求項 9】

前記誘電体層が複数の縁および前記縁と隣接する縁領域を有し、前記パッドの少なくとも一部が前記縁の第 1 縁に隣接する前記縁領域の第 1 縁領域に露出される請求項 1 に記載の部品。

【請求項 10】

前記誘電体層の前記内側面が前記表面に向かって上を向いた状態で、前記誘電体層が前記表面の一部分の上に載上し、前記表面の第 1 コンタクト領域が前記誘電体層の前記第 1 縁を超えて外側に突出し、前記超小型電子素子が前記第 1 コンタクト領域で前記表面に露出したコンタクトを有し、前記コンタクトの少なくとも幾つかと前記パッドの少なくとも幾つかとの間に延びる長尺リードをさらに含む、請求項 9 に記載の部品と、表面を有する超小型電子素子とを含むパッケージされた超小型電子素子。

40

【請求項 11】

前記誘電体層が前記第 1 縁とは反対側の第 2 縁および前記第 2 縁に隣接する第 2 縁領域を有し、前記超小型電子素子の前記表面が前記第 2 縁を越えて外側に突出する第 2 コンタクト領域を含み、前記パッドが前記第 2 縁領域で露出する第 2 縁パッドを含み、前記超小型電子素子が前記第 2 コンタクト領域で前記第 1 表面に露出する第 2 領域コンタクトを有

50

し、前記パッケージされた超小型電子素子が、前記第 2 領域のコンタクトの少なくとも幾つかから前記第 2 縁パッドの少なくとも幾つかまで延びる長尺第 2 縁リードをさらに含む請求項 10 に記載のパッケージされた超小型素子。

【請求項 12】

前記誘電体層がそれを貫通して延びる長尺スロットを有し、前記誘電体層が前記スロットの両側に 1 対のスロット縁領域を画定し、前記パッドが前記スロット縁領域の少なくとも 1 つで露出するスロット縁パッドを含む請求項 1 に記載の部品。

【請求項 13】

誘電体層の前記内側面が前記表面に向かって上を向いた状態で、前記誘電体層が前記表面の一部分の上に載上し、前記超小型電子素子が前記表面に露出しかつ前記スロットと整列したコンタクトを有し、前記スロットを貫通して前記コンタクトの少なくとも幾つかから前記スロット縁パッドの少なくとも幾つかまで延びる長尺スロットリードをさらに含む、請求項 12 に記載の部品および表面を有する超小型電子素子を含むパッケージされた超小型電子素子。

10

【請求項 14】

前記長尺リードがワイヤボンダである請求項 10、請求項 11 および請求項 13 のいずれかに記載のパッケージされた超小型素子。

【請求項 15】

前記トレースが前記誘電体層の前記内面上に延びる請求項 1 に記載の部品。

【請求項 16】

前記パッドが下向きの露出表面を有し、前記パッドが第 1 金属を含み、第 2 金属の層が前記表面を被覆する請求項 1 に記載の部品。

20

【請求項 17】

前記パッドが下向きの露出面を有し、前記パッドの前記表面が略平坦である請求項 1 に記載の部品。

【請求項 18】

パッド位置の前記外部導電層の少なくとも一部を除去し、かつポスト位置の前記外部層の少なくとも一部を残し、それによって前記コネクタを組み込むパッドおよびポストを形成するように、誘電体層の外面を被覆しかつ前記誘電体層上の導電性コネクタを被覆する外部導電層の一部分を除去するステップを含む接続部品の作製方法であって、前記パッドが前記外面に露出した下向きの面を有し、前記ポストが前記誘電体層の前記外面から下向きに突出しかつ前記パッドの前記表面を越え下向きに突出するように構成された、方法。

30

【請求項 19】

前記外部導電層を処理する前記ステップが、前記外部導電層のパッド位置における厚さ全体を除去するステップを含む請求項 18 に記載の方法。

【請求項 20】

前記外部導電層を処理する前記ステップが、前記ポスト位置における前記外部導電層の厚さ全体を残すステップを含む請求項 18 に記載の方法。

【請求項 21】

前記外部導電層を処理する前記ステップが、前記外部導電層をエッチングするステップを含む請求項 18 に記載の方法。

40

【請求項 22】

前記エッチングステップが前記パッド位置で前記外部導電層の厚さ全体を除去し、それによって前記パッド位置のコネクタが露出するように実行され、前記方法がさらに、前記コネクタが露出した後、前記コネクタの一部分を除去し、それによって前記パッドの前記下向きの露出面が前記誘電体層の前記外面より上に後退するように、前記エッチングステップを続行することをさらに含む請求項 21 に記載の方法。

【請求項 23】

前記内部導電層の一部分を除去し、それによって前記パッドの少なくとも幾つかを前記ポストの少なくとも幾つかと接続するトレースを形成するように、前記外部導電層から離

50

隔しかつ前記パッドに接続された内部導電層を処理するステップをさらに含む請求項 18 に記載の方法。

【請求項 24】

前記内部および外部導電層が金属層であり、前記内部および外部金属層を処理する前記ステップが前記金属層の両方を同時にエッチングするステップを含む請求項 23 に記載の方法。

【請求項 25】

前記外部金属層を処理する前記ステップの前に、前記内部および外部導電層、前記コネクタ、ならびに前記誘電体層を接合するステップをさらに含む請求項 18 に記載の方法。

【請求項 26】

前記接合ステップが、前記外面と前記内面との間に延びる穴を前記誘電体層に設けるステップ、および前記導電層および前記誘電体層を積層するステップを含み、前記積層ステップ中に前記コネクタが前記穴内に配置されるように、前記導電層の 1 つが前記コネクタを有する請求項 25 に記載の方法。

【請求項 27】

前記内部導電層がそれと一体的に形成された前記コネクタを有する請求項 26 に記載の方法。

【請求項 28】

(a) 構造から突出する第 1 ポスト部分の先端上に導電層を塗布するステップと、
(b) 前記第 1 ポスト部分から前記層の一部を除去し、かつ前記第 1 ポスト部分と整列する前記層の部分を残し、それによって前記第 1 ポスト部分と整列する第 2 ポスト部分を形成するように、前記導電層を処理するステップと
を含む、構造から突出する長尺ポストを形成する方法。

【請求項 29】

前記導電層を処理する前記ステップが前記導電層をエッチング液に露出させるステップを含み、前記方法がさらに、前記露出ステップの完了前に、前記保護層が前記第 1 ポスト部分を前記エッチング液から保護するように、前記第 1 ポスト部分を包囲する保護層を塗布するステップをさらに含む請求項 28 に記載の方法。

【請求項 30】

前記保護層が誘電体層である請求項 29 に記載の方法。

【請求項 31】

前記保護層を除去するステップをさらに含む請求項 29 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本願は、2004年6月25日に出願した米国特許仮出願第60/583,109号の出願日を主張し、その開示を参照により本明細書に組み込む。

【0002】

発明の分野

本発明は、超小型電子アセンブリに有用な部品およびアセンブリ、そのような部品を組み込んだアセンブリ、ならびにそのような部品を作製する方法に関する。

【背景技術】

【0003】

半導体チップのような超小型電子素子は一般的に、半導体チップ自体を外部環境から保護しかつ回路基板へのチップの取り付けを容易にするパッケージに入れて提供される。例えば、一部の超小型電子パッケージは、頂面および底面を有しかつ底面に露出した導電性端子を有するボードまたはシートのような誘電体要素を組み込んだ接続部品を含む。チップは頂面に取り付けられ、誘電体要素の表面上または誘電体要素内に延在する導電性トレースのような様々な構成によって、端子に接続される。チップは一般的に、小さいコンタ

10

20

30

40

50

クトを持つ表面と、反対側を向いた裏面とを有する。チップは、チップの表面が誘電体要素の頂面と対面しかつチップの裏面が上向きに誘電体要素とは反対方向を向くように、フェースダウン構成で取り付けることができる。他の場合、チップは、チップの裏面が下向きに誘電体要素の頂面方向を向くように、フェースアップ構成で取り付けることができる。チップの表面上のコンタクトは一般的に、コンタクトとトレースと一体的に形成されたりリードとの間のダイレクトボンディングまたはワイヤボンディングのいずれかによって、誘電体要素上のトレースに接続される。例えば、その開示内容を参照により本明細書に組み込む米国特許第6,177,636号に開示されている通り、同様のチップパッケージに誘電体要素の底面から突出するポストの形の端子を形成することができる。ポストはエッチングプロセスを用いて作製することができる。開示内容を参照により本明細書に組み込む、本願と同一譲渡人に譲渡された全て2003年12月30日出願の米国特許同時係属仮出願第60/533,210号、第60/533,393号、および第60/533,437号に開示される通り、ポストを利用するパッケージは、多数の有利な特徴をもたらすことができる。例えば、ポストおよび単一または複数の誘電体層は、ポストの先端を検査用ソケットと係合させるときに、ポストの先端と検査用ソケットのコンタクトとの間に達成される接触を容易にするために、ポストの傾きを促進するように構成することができる。

10

【0004】

金属ポスト構造を使用する多層回路基板用の個々の層のような電子接続構造を作製するという試みが行われてきた。日本国東京のノース・コーポレーションによって開示された1つのプロセスでは、金属板をエッチングして、板から突出する金属ポストを形成する。誘電体層は、ポストが誘電体層を貫通して突出するようにこの板に塗設される。誘電体層の内側面すなわち上面は上向きに金属板方向を向く一方、誘電体層の外側面すなわち下面は下向きにポストの先端方向を向く。誘電体層は、ポリイミドのような誘電体をポストの周囲の板上に被覆することによって、また、より一般的には、ポストがシートを貫通するようにポストを誘電体シートと強制的に係合させることによって、作製することができる。シートが所定の位置に配置された後、金属板をエッチングして、誘電体層の内側に様々なポストの基部まで延在する個々のトレースを形成する。

20

【0005】

このプロセスによって作られる部品は、特定の型の半導体チップパッケージの接続部品として使用する場合の特定の欠点を免れない。例えば、チップはフェースダウン配向で取り付け、かつチップのコンタクトは、チップから誘電体要素の大きい開口またはスロットを介して、または誘電体要素の縁の周囲に延びて誘電体要素の外面すなわち底面に接近するワイヤボンディングを用いて、接続部品のトレースに接続することが往々にして望ましい。そのようなワイヤボンディングは単純な1段階のボンディング操作で形成することができる。しかし、上述したプロセスでは、トレースは誘電体要素の内側すなわち上側に形成される。したがって、トレースは、チップのコンタクトへのそのような単純な1段階のワイヤボンディング接続を行なうように露出していない。

30

【0006】

この問題の1つの解決策としては、2段階ワイヤボンディング手順を使用し、チップを部品に配置する前にボンディングワイヤをトレースに接続して、スロットを介してまたは誘電体要素の縁から突出するワイヤの自由端を残すことがある。チップを接続部品上に配置した後、ワイヤの自由端はアクセス可能な状態を維持するので、ワイヤの自由端を第2ボンディングステップでチップのコンタクトに結合することができる。しかし、2段階ボンディングプロセスは組立手順のコストおよび複雑さを増大させ、かつチップ取り付け段階中のチップコンタクトまたはボンディングワイヤの接着剤汚染、およびボンディングワイヤの自由端とチップコンタクトとのミスアラインメントのような欠陥の危険性を生み出す。

40

【0007】

開示の内容を参照により本明細書に組み込む、本願と同一譲渡人に譲渡された2003年10月6日出願の同時係属米国特許仮出願第60/508,970号の特定の実施形態

50

に開示されるように、ポストを含む接続部品は、誘電体の底面すなわち外面に露出したパッドを設けることができる。該部品は、上述の通り、金属シートが誘電体層の頂面すなわち内面上に配置され、かつポストが誘電体層を貫通して突出し、誘電体層の底面を越えて突出するように、ポストを有する金属シートを誘電体層と一体化することによって作製することができる。ポストの幾つかは、これらのポストを、誘電体の外面すなわち底面からごくわずかに突出するパッドに変えるように、圧壊、研磨、または他の方法で処理される。金属シートをエッチングして、パッドをポストに接続するトレースを形成する。パッドは、誘電体の縁に隣接して、または誘電体のスロットに隣接して形成することができる。そのような部品は、チップのコンタクトを誘電体の縁の外側に、あるいは誘電体のスロットと整列するように配置して、フェースダウン配向でチップと組み合わせることができる。パッド、およびしたがってトレースおよびポストは、単純な１段階ワイヤボンディング手順によって、チップ上のコンタクトに接続することができる。

10

20

30

40

50

【発明の開示】**【0008】**

本発明の一態様は、超小型電子素子を取り付けるための接続部品を提供する。本発明のこの態様に係る接続部品は、上向きの内側面および下向きの外面を有する誘電体層を含むことが望ましい。接続部品は、誘電体層上を前記外側面から離隔して、例えば、誘電体層の内側面上または誘電体層の厚さ内を延びる、導電性トレースを有することが望ましい。導電性ポストはトレースから誘電体層を貫通して延び、誘電体層の外側面を越えて下方に突出する。本発明のこの態様に係る部品は、誘電体層の外側面に露出した導電性パッドを含み、前記パッドの少なくとも幾つかは前記トレースの少なくとも幾つかによって前記ポストの少なくとも幾つかに電氣的に接続されることが望ましい。

【0009】

ポストは、部品およびしたがって部品に担持される超小型電子素子を、例えば、ポストの誘電体層から離隔した端部を回路パネルにはんだ結合することによって、回路基板のような回路パネルに取り付けるために使用することができる。パッドは、部品に取り付けられた超小型電子素子との接続を行なうために使用することができる。特に好ましい構成では、パッドはワイヤボンディングに使用される。パッドは誘電体層の縁付近に、または誘電体層のスロットもしくは他の開口付近に配置することが望ましい。

【0010】

本発明のさらなる態様は、上述した部品および該部品に取り付けられた超小型電子素子を含むパッケージされた超小型電子素子を提供する。該部品の誘電体層は、超小型電子素子のコンタクト支承面すなわち表面に載上するのが最も一般的であり、超小型電子素子のコンタクトの少なくとも幾つかは、部品のパッドの少なくとも幾つかに接続される。この接続は、部品の縁周囲に延びるか、または部品の開口を貫通するワイヤボンドのような長尺リードを含むことが最も好ましい。

【0011】

本発明のさらなる態様は、接続部品の作製方法を提供する。本発明のこの態様に係る方法は、誘電体層および本明細書でコネクタと呼ぶ導電性要素を含み、外側導電層がコネクタを被覆した開始構造から始めることが望ましい。該方法は、外側導電層の少なくとも一部をパッド位置で除去する一方、ポスト位置でこの層の少なくとも一部を残すように、この層を処理するステップを含むことが最も好ましい。こうして、該処理により、コネクタを組み込んだパッドおよびポストが形成される。例えば、該処理ステップは、パッド位置で外側導電層の厚さ全体を除去し、それによってコネクタのみからなるパッドを形成し、かつポスト位置で外側導電層の厚さ全体を残して、導電層の材料から形成された部分と一緒にコネクタを含むポストを残すように実行することができる。

【発明を実施するための最良の形態】**【0012】**

本発明の１実施形態に係る部品を作製する方法は、上向きの内側面 24 と下向きの外面 26 とを有する誘電体層 22 (図 1) を利用する。この開示で使用する場合、「上向き」

、「下向き」、「垂直方向」、および「水平方向」のような用語は、指定された要素の基準系 (frame of reference) を指すものと理解すべきであって、通常の重力基準系に準拠する必要は無い。誘電体層は、頂面と底面との間を貫通して延びる穴 28 を有する。誘電体層は任意の厚さとすることができるが、最も一般的には約 10 ~ 100 μm の厚さである。それは、ポリイミド、BT 樹脂、または可撓性回路パネルを形成するのに一般的に使用される型の他の材料の層のような中実の均等な層とすることができる。あるいはガラス繊維強化エポキシのような強化層とすることができる。誘電体層はまた、グランドプレーンまたはトレースの層のような内部導電性構造をも含むことができる。一般的に、そのような内部導電層は、下述するように穴内に配置される導電性素子と接触しないように、大部分または全ての穴 28 から隔離される。

10

【0013】

該プロセスはまた、望ましくは銅または銅系合金のような金属から形成された、最も一般的には約 5 ~ 50 μm の厚さの導電性内部導電層 30 をも使用する。層 30 は、層の残部と一体的に形成され層の片面から延出しかつ本明細書で「コネクタ」と呼ばれる突起 32 を有する一体構造である。コネクタ 32 は、誘電体層の穴 28 のパターンに対応するパターン状に配設される。エッチング可能な導電性材料、望ましくは銅または銅系合金のような金属から形成された、平面状の外部導電層 34 も使用される。外部導電層 34 は最も一般的には約 50 ~ 300 μm の厚さである。

【0014】

プロセスの 1 段階で、導電層および誘電体層は積層されて、プロセス中間構造 38 (図 2) を形成する。積層プロセスは、コネクタ 32 が誘電体層 22 の穴 28 を貫通して延びて外部層 34 と当接するように、実行される。当接接触を確実にするために、積層前の突起 32 の高さは誘電体層 22 の厚さよりわずかに大きくすることができ、突起 32 が外部層 34 との係合によってわずかに平坦化されるように、両層は圧搾機またはニップで一緒に締め付けられる。最も好ましくは、突起 32 および層 34 の当接面は相互に接合される。例えば、これらの表面は、層 30 および 32 の間に電流を印加して当接面で電気抵抗溶接を実行することによって、接合することができる。また、音波または超音波エネルギーを印加して、コネクタ 32 と外部層 34 の溶接を促進することができる。代替的にまたは追加的に、コネクタ 32、層 34、または両方の当接面に、接合プロセス中に活性化される共晶接合合金またははんだのような接合材の薄層 (図示せず) を設けることができる。

20

30

【0015】

プロセス中間ユニット 36 で、内部導電層 30 は誘電体層 24 の上面に接着される。そのような接着は、これらの層の 1 つに担持される接着剤の層 (図示せず) によって達成することができる。代替的に、誘電体層は部分的に硬化した状態で提供され、積層プロセス中に層 30 と接触した状態でさらに硬化することができる。図 1 では個々の層は分離して描かれているが、誘電体層 22 は最も一般的には、内部層 30 または外部層 34 上の積層プロセスに移すことができる。例えば、連続誘電体層を融除、穿孔、またはエッチングして穴を形成するなどによって、誘電体層に穴 28 を設け、次いで外部導電層上に誘電体層を積層することができる。代替的に誘電体層 22 は、導電層に液体前駆物質を被覆し次いで前駆物質を硬化させて誘電体を形成するなどによって、導電層上に形成することができる。誘電体が電子部品上のはんだマスクとして一般的に使用される型の感光材のような感光材である場合、穴 28 は誘電体に写真パターン形成することによって形成することができる。さらなる変形では、コネクタが誘電体層を貫通するように、事前形成された穴の無い完全にまたは部分的に硬化した中実の誘電体層を強制的に、内部または外部導電層支持コネクタに係合させることができる。このプロセスを促進するように、コネクタは尖端または尖縁を形成することができる。

40

【0016】

プロセス中間ユニット 36 (図 2) は、導電層の間に配設された誘電体層 22 を貫通して延びるコネクタ 32 によって相互に接続される内部および外部導電層 30 および 34 を有する。

50

【 0 0 1 7 】

プロセスのさらなる段階で、プロセス中間ユニットの外部導電層 3 4 は処理される。この処理ステップで、フォトレジスト 3 8 のような耐エッチング性材料が、層の外面 4 0 上の、コネクタ 3 2 の一部と整列した、本明細書で「ポスト位置」と呼ばれる位置 4 2 に塗布される。ポスト位置以外の位置では耐エッチング性材料は除去される。特に、他のコネクタ 3 2 と整列した、本明細書で「パッド位置」と呼ばれる位置 4 4 は、耐エッチング性材料で被覆されない。耐エッチング性材料は、従来の写真パターン形成手順によって塗布することができる。レジスト 3 8 の塗布後、層 3 4 の外面 4 0 は、層 3 4 の材料を攻撃するエッチング液に暴露される。エッチング液暴露は、パッド位置 4 4 のような位置における層 3 4 の厚さ全体を除去するのに十分な時間持続される。突出距離 D_p だけ誘電体層の外面 2 6 を超えて突出する 1 組のポスト 4 8 を形成するように、ポスト位置 4 2 では層 3 4 の厚さ全体が残される。単なる例として、 D_p は約 5 0 から約 3 0 0 μm とすることができる。各ポストは、コネクタ 3 0 a (図 3) のようなコネクタ 3 0 の 1 つから形成される上部と、元来外部層 3 4 に存在する材料から形成される下部 5 0 とを含む。下部は、上部と下部との間の接合部にベース面 5 2 を画定する。図示する特定の実施形態では、ベース面は、そのような接合部における上部 3 0 a の水平方向の寸法より大きい水平方向 (誘電体層の表面と平行な方向) の寸法を有する。換言すると、ポストの水平方向の寸法は、上部 3 0 a と下部 5 0 との間の接合部で増加する。

10

【 0 0 1 8 】

パッド位置 4 4 で、コネクタ 3 0 の下向きの面 5 4 (図 3) は、外部導電層 3 4 (図 2) の除去によって露出する。このようにコネクタ 3 0 は、誘電体層の外面すなわち底面 2 6 に露出する表面を持つパッドを形成する。図示した特定の実施形態では、パッド 3 0 b の露出面 5 4 は誘電体層の外面 2 6 と厳密に面一であるが、これは必須ではない。露出面は外面 2 6 に対して後退することができ、あるいは下述するようにそのような面の先に突出することができる。この開示で使用する場合、導電性特徴は、金属特徴がそのような表面に塗布されたコンタクトまたは接合材にアクセス可能である場合、誘電体層の表面に「露出している」とみなすことができる。このように、誘電体の表面から突出するか、あるいは誘電体の表面と面一である金属特徴は、そのような表面に露出する一方、誘電体の穴内に配置されあるいはそれと整列して誘電体の表面まで延びる後退した導電性特徴もまた、そのような表面に露出する。

20

30

【 0 0 1 9 】

プロセスのさらなる段階では、プロセス中間ユニット 3 6 の内部導電層 3 0 は、この層上のさらなるフォトレジストまたは他の耐エッチング性材料 5 6 (図 2) をパターン形成し、次いでこの層をエッチング液に暴露させてフォトレジストで被覆されない部分を除去することによって処理される。内部導電層の残部は、パッド位置 4 4 の少なくとも一部とポスト位置 4 2 の少なくとも一部との間に延びるトレース 5 8 (図 3) を形成するので、これらのトレースは、パッド 3 0 a の少なくとも一部をポスト 4 8 の少なくとも一部と電氣的に接続する。図 3 の断面図にはパッド 3 0 b は 2 つしか描かれていないが、多数のパッドが図 3 の図の平面内に入りかつそこから出る方向に延びる 2 つの平行な相隔たる列に形成されることが望ましい。パッドの露出面 5 4 およびポストの表面は、ニッケルおよび金のような耐酸化性金属をメッキすることができる。

40

【 0 0 2 0 】

スロットがパッド 3 0 b の列間の延び、かつパッドがスロットの縁に隣接して配置されるように、誘電体層の中央領域にスロット 6 6 が形成される。スロット 6 6 は、例えば誘電体層を機械的に穿孔することによって、レーザもしくは他の集中エネルギー源を用いて誘電体層を融除することによって、または誘電体層を化学的にエッチングすることによって形成することができる。このように完成した接続部品は図 3 に示す形状を有し、パッドがスロットの縁に隣接するスロット縁領域に配置される一方、ポスト 4 8 が誘電体層の他の領域に設けられる。

【 0 0 2 1 】

50

部品を作成するために使用されるステップの順序は、上述した順序から変えることができる。例えば、理解を容易にするために、外部導電層 34 および内部導電層 30 を処理するステップを上では順次記述したが、これらのステップは任意の順序で、または同時に実行することができる。例えば、フォトレジスト 38 および 56 (図 2) の塗布後、内部および外部導電層の両方を同時にエッチングすることができる。また、導電層 30 は、最初に誘電体層と一体化された場合、個々の導電性特徴またはトレース 58 の形とすることができる。例えば、トレース 58 は、外部導電層の処理前または後に、誘電体層上に選択的に配設することによって形成することができる。外部導電層の処理前に、内部導電層 30 またはトレース 58 が内面 24 上に堆積することによって形成される場合、コネクタ 32 は同一堆積ステップで形成することができる。さらなる変形では、コネクタ 30 (図 1) は最初に、内部導電層ではなく、外部導電層に形成することができる。この場合、外部導電層は内部導電層またはトレースの塗布前または後で処理することができる。また、誘電体層にスロットを形成するステップは、プロセスの他のステップの前または後に実行することができる。また、誘電体層 22 がより大きいシートまたはテープの一部である間に、様々なステップを実行することができ、かつ実行することが最も好ましい。図 3 に示すように、個々の接続部品は、そのようなシートまたはテープを切断することによって得ることができる。しかし、最も一般的には、半導体チップまたは他のデバイスが部品に取り付けられる後まで、接続部品はシートまたはテープの形のままである。

10

20

30

40

50

【0022】

プロセス中間ユニット 36 (図 2) を形成する他の方法を使用することができる。単なる例として、層 22 は、例えば圧縮成形金型または射出成形金型に内部導電層 30、コネクタ 32、および外部導電層 34 を係合し、誘電体層を適切に形成するように未硬化誘電体をコネクタの周囲に注入するなどによって、コネクタ 32 の周囲に鑄造または成形することができる。代替的に、誘電体は流動可能な材料として塗布することができ、重力の影響下で、または遠心分離装置もしくは同様の装置に加えられる遠心力の影響下で、コネクタの周囲の層を形成するように流動させることができる。

【0023】

図 3 の部品を用いて作られた、パッケージされた超小型電子素子 68 (図 4) は、表面 72 を有する半導体チップまたは他の超小型電子素子 70 と、表面上に 1 列以上に配設されたコンタクト 74 とを組み込む。部品および半導体チップは、誘電体層の内面 24 がチップの表面方向を向いた状態で、部品の誘電体層 22 が表面上に載上するように、組み立てられる。チップ上のコンタクト 74 の列は、誘電体層のスロット 66 と整列される。ダイアタッチ層 75 は、チップの表面と誘電体層の内側面との間に設けられる。一般的に、このダイアタッチ層は誘電性接着剤を含む。場合によりダイアタッチ層は、試験および稼働中にチップに対する接続部品のポスト 48 および他の要素の移動を容易にするように、可撓層を含むことができる。

【0024】

チップのコンタクト 74 は、スロット 66 を貫通して延びるワイヤボンダ 76 によってパッド 62 に接続される。コンタクトがパッドにワイヤボンディングされた後、パッドおよびワイヤボンダ上に誘電性封止材 78 が塗布され、一般的に、封止材がチップ上のコンタクト 74 を被覆しかつダイアタッチ材 75 にも接触するように、スロット 66 を充填する。オーバーモールドがチップの露出した縁を被覆し、かつ一部の用途では、追加の物理的保護をもたらすためにチップの上向きの後面をも被覆するように、追加オーバーモールド (図示せず) をチップの周囲に設けることができる。

【0025】

望ましくは、封止材 D_E の底面すなわち外面 26 からの高さまたは突出距離は、ポストの高さまたは突出距離 D_P に等しいかそれより低い。また、ワイヤボンダ 76 が封止材によって完全に被覆されるように、ワイヤボンダ 76 の高さまたは突出距離は D_P より低く、かつ D_E より低い。換言すると、パッド 30b とポスト 48 との間の高さまたは突出距離の差は、パッドの上にあるワイヤボンダ 76 の厚さおよびワイヤボンダの上にある封止

材の厚さを収容するのに充分である。ワイヤボンディングおよび封止ステップは、従来の装置および手順を用いて実行することができる。特に、ワイヤボンディングステップは、誘電体層の外面すなわち底面 26 からアセンブリに接近するボンディングツールを用いて 1 回のボンディング操作で実行することができる。上述の通り、部品は一般的に、多数の部品を含むシートまたはテープの形で提供される。チップはこれらの部品に取り付けられ、ワイヤボンディングおよび封止手順は、接続部品がシートまたはテープの形である間に実行することが好ましい。手順が実行された後で、各々が 1 つ以上のチップを組み込んだ多数の個別ユニットが生じるように、シートまたはテープは一般的に切断される。

【0026】

パッケージされたチップは、ポスト 48 をテストフィクスチャ（図示せず）と係合することによって検査することができる。場合によっては、ポスト 30 は、全てのポスト 30 とテストフィクスチャとの適切な係合を保障するために、検査手順中に垂直方向にチップ 70 に近づけたり遠ざけることができる。そのような移動は、誘電体層 22 およびトレース 58 を柔軟にすることにより、かつダイアタッチ層 75 に圧縮性を提供することによって促進することができる。加えて、ポスト、誘電体層、およびダイアタッチ層は、テストフィクスチャとの係合中にポストの移動および好ましくはポストの傾斜を促進するために、上述した同時係属出願第 60 / 533, 210 号、第 60 / 533, 393 号、および第 60 / 533, 437 号に示すような特徴を設けることができる。検査作業は、テープの個々のユニットの切断の前または後、および封止材 78 の塗布の前または後に実行することができる。検査作業が封止材およびオーバーモールドを施す前に実行される場合、検査作業で検出される欠陥ワイヤボンド 76 は再加工することができる。

10

20

【0027】

パッケージされた超小型電子素子 68 は、図 5 に部分的に示される回路基板 80 のような回路パネルに取り付けることができる。ポスト 48 は、従来の表面実装技術を使用して、回路基板の頂面のコンタクトパッド 82 に結合することができる。好ましくは、はんだ 84 のような結合材の薄層のみが、ポストの先端とコンタクトパッドとの間に設けられる。誘電体層 22 から離隔するポストの端が結合材の塊内に係合されるように、多少の結合材をポスト（図示せず）に沿って上延させることもできる。従来の方法で、回路パネル 80 は、コンタクトパッド 82 を電子回路の他の要素と接続するトレース（図示せず）のような導電性要素を含む。封止材 78 は回路基板の頂面には無関係である。

30

【0028】

完成した回路で、ポスト 48 は望ましくは、チップのコンタクト 74 に対する回路基板上のコンタクトパッド 82 の移動が、例えば動作中の要素の熱膨張差および熱収縮、ならびに製造中、例えばはんだ接合プロセス中の収縮によって発生した場合に、それに適応するためにわずかに移動または傾斜することができる。ポストはまた、そのような移動に適応するために、わずかに屈曲してもよい。

【0029】

図 1 ~ 5 の図は、分かり易くするために簡略化されている。一般的に、部品はスロットの両側に 2 列以上のポストを含む。図 6 の底面図に示すように、誘電体層 22 は略矩形とすることができ、スロット 66 は長尺とすることができ、1 列以上のパッド 30 b がスロットの縁に隣接してスロット縁部領域に設けられるが、誘電体層の他の領域には多数の列のポスト 48 が設けられる。パッド 30 b は、上述の通りトレース 58 によってポスト 48 に接続される。同じく図 6 にも示す通り、各パッドは 1 つ以上のポストに接続することができ、ポストは幾つかのトレースによって相互に接続することができる。分かり易くするために、ごく少数のトレース 58 だけが図 7 に示されている。上述の通り、誘電体層 22 は、グランドプレーンのような埋込み導電性特徴を持つことができる。さらに、トレース 58 と同じ作業で形成される導電性特徴は、グランドまたは電源プレーンとして働き、かつポストおよび/またはパッドの一部に接続することのできる、例えば、導電性プレーンのような他の導電性要素も含むことができる。

40

【0030】

50

スロットを誘電体要素の中心に設けることは必須ではない。このように、スロット 6 6 は誘電体要素の中心から偏位させることができる。また、単一の誘電体要素に 2 つ以上のスロットを設けることができる。さらなる変形では、スロットは、各々がチップ上の 1 つ以上のコンタクト 7 4 を包囲する、1 組の離散開口に置換することもでき、ワイヤボンドはこれらの開口を貫通して延びることができる。

【0031】

本発明のさらなる実施形態に係るパッケージされたチップ 1 6 8 (図 7) は、誘電体層 1 2 2、パッド 1 3 0 b、ポスト 1 4 8、および上述したのと実質的に同じ方法で作製されるトレース 1 5 8 のような、上述した対応する特徴と同様の導電性特徴を有する接続部品を含む。しかし、この実施形態では、誘電体層は対向縁 1 0 2 および 1 0 4 を含み、パッド 1 3 0 b は、誘電体層の縁領域にこれらの縁に隣接して形成される。この実施形態でも、チップまたは他の超小型電子素子 1 7 0 は、その表面すなわちコンタクト支承面を下向きに誘電体要素の方向に向けて取り付けられる。チップは対向縁 1 0 6 および 1 0 8 を有し、チップ表面の縁領域は誘電体層の縁 1 0 2 および 1 0 4 を超えて外側に突出する。チップのコンタクト 1 7 4 は、例えば、各縁領域に 1 列以上のコンタクトを設けるなどによって、チップ表面のこれらの縁領域に配置される。ワイヤボンド 1 7 6 はコンタクト 1 7 4 から延び、誘電体要素の縁 1 0 2 および 1 0 4 の周囲に延びる。封止材 1 7 8 はワイヤボンドを被覆し、チップの縁領域および誘電体要素の縁領域を被覆する。さらなる変形では、封止材は、チップの縁に物理的保護をもたらすように、チップの縁をも被覆することができる。代替的に、チップの周囲にさらなるオーバーモールドを設けることができる。パッドおよびワイヤボンドを 2 つの対向縁のみに設けることは必須ではない。例えば、パッドおよびワイヤボンドは矩形の誘電体要素の 4 縁に設けることができ、チップはこれらの縁の全てを超えて延びる縁領域を有することができる。逆に、チップは誘電体要素の 1 つの縁のみを越えて延びることができ、パッドはその縁のみに設けることができる。また、パッドが誘電体要素の両方の外縁に、かつ誘電体要素の 1 つ以上のスロットの縁に沿って設けられるように、図 7 に例示する縁パッド法を、図 6 に示すスロット縁パッドと組み合わせることができる。

【0032】

上述した実施形態では、パッドは、誘電体要素の外面すなわち底面と略面一の露出面を有する。しかし、図 8 の部分断面図に示すように、パッドは、誘電体要素の外面 2 2 6 の上に後退した露出面 2 5 4 を持つことができる。この型のパッドは、エッチングステップがパッド位置の外部導電層を完全に除去するために必要な時間を超える時間持続されることを除いては、外部導電層を処理するために図 2 および 3 に関連して上述したと同様のエッチングプロセスを用いて作製することができる。後退凹パッドは、パッドの高さとポストの高さとの間の差を増大し、したがってワイヤボンドおよび封止材の厚さのための空間距離を増大する。パッドの厚さはさらに低減することができ、実際、パッドの露出面がパッド位置で誘電体層の穴 2 2 8 を通して底面 2 2 6 に露出されるリード自体の表面 2 5 5 によって画定されるように、ゼロまで低減することができる。そのような構成は、たとえば厚さゼロのパッドでも、露出面 2 5 5 がワイヤボンディングのために誘電体層の底面 2 2 6 に十分に近づくように、例えば、薄い誘電体層を有する部品で使用することができる。

【0033】

逆に、図 9 の部品は、外面 3 2 6 から下方に延びるパッド 3 3 0 b を含む。パッドおよび特にパッドの露出面 3 5 4 はしたがって、外面を越えて下方に突出する。ポスト 3 4 8 は、ポストのベース面 3 5 2 が誘電体層の外面から離れるように、外面 3 2 6 の下に突出する上部 3 3 0 a を含む。ここで再び、ワイヤボンドおよび封止材 (図示せず) を受け入れることができるように、ポストの高さはパッドの高さを越える。この構成の部品は、外部導電層の部分を除去してポストを形成するために使用されるエッチング液によってコネクタが実質的に攻撃されないように、例えば、最初に誘電体層の厚さより大きい高さのコネクタを作成し、コネクタに耐エッチング性層を設けることによって作成することができ

る。

【0034】

上述した実施形態では、層34（図2および3）のような外部導電層の厚さ全体がパッド位置44で除去される。しかし、これは必須ではない。外部導電層の厚さの一部は、外部導電層の一部が各パッドの一部として残るように、パッド位置に適切に残すことができる。例えば、耐エッチング性材料のスポットは、外部導電層が特定の程度までエッチングされた後、パッド位置に塗布することができる。代替的に外部導電層は、銅または他のエッチングが容易な導電性材料の2つの層を含み、パッド位置でこれらの層の間に配設された金のような耐エッチング性材料のスポットを持つ複合層として設けることができる。この場合、エッチングプロセスは、それが層間の境界に達したときにパッド位置で停止される。

10

【0035】

また、上述したプロセスで、ポストが外部導電層34（図1および2）の当初の厚さに等しい突出距離 D_p （図3）を持つように、ポスト位置では外部導電層の厚さ全体が適切に残される。しかし、これは必須ではない。外部導電層の当初の厚さの一部は処理中に除去してもよい。換言すると、ポスト位置では外部導電層の厚さを全く除去しなくても、あるいは一部を除去してもよく、かつパッド位置では外部導電層の厚さの一部または全部を除去することができる。しかし、ポストがパッドを超えて下方に突出し続けるように、前記外部導電層をパッド位置ではポスト位置より多く除去することが望ましい。

【0036】

上述した議論では、ポストは略切頭円錐形要素として理想化されている。しかし、ポストがこの形状を持つことは必須ではない。図10に示すように、かつ上述した米国特許第6,177,636号に詳述されているように、ポストは、フォトレジストまたはニッケル、金等のような耐食金属とすることのできる耐エッチング性材料を金属板またはシートの表面404に塗布することによって形成することができる。耐エッチング性材料の塗布後、エッチング液がこの表面に、一般的に表面404に垂直に向けられた噴射の形で塗布される。板またはシートの金属をエッチングして、図11に破線で示す構成を有するポスト448を形成することができる。この構成では、ポスト448の下部450は「冷却塔」の形状を有する。各々のそのような下部は、上部430a、ベースから離隔した先端433、およびベースと先端との間の中間部435に接続された、ベース452を有する。ポストがベースから中間部への方向に内向きにテーパし、かつ中間部から先端に向かって外向きにテーパするように、中間部435は先端部433より狭く、かつベース431より狭い。耐エッチング性材料のスポット402が丸い場合、ポストは一般的に、表面404に垂直および残部428の表面に垂直に延びる軸437を中心とする回転体の形状を有する。耐エッチング性材料402が最終製品に望ましくないフォトレジストまたは他の材料である場合、さらなる処理の前に耐エッチング性材料を除去することができる。代替的に、耐エッチング性材料がニッケルまたは金のような耐食金属である場合、それは適切に残すことができる。

20

30

【0037】

本発明のさらなる実施形態は、長尺ポスト548（図12）を提供する。ポスト形成プロセスの1段階で、第1組のポスト部分550（図11）が、誘電体要素の表面のような表面526から突出する。ポスト部分550は任意のプロセスによって形成することができるが、上述したプロセスによって形成することが望ましい。部分550の形成後、金属または他の導電層502がポスト部分550の先端533の上に塗布される。層502は、層の材料をポスト部分550から除去するが、ポスト部分550の上にある層の厚さの少なくとも一部分を残し、それによってポスト部分550と整列する追加ポスト部分504（図12）を形成するように、選択的に処理される。層502に施される処理は、ポスト部分550と整列した耐エッチング性材料506のスポットを使用する、上述エッチングプロセスを含むことができる。層502をエッチングする前に、誘電性封止材508のような保護層を塗布してポスト部分550を被覆することができる。代替的にまたは追加

40

50

的に、層502をエッチングする前に、ポスト部分550をニッケルまたは金のような耐エッチング性導電性材料でメッキまたは他の方法で被覆することができる。

【0038】

連続ポスト部分を形成するプロセスは、部分504の下に追加部分を形成するために繰り返すことができる。本質的に任意の長さのポストを形成することができる。長いポストは、ポスト先端の可撓性および移動性を増大する。図11および12の層508のように、1つ以上の誘電性封止材層がすでに形成されたポスト部分の周囲に残される場合、封止材は、ポストの湾曲を実質的に制限しないように、可撓性であることが望ましい。他の実施形態では、部品を使用する前に、封止材は取り外される。ポストは誘電体基板522および上述したものと同様のトレース528と共に図示されているが、このプロセスを使用して、本質的にいかなる構造用のポストでも作製することができる。

10

【0039】

上述した接続部品は、回路基板に表面実装されるというよりむしろ、ソケットに嵌合されるアセンブリに利用することができる。例えば、上述したパッケージされた半導体チップは、各々のポストがソケットの嵌合穴内に延び、ソケットの接点と電氣的に接触するように、ソケットに取り付けることができる。特定の適切なソケットは米国特許第5,802,699号、第5,980,270号、および第5,615,824号の実施形態に記載されており、それらの開示を参照により本明細書に組み込む。さらなる代替例では、ソケット構成を一時的テストフィクスチャとして使用することができ、検査後に、アセンブリを回路基板にはんだ接合するかまたは他の方法で接合することができる。さらに別の構成では、部品はスタックアセンブリの要素として使用することができる。例えば図13に示すアセンブリは、各々のそのようなパッケージされた超小型電子素子がマルチユニットスタックアセンブリ内の単一ユニットとして働くように、相互に積み重ねられた、各々が図4のパッケージされた素子68と同様である、幾つかのパッケージされた超小型電子素子668a、668b、および668cを含む。各ユニットは、チップ670を超えて突出し誘電体要素の上面すなわち内面624に露出する、トレース658の部分のような、上向きの導電性要素を有する。ポストが様々なユニット間の垂直方向の相互接続要素として働くように、ユニット668cの上向きの導電性要素は、スタックにおける次に高いユニット668bのポスト648に接続される一方、ユニット668bの上向きの導電性要素は、ユニット668aのポスト648に接続される。スタックパッケージの他の特徴は、例えば米国特許公開公報第20030107118A1号および第20040031972A1号に記載されており、それらの開示を参照により本明細書に組み込む。

20

30

【0040】

ポストおよびパッド以外の特徴は、本明細書で論じたプロセスを用いて作成することができる。例えば、熱伝導性要素は、上述の通りエッチングまたは他の処理ステップ中に、外部導電層の厚さの一部または全部を残すことによって提供することができる。そのような熱伝導性要素は、ポストの高さに等しい高さを持つことができ、個々のポストの断面積より大きい断面積を持つことができる。熱伝導性要素の使用は、「MICROELECTRONIC PACKAGES AND METHODS THEREFOR」と称し、Belgacem Hababが発明者として指定された、2004年6月25日出願の同時係属米国特許仮出願第60/583,066号に詳述されており、その開示を参照により本明細書に組み込む。

40

【0041】

上述したアセンブリは、上述した単層の導電性トレースを持つ、比較的単純な部品を含む。しかし、2層以上のトレースを使用することができ、導電性プレーンのような他の導電性特徴を含めることができる。例えば、図14に示すように、多数のトレース層を持つ部品に、追加トレース704を有する追加誘電体層702、およびそのような追加誘電体層を貫通して第1誘電体層722上のトレース758のような導電性特徴まで延びる追加コネクタ706を形成することができる。追加誘電体層702は、第1誘電体層上にトレース758を形成した後に、第1誘電体層に積層することが望ましい。これは、ポスト7

50

48の形成の前または後、およびポストを形成するために使用される外部導電層を第1誘電体層に積層する前または後に、行なうことができる。上述した実施形態では、トレース58(図3~5)のようなトレースは、誘電体層の表面に沿って延びる。しかし、これは必須ではない。トレースまたは他の導電性特徴は、誘電体層内に配設することができる。例えば図14では、トレース758は、層702および722を組み込んだ複合誘電体層内に延在する。この開示で使用する場合、導電性要素が誘電体要素または層「上」にあると言いつきに、導電性要素は誘電体の表面に配設する必要は無く、代わりに誘電体内に配設することができる。つまり、語「上」とは、誘電体の表面における配置を暗示するものではない。

【0042】

上述した実施形態では、チップまたは他の超小型電子素子は、コンタクト支承面が誘電体要素に対面するフェスダウン配向に配設される。しかし、本発明に従って作成された接続部品は、超小型電子素子をフェスアップ配向に取り付けるように使用することができる。例えば、図15に示すように、パッケージされた超小型電子素子は、表面872上にコンタクト874を有するチップ870を含む。表面872は、誘電体要素およびトレースとは反対の上方向を向く。ワイヤボンダ876はコンタクト874からトレース858まで下向きに延び、次にトレースは上述の通りポスト848に接続される。この実施形態では、パッドを誘電体層の外表面すなわち下向きの面に露出させる必要は無い。接続部品を作成するプロセスは、図2および3に関連して上述したのとは異なりパッド位置にコネクタが設けられないことを除いては、上述したのと実質的に同じ方法で実行することができる。さらなる変形では(図16)、チップ871は下向きの面にコンタクト873を有するが、コンタクトは多量のはんだまたは他の結合材875によってリードに接続され、一般的に「フリップチップ」実装と呼ばれる。この実施形態でも、パッドの露出は必須ではない。

【0043】

さらなる変形では(図17)、内部導電層から形成されたトレース958は、トレースと一体的に形成されたリード部分959を含む。最初に形成されたときにこれらのリード部分は、フェスダウン配向に配設されたチップ970のような超小型電子素子のコンタクト974にそれらを結合することができるように、誘電体要素のスロット966を越えて部分的にまたは完全に突出する。さらなる変形では、図7に示すコンタクト174のようなチップの突縁上のコンタクトにリード部分を結合することができるように、リード部分は誘電体要素の1つ以上の縁を越えて突出することができる。

【0044】

さらに別の変形(図18)では、接続部品は、誘電体要素1022の底面または外面1026に露出するポスト1048およびパッド1030の両方を有する。図1~5に関連して上述した実施形態では、ポスト1048はパッドを超えて下方に突出する。チップ1070のような超小型電子素子は誘電体要素の下に取り付けられ、はんだ要素1002または他の接合技術によってパッド1030に接続される。この超小型電子素子は、パッドによってトレース1058に接続される。さらなる超小型電子素子1071は場合により誘電体要素より上に設けられ、はんだ要素1004を使用するフリップチップボンディングによってトレース1058に接続される。トレースの構成に応じて、トレースはチップ1070および1071のいずれか一方または両方をポスト1048に接続することができる。この実施形態では、パッドおよびポストの間の高さの差が、底部チップ1070を取り付けるための空間を提供する。底部チップはポストの先端より下に突出せず、したがってポストと回路パネルとの間の接続を妨害しない。他の実施形態では、誘電体要素上のパッドの一部は、誘電体要素より上に配設されたチップまたは他の要素に、ワイヤボンディングプロセスなどによって接続を行なうために使用することができる一方、他のパッドは誘電体要素より下に配設されたチップに接続することができる。

【0045】

請求の範囲によって定義される本発明から逸脱することなく、上述した特徴のこれらおよび他の変形および組合せを利用することができ、好ましい実施形態の上記記述は、請求の範囲によって定義される本発明の制限ではなく、説明と受け止めるべきである。

【図面の簡単な説明】

【0046】

【図1】本発明の一態様に係る方法の1段階中の接続部品の要素を示す略断面図である。

【図2】プロセス中の後の段階における要素を示す、図1と同様の図である。

【図3】図1および2のプロセスで形成された部品の略断面図である。

【図4】図3の部品を組み込んだパッケージされた超小型電子素子を示す略断面図である。

10

【図5】図4のパッケージされた超小型電子素子を回路基板と共に組み込んだアセンブリを示す略断面図である。

【図6】図を分かり易くするために一部分を除去した、図4に示したアセンブリの略平面図である。

【図7】本発明のさらなる実施形態に係るパッケージされた超小型電子素子および接続部品を示す略断面図である。

【図8】本発明のさらに別の実施形態に係る接続部品の一部分を示す部分略断面図である。

【図9】本発明のさらに別の実施形態に係る部品を示す、図8と同様の図である。

【図10】作製工程における1段階中の本発明の別の実施形態に係る部品を示す略断面図である。

20

【図11】本発明のさらに別の実施形態に係る部品の形成時の次の段階中のそのような部品を示す略断面図である。

【図12】本発明のさらに別の実施形態に係る部品の形成時の次の段階中のそのような部品を示す略断面図である。

【図13】本発明のさらに別の実施形態に係る複数のパッケージされた半導体チップを組み込んだアセンブリの略断面図である。

【図14】本発明のさらなる実施形態に係る接続部品およびパッケージされた半導体チップの略断面図である。

【図15】本発明のさらなる実施形態に係る接続部品およびパッケージされた半導体チップの略断面図である。

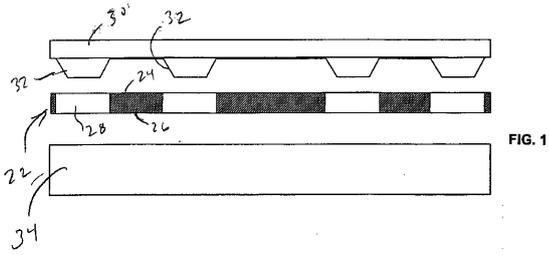
30

【図16】本発明のさらなる実施形態に係る接続部品およびパッケージされた半導体チップの略断面図である。

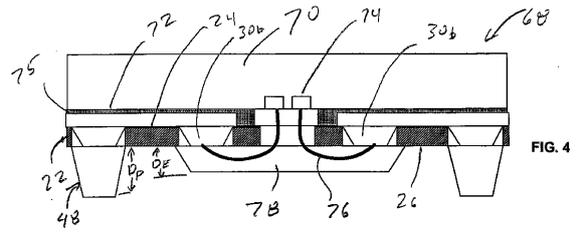
【図17】本発明のさらなる実施形態に係る接続部品およびパッケージされた半導体チップの略断面図である。

【図18】パッケージされた超小型電子素子を追加の超小型電子素子と共に組み込んだアセンブリを示す図14～17と同様の図である。

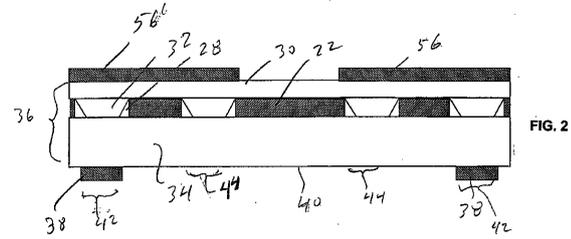
【 図 1 】



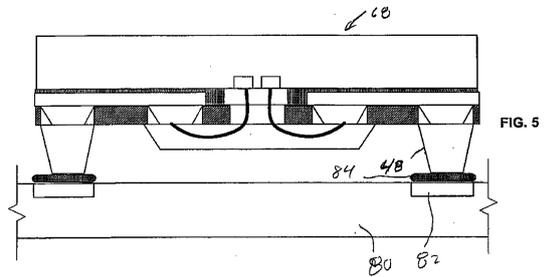
【 図 4 】



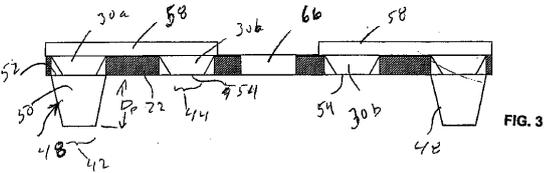
【 図 2 】



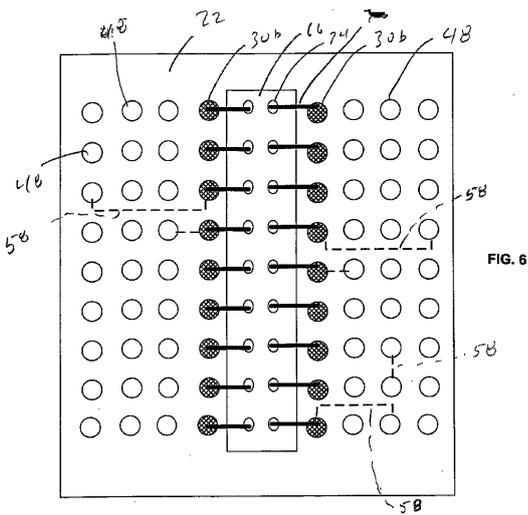
【 図 5 】



【 図 3 】



【 図 6 】



【 図 8 】

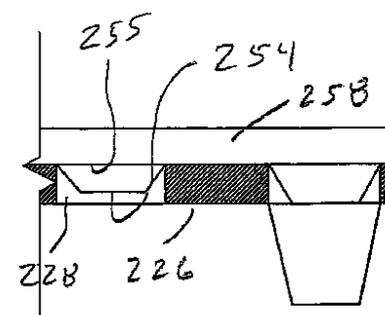


FIG. 8

【 図 7 】

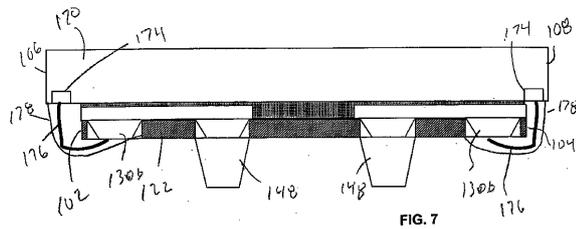
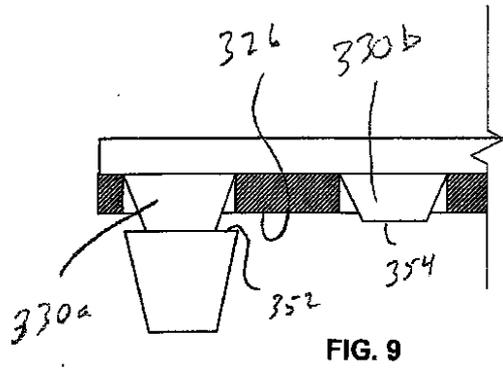
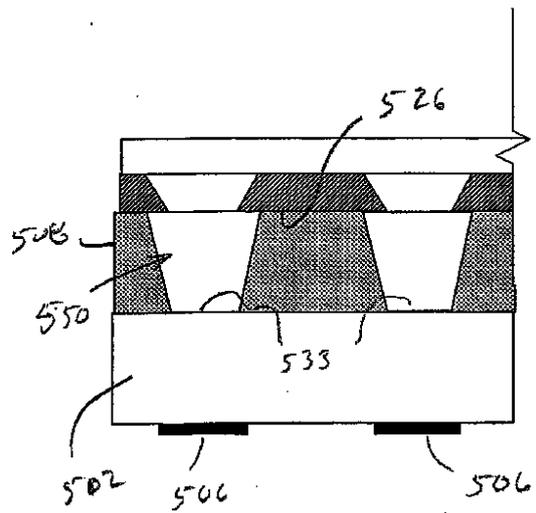


FIG. 7

【 図 9 】



【 図 1 1 】



【 図 1 0 】

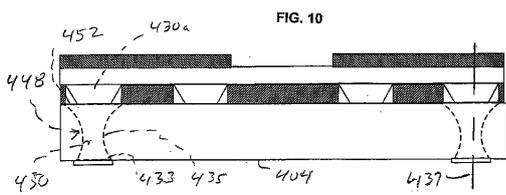
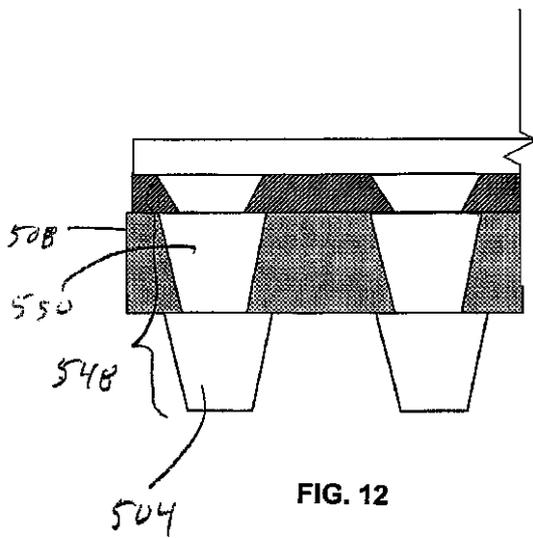


FIG. 11

【 図 1 2 】



【 図 1 3 】

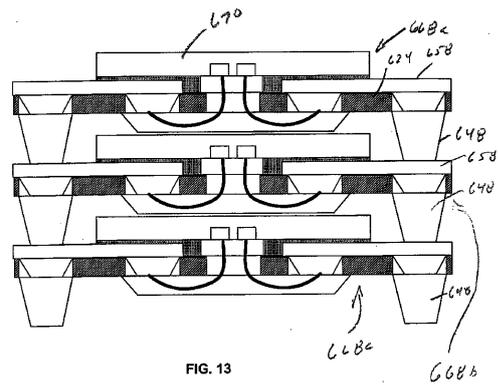
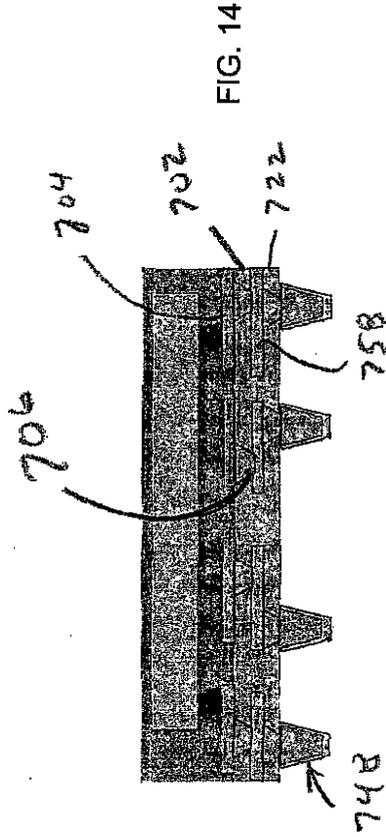


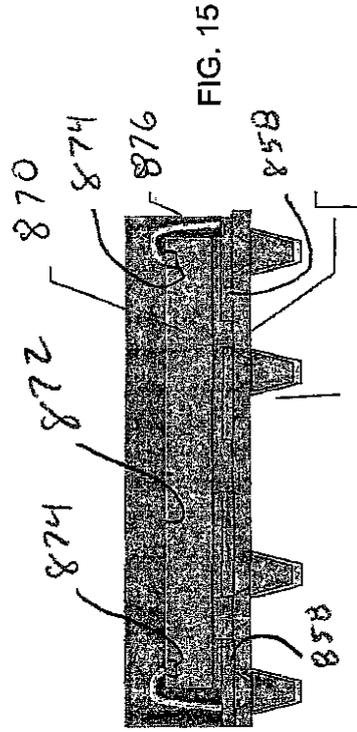
FIG. 12

FIG. 13

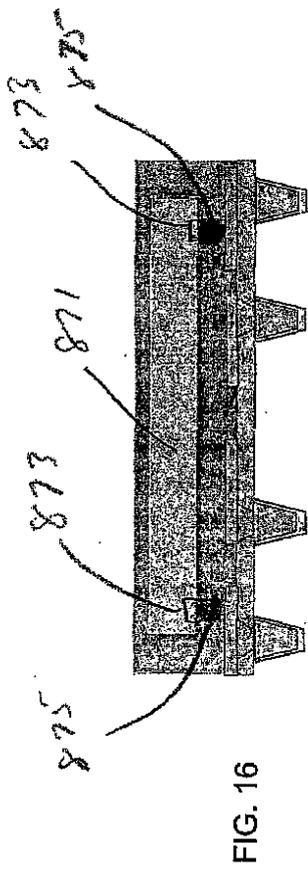
【 図 1 4 】



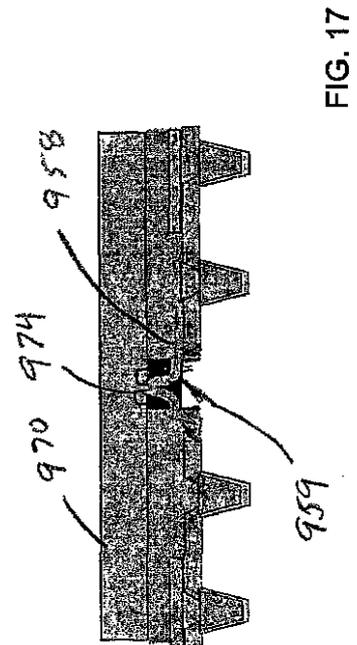
【 図 1 5 】



【 図 1 6 】

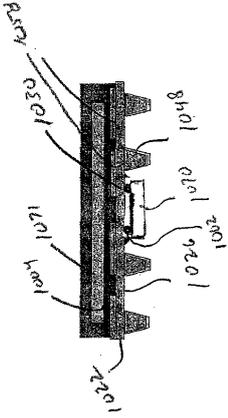


【 図 1 7 】



【 図 18 】

FIG. 18



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Inter Application No PCT/US2005/022753
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L23/498 H01L23/13		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 973 391 A (BISCHOFF ET AL) 26 October 1999 (1999-10-26) the whole document	1-6, 8, 9, 15-17
Y	-----	7, 10-14
X	US 6 177 636 B1 (FJELSTAD JOSEPH C) 23 January 2001 (2001-01-23) cited in the application	18-31
Y	the whole document	7, 10, 11
Y	US 6 515 355 B1 (JIANG TONGBI ET AL) 4 February 2003 (2003-02-04) figures 6b,7	12-14
A	US 6 052 287 A (PALMER ET AL) 18 April 2000 (2000-04-18) figure 1	1-17
	----- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the International filing date but later than the priority date claimed		"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family
Date of the actual completion of the International search		Date of mailing of the International search report
17 October 2005		26/10/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Kuchenbecker, J

INTERNATIONAL SEARCH REPORT

Inte: Application No
PCT/US2005/022753

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 514 847 B1 (OHSAWA KENJI ET AL) 4 February 2003 (2003-02-04) figures 1i,3b	1-17
A	US 6 362 525 B1 (RAHIM IRFAN M) 26 March 2002 (2002-03-26) figure 2	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No PCT/US2005/022753

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5973391	A	26-10-1999	NONE	
US 6177636	B1	23-01-2001	NONE	
US 6515355	B1	04-02-2003	US 6316285 B1	13-11-2001
US 6052287	A	18-04-2000	NONE	
US 6514847	B1	04-02-2003	US 6838368 B1	04-01-2005
US 6362525	B1	26-03-2002	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 カン, テッキュ
アメリカ合衆国カリフォルニア州 9 5 1 2 9, サン・ノゼ, タータリアン・ウェイ 1 5 6 8

(72)発明者 パーク, ジェ・エム
アメリカ合衆国カリフォルニア州 9 5 1 2 0, サン・ノゼ, プレザント・ヒル 1 1 2 7

(72)発明者 ハーバ, ベルガセム
アメリカ合衆国カリフォルニア州 9 5 0 7 0, サラトガ, ミラー・コート 1 9 4 8 7