



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월04일
(11) 등록번호 10-1069677
(24) 등록일자 2011년09월27일

(51) Int. Cl.

G11C 29/00 (2006.01) G11C 8/12 (2006.01)

(21) 출원번호 10-2009-0050795

(22) 출원일자 2009년06월09일

심사청구일자 2009년06월09일

(65) 공개번호 10-2010-0132138

(43) 공개일자 2010년12월17일

(56) 선행기술조사문헌

KR1020050094113 A

KR100495918 B1

KR1020020036085 A

KR1020040025192 A

전체 청구항 수 : 총 21 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

안선모

경기 성남시 분당구 구미동 13번지 까치마을 건영빌라 605동 304호

(74) 대리인

김성남

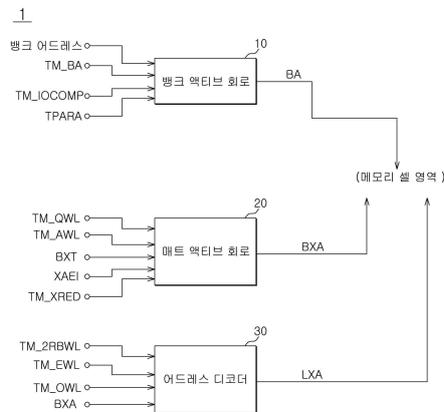
심사관 : 석상문

(54) 반도체 메모리 장치 및 이를 위한 프로브 테스트 제어 회로

(57) 요약

개시된 프로브 테스트 제어 회로는 뱅크 어드레스 및 뱅크별 테스트 제어신호에 응답하여 뱅크 액티브 신호를 생성하는 뱅크 액티브 회로 및 로우 어드레스 신호, 로우 어드레스 인에이블 신호 및 매트별 테스트 제어신호에 응답하여 매트별 서브 워드라인 선택신호를 생성하여, 뱅크 액티브 신호에 의해 선택된 메모리 뱅크로 매트별 서브 워드라인 선택신호를 제공하는 매트 액티브 회로를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

뱅크 어드레스 및 뱅크별 테스트 제어신호에 응답하여 뱅크 액티브 신호를 생성하는 뱅크 액티브 회로; 및
 로우 어드레스 신호, 로우 어드레스 인에이블 신호 및 매트별 테스트 제어신호에 응답하여 매트별 서브 워드라인 선택신호를 생성하여, 상기 뱅크 액티브 신호에 의해 선택된 메모리 뱅크로 상기 매트별 서브 워드라인 선택신호를 제공하는 매트 액티브 회로;
 를 포함하는 프로브 테스트 제어 회로.

청구항 2

제 1 항에 있어서,
 상기 뱅크별 테스트 제어신호는, 뱅크 선택 신호, 압축 테스트 모드 신호 및 병렬 테스트 모드 신호인 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 3

제 2 항에 있어서,
 상기 뱅크 액티브 회로는, 상기 뱅크 어드레스 및 상기 뱅크 선택 신호에 응답하여 상기 뱅크 선택 신호를 래치한 어드레스 래치 신호를 출력하는 래치부; 및
 상기 어드레스 래치 신호, 상기 압축 테스트 모드 신호 및 상기 병렬 테스트 모드 신호에 응답하여 상기 뱅크 액티브 신호를 출력하는 뱅크 액티브 제어부;
 를 포함하는 프로브 테스트 제어 회로.

청구항 4

제 3 항에 있어서,
 상기 뱅크 액티브 제어부는, 상기 압축 테스트 모드 신호가 인에이블되는 경우 상기 어드레스 래치 신호를 상기 뱅크 액티브 신호로서 출력하는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 5

제 1 항에 있어서,
 상기 매트별 테스트 제어신호는, 일부 워드라인 테스트 인에이블 신호 및 전체 워드라인 테스트 인에이블 신호인 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 6

제 5 항에 있어서,
 상기 매트 액티브 회로는, 상기 일부 워드라인 테스트 인에이블 신호 및 상기 전체 워드라인 테스트 인에이블 신호를 입력받아 매트별 워드라인 테스트 신호를 생성하는 매트 선택 제어부; 및
 상기 로우 어드레스 신호, 상기 로우 어드레스 인에이블 신호, 상기 전체 워드라인 테스트 인에이블 신호 및 상기 매트별 워드라인 테스트 신호에 응답하여 인에이블시킬 매트 어드레스 및 워드라인 어드레스를 디코딩하는 로우 어드레스 제어부;
 를 포함하는 프로브 테스트 제어 회로.

청구항 7

제 6 항에 있어서,
 상기 매트 선택 제어부는, 상기 일부 워드라인 테스트 인에이블 신호가 인에이블되는 경우 상기 전체 워드라인

테스트 인에이블 신호의 인에이블 여부와 무관하게 상기 일부 워드라인 테스트 인에이블 신호의 레벨에 따라 출력 레벨이 결정되는 상기 매트별 워드라인 테스트 신호를 생성하는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 8

제 7 항에 있어서,

상기 로우 어드레스 제어부는, 상기 로우 어드레스 신호에 응답하여 서브 워드라인 선택신호를 출력하는 서브 워드라인 선택유닛;

상기 로우 어드레스 신호 및 상기 전체 워드라인 테스트 인에이블 신호에 응답하여 메인 워드라인 선택신호를 출력하는 메인 워드라인 선택유닛; 및

상기 로우 어드레스 신호 및 상기 매트별 워드라인 테스트 신호에 응답하여 매트 선택신호를 출력하는 매트 선택유닛;

을 포함하는 프로브 테스트 제어 회로.

청구항 9

제 8 항에 있어서,

상기 매트별 테스트 제어신호는, 리턴던시 테스트 인에이블 신호를 더 포함하는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 10

제 9 항에 있어서,

상기 리턴던시 테스트 인에이블 신호에 따라 출력 레벨이 결정되는 리턴던시 워드라인 테스트 인에이블 신호 생성부를 더 포함하고,

상기 로우 어드레스 제어부는, 상기 로우 어드레스 신호 및 리턴던시 워드라인 테스트 인에이블 신호에 응답하여, 리턴던시 워드라인 선택신호를 출력하는 리턴던시 워드라인 선택유닛을 더 포함하는 프로브 테스트 제어 회로.

청구항 11

제 1 항에 있어서,

상기 매트 액티브 회로로부터 출력되는 매트별 서브 워드라인 선택신호 및 워드라인별 테스트 모드신호에 응답하여 서브 워드라인 어드레스 신호를 생성하는 어드레스 디코더를 더 포함하는 프로브 테스트 제어 회로.

청구항 12

제 11 항에 있어서,

상기 워드라인별 테스트 모드신호는, 서브 워드라인 인에이블 신호, 이븐(Even) 워드라인 테스트 모드 신호 및 오드(Odd) 워드라인 테스트 모드 신호를 포함하는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 13

제 12 항에 있어서,

상기 어드레스 디코더는, 상기 서브 워드라인 인에이블 신호, 상기 이븐(Even) 워드라인 테스트 모드 신호 및 상기 오드(Odd) 워드라인 테스트 모드 신호에 응답하여 디코딩 제어신호를 생성하는 서브 워드라인 제어신호 생성부; 및

상기 디코딩 제어신호에 응답하여 서브 워드라인 선택신호를 조합하여 서브 워드라인 어드레스 신호 및 서브 워드라인 그룹 선택신호를 생성하는 디코딩부;

를 포함하는 프로브 테스트 제어 회로.

청구항 14

적어도 하나의 메모리 뱅크를 액티브시키는 뱅크 액티브 회로;
 액티브된 메모리 뱅크에 포함된 적어도 하나의 메모리 매트릭스를 액티브시키는 매트릭스 액티브 회로; 및
 액티브된 메모리 뱅크에 포함된 복수의 워드라인을 지정된 단위마다 인에이블시키는 어드레스 디코더;
 를 포함하는 프로브 테스트 제어 회로.

청구항 15

제 14 항에 있어서,
 상기 뱅크 액티브 회로는, 뱅크 선택 신호 및 압축 테스트 모드 신호에 응답하여 적어도 하나의 메모리 뱅크를 액티브시키는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 16

제 14 항에 있어서,
 상기 매트릭스 액티브 회로는, 일부 워드라인 테스트 인에이블 신호에 응답하여 적어도 하나의 메모리 매트릭스를 액티브시키는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 17

제 14 항에 있어서,
 상기 어드레스 디코더는, 서브 워드라인 선택신호 및 워드라인별 테스트 모드신호에 응답하여 서브 워드라인 어드레스 신호를 생성하는 것을 특징으로 하는 프로브 테스트 제어 회로.

청구항 18

각각 복수의 메모리 매트릭스를 구비하는 복수의 메모리 뱅크를 포함하는 메모리 셀 영역;
 뱅크별/매트릭스별 테스트 제어 신호를 생성하는 모드 레지스터 셋; 및
 상기 뱅크별/매트릭스별 테스트 제어 신호 및 로우 어드레스 신호에 응답하여 뱅크 액티브 신호 및 매트릭스별 서브 워드라인 선택신호를 생성하여 상기 메모리 셀 영역으로 제공하는 프로브 테스트 제어 회로;
 를 포함하는 반도체 메모리 장치.

청구항 19

제 18 항에 있어서,
 상기 뱅크별/매트릭스별 테스트 제어 신호는 뱅크 선택 신호, 압축 테스트 모드 신호 및 병렬 테스트 모드 신호를 포함하고,
 상기 프로브 테스트 제어 회로는, 상기 뱅크 선택 신호를 래치한 어드레스 래치 신호, 상기 압축 테스트 모드 신호 및 상기 병렬 테스트 모드 신호에 응답하여, 상기 압축 테스트 모드 신호가 인에이블되는 경우 상기 어드레스 래치 신호를 상기 뱅크 액티브 신호로 출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 20

제 18 항에 있어서,
 상기 뱅크별/매트릭스별 테스트 제어 신호는 일부 워드라인 테스트 인에이블 신호, 전체 워드라인 테스트 인에이블 신호 및 매트릭스 워드라인 테스트 신호를 포함하고,
 상기 프로브 테스트 제어 회로는 상기 로우 어드레스 신호, 상기 전체 워드라인 테스트 인에이블 신호 및 상기 매트릭스 워드라인 테스트 신호에 응답하여 매트릭스 어드레스 및 워드라인 어드레스를 디코딩하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 21

제 20 항에 있어서,

상기 매트별 워드라인 테스트 신호는, 상기 일부 워드라인 테스트 인에이블 신호가 인에이블되는 경우 상기 전체 워드라인 테스트 인에이블 신호의 인에이블 여부와 무관하게 상기 일부 워드라인 테스트 인에이블 신호의 레벨에 따라 출력 레벨이 결정되는 것을 특징으로 하는 반도체 메모리 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로, 보다 구체적으로는 반도체 메모리 장치 및 이를 위한 프로브 테스트 제어 회로에 관한 것이다.

배경 기술

[0002] 반도체 메모리 공정의 축소율이 낮아짐에 따라, 66nm 이하의 회로 공정에서는 벌브(bulb)형 링 게이트(Bulb Ring Gate; BRG) 형태로 메모리 셀을 제조하며, 현재 55nm 회로 공정까지 BRG 공정이 적용되고 있다. 이러한 BRG 공정으로 인해, 인에이블된 워드라인과 인접 워드라인 사이에서 누설 전류가 증가하게 된다. 따라서, 누설 전류에 의한 불량 여부를 확인하기 위한 테스트 과정이 필요하다.

[0003] 워드라인 테스트시 종래에는 워드라인을 하나씩 인에이블시키면서 테스트를 수행하였으며, 따라서 테스트 시간이 증가하게 되는 문제가 있다.

[0004] 이러한 문제를 해결하기 위해, 4개의 서브 워드라인당 1개의 서브 워드라인을 인에이블시켜 테스트를 수행하는 방안이 제안되었다. 그러나, 반도체 메모리 장치가 고용량화 됨에 따라, 1/4개의 서브 워드라인이 인에이블된다 해도, 한 회로 테스트시에 인에이블되는 총 서브 워드라인의 수가 증가할 수 밖에 없다. 이로 인해, 인에이블 동작을 지원하기 위한 장비의 전류 구동 능력이 부족하게 되어 테스트를 수행할 수 없게 된다.

[0005] 따라서, 최근에는 패키지 레벨에서뱅크별 또는 매트별로 복수의 워드라인을 인에이블시켜 테스트를 수행하여 상기한 문제를 극복하고 있다.

[0006] 한편, 모바일 메모리 장치는 베어칩 상태로 제공된다. 베어칩 상태의 메모리 장치는 웨이퍼 번인 테스트를 통해 불량 여부를 확인한다. 아울러, 라이트(write) 및 리드(read) 동작 상의 오류를 확인하기 위해 프로브 테스트가 진행된다.

[0007] 그런데, 모바일 메모리 장치의 프로브 테스트시에는 모든 뱅크가 액티브되도록 테스트 모드가 고정되어 있으며, 따라서 뱅크별, 매트별로 테스트를 수행할 수 없는 단점이 있다. 따라서, 고용량 모바일 메모리 장치의 경우 전류 구동 능력이 우수한 테스트 장비가 필요하며, 이에 따라 테스트에 소요되는 비용이 증가하는 문제가 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 상술한 요구를 만족하기 위해 안출된 것으로서, 프로브 테스트 모드에서 뱅크별 및 매트별로 워드라인을 액티브시킬 수 있는 반도체 메모리 장치 및 이를 위한 프로브 테스트 제어 회로를 제공하는 데 그 기술적 과제가 있다.

[0009] 본 발명의 다른 기술적 과제는 베어칩 상태의 메모리 장치에 대하여 뱅크별 및 매트별 테스트를 수행할 수 있는 반도체 메모리 장치 및 이를 위한 프로브 테스트 제어 회로를 제공하는 데 있다.

과제 해결수단

[0010] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 프로브 테스트 제어 회로는 뱅크 어드레스 및 뱅크별 테스트 제어신호에 응답하여 뱅크 액티브 신호를 생성하는 뱅크 액티브 회로; 및 로우 어드레스 신호, 로우 어드레스 인에이블 신호 및 매트별 테스트 제어신호에 응답하여 매트별 서브 워드라인 선택신호를 생성하

여, 상기 बैं크 액티브 신호에 의해 선택된 메모리 बैं크로 상기 매트별 서브 워드라인 선택신호를 제공하는 매트 액티브 회로;를 포함한다.

[0011] 아울러, 본 발명의 다른 실시예에 의한 프로브 테스트 회로는 적어도 하나의 메모리 बैं크를 액티브시키는 बैं크 액티브 회로; 액티브된 메모리 बैं크에 포함된 적어도 하나의 메모리 매트를 액티브시키는 매트 액티브 회로; 및 액티브된 메모리 बैं크에 포함된 복수의 워드라인을 지정된 단위마다 인에이블시키는 어드레스 디코더;를 포함한다.

[0012] 한편, 본 발명의 일 실시예에 의한 반도체 메모리 장치는 각각 복수의 메모리 매트를 구비하는 복수의 메모리 बैं크를 포함하는 메모리 셀 영역; बैं크별/매트별 테스트 제어 신호를 생성하는 모드 레지스터 셋; 및 상기 बैं크 별/매트별 테스트 제어 신호 및 로우 어드레스 신호에 응답하여 बैं크 액티브 신호 및 매트별 서브 워드라인 선택신호를 생성하여 상기 메모리 셀 영역으로 제공하는 프로브 테스트 제어 회로;를 포함한다.

효 과

[0013] 본 발명에 의하면 프로브 테스트시 특정 बैं크의 매트에 포함된 워드라인을 선택적으로 액티브시킬 수 있다. 따라서, 베어칩 상태에서도 누설 전류에 의한 메모리 셀의 불량 여부를 정확하게 스크린할 수 있다.

[0014] 아울러, बैं크별 및 매트별 테스트 조건을 다양하게 변경할 수 있어, 테스트 장비의 전류 구동 능력에 따라 최적의 조건으로 테스트를 수행할 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 베어칩 상태의 메모리 장치에 대한 프로브 테스트 모드에서는 모든 बैं크가 액티브되도록 고정되어 있다. 그러나, 본 발명에서는 बैं크 어드레스와 특정 테스트 모드 신호에 의해 특정 बैं크가 액티브되도록 한다.

[0016] 아울러, 원하는 बैं크가 액티브되면, 해당 बैं크 내의 특정 매트를 선택하고, 선택된 매트 내의 워드라인을 인에이블시켜 테스트를 수행한다.

[0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 구체적으로 설명한다.

[0018] 도 1은 본 발명의 일 실시예에 의한 프로브 테스트 제어 회로의 구성도이다.

[0019] 도시한 것과 같이, 프로브 테스트 제어 회로(1)는 बैं크 액티브 회로(10), 매트 액티브 회로(20) 및 어드레스 디코더(30)를 포함한다.

[0020] बैं크 액티브 회로(10)는 베어칩 상태의 메모리 장치에 대하여 बैं크별 프로브 테스트를 수행하기 위해, बैं크 어드레스를 입력받고 बैं크별 테스트 제어신호에 응답하여 बैं크 액티브 신호(BA)를 생성한다. 여기에서, बैं크별 테스트 제어신호는 बैं크 선택 신호(TM_BA), 압축 테스트 모드 신호(TM_IOCAMP) 및 병렬 테스트 모드 신호(TPARA)를 포함한다.

[0021] 그리고, 상기 बैं크 액티브 신호(BA)는 메모리 셀 영역에 배치된 복수의 메모리 बैं크로 제공되어, बैं크 액티브 신호(BA)가 지시하는 어느 하나의 बैं크가 액티브되도록 한다.

[0022] 한편, 매트 액티브 회로(20)는 बैं크 액티브 회로(10)에 의해 액티브된 메모리 बैं크에 대한 매트별 테스트를 수행하기 위해, 로우 어드레스 신호(BXT)를 입력받고, 로우 어드레스 인에이블 신호(XAEI) 및 매트별 테스트 제어신호에 응답하여 매트별 서브 워드라인 선택신호(BXA)를 출력한다.

[0023] 여기에서, 매트별 테스트 제어신호는 일부 워드라인 테스트 인에이블 신호(TM_QWL), 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 포함할 수 있고, 이에 더하여 리턴던시 테스트 인에이블 신호(TM_XRED)를 포함할 수 있다.

[0024] 매트별 서브 워드라인 선택신호(BXA)는 서브 워드라인 선택신호, 메인 워드라인 선택신호, 매트 선택신호를 포함할 수 있고, 리턴던시 워드라인 선택신호를 더 포함할 수 있다. 그리고, 매트 선택신호는 복수의 메모리 बैं크를 구비하는 메모리 셀 영역으로 제공되어, बैं크 액티브 회로(10)에 의해 선택된 बैं크의 특정 매트가 액티브되도록 한다.

[0025] 한편, 어드레스 디코더(30)는 매트 액티브 회로(20)로부터 출력되는 매트별 서브 워드라인 선택신호(BXA) 중 서브 워드라인 선택신호를 입력받고, 워드라인별 테스트 모드신호에 응답하여 서브 워드라인 어드레스 신호(LAX)를 생성한다.

- [0026] 여기에서, 워드라인별 테스트 모드신호는 서브 워드라인 인에이블 신호(TM_2RBWL), 이븐(Even) 워드라인 테스트 모드 신호(TM_EWL) 및 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)를 포함할 수 있다.
- [0027] 도 1에 도시한 것과 같이, 본 발명에서는 모든 뱅크가 액티브되는 병렬 테스트 모드(TPARA)로 동작하는 프로브 테스트를 수행하는 데 있어서, 압축 테스트 모드 신호(TM_IOCOMP)를 이용하여 뱅크별 액티브가 가능하게 한다. 아울러, 일부 워드라인 테스트 인에이블 신호(TM_QWL)를 이용하여 액티브된 뱅크의 매트를 선택적으로 액티브시킨다. 그리고, 액티브된 뱅크의 매트에 대하여, 일부 워드라인 테스트 인에이블 신호(TM_QWL)를 이용하여 4개의 워드라인마다 하나의 워드라인이 인에이블되도록 하여, 인에이블된 워드라인에 대한 테스트가 수행되도록 한다.
- [0028] 도 2는 본 발명의 일 실시예에 의한 뱅크 액티브 회로의 블럭도이다.
- [0029] 도시한 것과 같이, 뱅크 액티브 회로(10)는 래치부(110) 및 뱅크 액티브 제어부(120)를 포함한다.
- [0030] 래치부(110)는 뱅크 어드레스 신호 및 뱅크 선택 신호(TM_BA<0:n>)에 응답하여 뱅크 선택 신호(TM_BA<0:n>)를 래치한 어드레스 래치 신호(BAT<0:n>)를 출력한다. 일반적인 프로브 테스트시에는 모든 뱅크를 한번에 액티브시켜 테스트를 수행하므로, 뱅크 어드레스 신호는 플로팅 상태로 입력된다.
- [0031] 본 발명에서는 모든 뱅크를 액티브하지 않고, 뱅크별로 테스트를 수행하기 위하여, 모드 레지스터 셋(MSR)으로부터 뱅크 선택 신호(TM_BA<0:n>)를 생성하여 래치부(10)의 입력으로 사용한다.
- [0032] 한편, 뱅크 액티브 제어부(120)는 어드레스 래치 신호(BAT<0:n>), 압축 테스트 모드 신호(TM_IOCOMP) 및 병렬 테스트 모드 신호(TPARA)에 응답하여 뱅크 액티브 신호(BA<0:m>)를 출력한다.
- [0033] 병렬 테스트 모드 신호(TPARA)는 일반적인 프로브 테스트시 모든 뱅크를 액티브시키는 신호이다. 따라서, 본 발명에서는 뱅크별로 독립적인 액티브가 가능하도록 하기 위해 뱅크 선택 신호(TM_BA<0:n>) 및 압축 테스트 모드 신호(TM_IOCOMP)를 이용하여 뱅크별로 테스트가 이루어지도록 한다.
- [0034] 뱅크 액티브 회로(10)로부터 출력되는 뱅크 액티브 신호(BA<0:m>)는 결과적으로 뱅크 선택 신호(TM_BA<0:n>)에 의해 결정되며, 도 3 및 도 4를 참조하여 보다 구체적으로 설명하면 다음과 같다.
- [0035] 도 3은 도 2에 도시한 래치부의 일 예시도이다.
- [0036] 도시한 것과 같이, 래치부(110)는 입력유닛(112), 지연유닛(114) 및 제 1 출력유닛(116)을 포함한다.
- [0037] 입력유닛(112)은 뱅크 어드레스 신호와 뱅크 선택 신호(TM_BA)를 입력받아 뱅크 선택 신호(TM_BA)의 논리 레벨에 따라 출력 레벨이 가변되는 논리 소자로 구성할 수 있다. 일 예로, 도 2에 도시한 것과 같이 노어 게이트(NR1) 및 복수의 인버터(IV1, IV2)를 직렬 연결하여 구성할 수 있다.
- [0038] 지연유닛(114)은 입력유닛(112)의 출력 신호를 지정된 시간동안 지연시켜 출력한다.
- [0039] 지연유닛(114)의 출력 신호는 제 1 출력유닛(116)으로 입력되며, 제 1 출력유닛(116)은 모드 제어 신호(SDR, DDR)에 따라 어드레스 래치 신호(BAT)를 출력한다. 이를 위하여, 제 1 출력유닛(116)은 지연유닛(114)의 출력 신호와 제 1 모드 제어 신호(SDR)를 입력받는 제 1 낸드 게이트(ND1), 지연유닛(114)의 출력 신호와 제 2 모드 제어 신호(DDR)를 입력받는 제 2 낸드 게이트(ND2) 및 제 1 및 제 2 낸드 게이트(ND1, ND2)의 출력 신호를 조합하는 제 3 낸드 게이트(ND3)로 구성할 수 있다.
- [0040] 뱅크 어드레스 신호는 플로팅 상태이므로, 래치부(110)의 출력 신호는 뱅크 선택 신호(TM_BA)에 의해 결정된다.
- [0041] 즉, 입력유닛(112)의 일 입력신호인 뱅크 어드레스 신호는 플로팅 상태이고, 입력유닛(112)은 노어 게이트와 같이 동작한다. 따라서, 입력유닛(112)의 출력 신호는 뱅크 선택 신호(TM_BA)의 레벨에 따라 결정된다. 그리고, 제 1 출력유닛(116)은 반도체 메모리 장치의 모드에 따라, 제 1 낸드 게이트(ND1)의 출력 레벨과 제 2 낸드 게이트(ND2)의 출력 레벨이 반대 위상을 갖는다. 따라서, 제 3 낸드 게이트(ND3)의 출력 레벨은 모드 제어 신호(SDR, DDR)에 무관하게 뱅크 선택 신호(TM_BA)의 영향을 받게 된다.
- [0042] 이와 같이 생성된 어드레스 래치 신호(BAT)는 뱅크 액티브 제어부(120)로 입력되며, 도 4는 도 2에 도시한 뱅크 액티브 제어부의 일 예시도이다.
- [0043] 뱅크 액티브 제어부(120)는 디코딩 유닛(122), 테스트 모드 판별 유닛(124) 및 제 2 출력유닛(126)을 포함한다. 어드레스 래치 신호(BAT)는 복수 비트로 입력될 수 있으며, 도 4에는 2비트의 어드레스 래치 신호(BAT<0:1>)로

부터 뱅크 액티브 신호(BA<0:4>)를 생성하는 뱅크 액티브 제어부(120)를 도시하였다.

- [0044] 먼저, 디코딩 유닛(122)은 2비트의 어드레스 래치 신호(BAT<0:1>)를 입력받아 4비트의 신호로 디코딩한다.
- [0045] 테스트 모드 판별 유닛(124)은 압축 테스트 모드 신호(TM_IOCAMP) 및 병렬 테스트 모드 신호(TPARA)를 입력받는다. 그리고, 압축 테스트 모드 신호(TM_IOCAMP)가 인에이블되는 경우 즉, 뱅크별 테스트를 수행하고자 하는 경우 병렬 테스트 모드 신호(TPARA)가 뱅크 액티브 신호를 생성하는 데 영향을 주지 않도록 한다.
- [0046] 아울러, 제 2 출력 유닛(126)은 테스트 모드 판별 유닛(124)의 출력 레벨에 따라 디코딩 유닛(122)의 디코딩 결과를 뱅크 액티브 신호(BA<0:3>)로 출력하거나, 또는 모든 뱅크를 액티브 시키기 위한 신호를 뱅크 액티브 신호(BA<0:3>)로 출력한다.
- [0047] 본 발명의 일 실시예에서, 디코딩 유닛(122)은 제 1 및 제 2 어드레스 래치 신호(BAT<0:1>)를 각각 인버터(IV3, IV4)에 의해 반전시킨 신호를 입력받는 논리소자(ND4), 제 1 어드레스 래치 신호(BAT<0>) 및 인버터(IV4)에 의해 반전된 제 2 어드레스 래치 신호(BAT<1>)를 입력받는 논리소자(ND5), 인버터(IV3)에 의해 반전된 제 1 어드레스 래치 신호(BAT<0>) 및 제 2 어드레스 래치 신호(BAT<1>)를 입력받는 논리소자(ND6) 및 제 1 및 제 2 어드레스 래치 신호(BAT<0:1>)를 입력받는 논리소자(ND7)를 포함한다.
- [0048] 아울러, 디코딩 유닛(122)을 구성하는 논리소자(ND4~ND7)는 각각 입력 신호가 모두 하이 레벨인 경우 로우 레벨의 신호를 출력하도록 낸드 게이트로 구성할 수 있다.
- [0049] 한편, 테스트 모드 판별 유닛(124)은 압축 테스트 모드 신호(TM_IOCAMP)를 반전시키는 인버터(IV5), 반전된 압축 테스트 모드 신호(TM_IOCAMP)와 병렬 테스트 모드 신호(TPARA)를 입력받아 압축 테스트 모드 신호(TM_IOCAMP)가 하이 레벨로 인에이블되는 경우 병렬 테스트 모드 신호(TPARA)의 상태에 무관하게 하이 레벨의 신호를 출력하는 논리소자(ND8)를 포함한다. 여기에서, 논리소자(ND8)는 입력 신호가 모두 하이 레벨인 경우 로우 레벨의 신호를 출력하도록 낸드 게이트로 구성할 수 있다. 따라서, 병렬 테스트 모드 신호(TPARA)가 하이 레벨로 입력되는 경우에도, 뱅크별 테스트를 위한 압축 테스트 모드 신호(TM_IOCAMP)가 하이 레벨로 입력되면, 논리소자(ND8)의 출력 레벨은 하이 레벨이 된다.
- [0050] 제 2 출력유닛(126)은 디코딩 유닛(122)의 각 논리소자(ND4~ND7)의 출력 신호와 테스트 모드 판별 유닛(124)의 출력 신호를 각각 입력받는 복수의 논리소자(ND9~ND12)를 포함한다. 그리고, 제 2 출력유닛(126)을 구성하는 논리소자(ND9~ND12)는 낸드 게이트로 구성할 수 있다. 그러므로, 각 낸드 게이트(ND9~ND12)의 일 입력 신호가 되는 테스트 모드 판별 유닛(124)의 출력 신호 레벨에 따라 그 출력 신호의 레벨이 결정되게 된다.
- [0051] 일 예로, 테스트 모드 판별 유닛(124)의 출력 레벨이 하이 레벨인 경우를 가정한다. 이 경우는 압축 테스트 모드 신호(TM_IOCAMP)가 하이 레벨인 경우 즉, 뱅크별 테스트를 수행하기 위한 경우이며, 제 2 출력 유닛(126)은 디코딩 유닛(122)의 출력 신호를 반전시켜 뱅크 액티브 신호(BA<0:3>)로 출력한다. 반면, 테스트 모드 판별 유닛(124)의 출력 레벨이 로우 레벨인 경우에는 즉, 병렬 테스트 모드가 수행되는 경우에는 디코딩 유닛(122)의 출력 신호에 무관하게 모두 하이 레벨을 갖는 뱅크 액티브 신호(BA<0:3>)를 출력한다.
- [0052] 예를 들어 4개의 뱅크를 구비하는 반도체 메모리 장치의 경우 2비트의 뱅크 선택 신호(TM_BA<0:1>)가 입력되고, 이로부터 4비트의 뱅크 액티브 신호(BA<0:3>)가 출력된다.
- [0053] 이 경우, 뱅크 선택 신호(TM_BA<0:1>)의 논리 레벨에 따라 액티브되는 뱅크는 다음의 표 1과 같이 제어할 수 있다.

[표 1]

뱅크 선택 신호(TM_BA<0:1>)	액티브 뱅크
00	뱅크 0
01	뱅크 1
10	뱅크 2
11	뱅크 3

- [0056] 이와 같이, 본 발명에서는 프로브 테스트시 인에이블되는 병렬 테스트 모드 신호(TPARA)에 의해 모든 뱅크가 액티브되는 것을 방지하고, 원하는 뱅크만을 액티브시키기 위해 압축 뱅크 선택 신호(TM_BA)와 테스트 모드 신호(TM_IOCAMP)를 이용한다. 그리고, 뱅크 선택 신호(TM_BA)를 래치한 후 디코딩하여, 압축 테스트 모드 신호(TM_IOCAMP)가 인에이블되는 경우 뱅크 액티브 신호(BA)로 출력한다. 이에 따라, 원하는 뱅크를 선택적으로 액

티브시킬 수 있다.

- [0057] 이상에서 설명한 바에 의해 프로브 테스트 시에 각 뱅크를 독립적으로 액티브시킬 수 있고, 원하는 뱅크를 액티브시킨 후에는 해당 뱅크 내의 원하는 매트를 액티브시켜 매트별 테스트를 수행할 수 있다.
- [0058] 이하에서는 특정 뱅크가 액티브된 후, 액티브된 뱅크의 매트를 선택적으로 액티브시키기 위한 매트 액티브 회로(20)에 대하여 설명한다.
- [0059] 도 5는 본 발명의 일 실시예에 의한 매트 액티브 회로의 블록도로서, 매트 선택 제어부(210) 및 로우 어드레스 제어부(220)를 포함한다.
- [0060] 먼저, 매트 선택 제어부(210)는 일부 워드라인 테스트 인에이블 신호(TM_QWL) 및 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 입력받아 매트별 워드라인 테스트 신호(TM_QWL_MAT)를 생성한다.
- [0061] 한편, 로우 어드레스 제어부(220)는 로우 어드레스 신호(BXT<0:12>, BXAB<13>)를 입력받으며, 로우 어드레스 인에이블 신호(XAEI)에 따라 인에이블된다. 그리고, 전체 워드라인 테스트 인에이블 신호(TM_AWL), 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED) 및 매트별 워드라인 테스트 신호(TM_QWL_MAT)에 응답하여 인에이블시킬 매트 어드레스 및 워드라인 어드레스를 디코딩한다.
- [0062] 즉, 본 발명의 매트 액티브 회로(20)는 일부 워드라인 테스트 인에이블 신호(TM_QWL)에 의해 매트별 워드라인 테스트 신호(TM_QWL_MAT)를 생성한다. 그리고, 매트별 워드라인 테스트 신호(TM_QWL_MAT)에 응답하여, 입력되는 어드레스 신호에 따라 액티브시킬 매트를 선택하고, 선택된 매트의 워드라인을 인에이블시킨다.
- [0063] 도 6은 도 5에 도시한 매트 선택 제어부의 일 예시도이다.
- [0064] 매트 선택 제어부(210)는 일부 워드라인 테스트 인에이블 신호(TM_QWL) 및 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 입력받아, 전체 워드라인 테스트 인에이블 신호(TM_AWL)의 레벨에 무관하게, 일부 워드라인 테스트 인에이블 신호(TM_QWL)의 레벨에 따라 출력 레벨이 결정되는 매트별 워드라인 테스트 신호(TM_QWL_MAT)를 출력한다.
- [0065] 이를 위해, 매트 선택 제어부(210)는 일부 워드라인 테스트 인에이블 신호(TM_QWL)를 반전시키는 인버터(IV6), 인버터(IV6)의 출력 신호와 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 입력받는 논리소자(ND13) 및 논리소자(ND13)의 출력신호를 반전시키는 인버터(IV7)로 구성할 수 있다. 아울러, 논리소자(ND13)는 낸드 게이트로 구성할 수 있다.
- [0066] 프로브 테스트 모드시, 전체 워드라인 테스트 인에이블 신호(TM_AWL)는 하이 레벨로 입력된다. 따라서, 매트별 워드라인 테스트 인에이블 신호(TM_QWL_MAT)의 레벨은 일부 워드라인 테스트 인에이블 신호(TM_QWL)의 레벨과 반대 위상이 된다.
- [0067] 도 7은 도 5에 도시한 로우 어드레스 제어부의 일 예시도이다.
- [0068] 2G비트의 모바일 메모리 장치에서, 로우 어드레스는 14비트(A<0:13>)로 구성되며, 도 7에는 14비트의 로우 어드레스를 갖는 반도체 메모리 장치를 위한 로우 어드레스 제어부(40)를 도시하였다.
- [0069] 14비트의 로우 어드레스(A<0:13>) 중, 최상위 비트(A<13>)는 뱅크의 반을 선택하기 위한 플래그 신호이다. 그리고, 나머지 비트(A<0:12>)를 이용하여 매트 및 워드라인을 선택하게 된다.
- [0070] 즉, 로우 어드레스(A<0:12>) 중 하위 3비트(A<0:2>)는 8개의 서브워드라인의 어드레스를 디코딩하는 데 사용된다. 특히, 로우 어드레스(A<2>)는 서브 워드라인을 두 그룹 즉, 하위 그룹(SWL<0:3>) 및 상위 그룹(SWL<4:7>)으로 구분하여 선택하도록 하는 역할을 한다.
- [0071] 또한 로우 어드레스(A<3:8>)은 메인 워드라인의 어드레스를 디코딩하는 데 사용되며, 특히 로우 어드레스(A<3:6>)를 이용하여 리턴던시 워드라인의 어드레스를 디코딩할 수 있다. 아울러, 로우 어드레스(A<9:12>)는 매트 어드레스를 디코딩하는 데 사용된다.
- [0072] 도 7을 참조하면, 로우 어드레스 제어부(220)는 서브 워드라인 선택유닛(222), 메인 워드라인 선택유닛(224), 리턴던시 워드라인 선택유닛(226) 및 매트 선택유닛(228)을 포함할 수 있다.
- [0073] 서브 워드라인 선택유닛(222)은 하위 2비트의 로우 어드레스(A<0:1>)를 래치한 로우 어드레스 신호(BXT<0:1>), 최상위 어드레스(A<13>)를 래치한 로우 어드레스 신호(BXAB<13>) 및 로우 어드레스 인에이블 신호(XAEI)를 입력

으로 하여, 서브 워드라인 선택신호(BXA<0:1>) 및 그 반전신호(BXAB<0:1>)를 출력한다.

- [0074] 메인 워드라인 선택유닛(224)은 메인 워드라인과 서브 워드라인의 두 그룹 중 어느 하나를 선택하기 위하여 로우 어드레스(A<2,7:8>)를 래치한 로우 어드레스 신호(BXT<2,7:8>), 최상위 어드레스(A<13>)를 래치한 로우 어드레스 신호(BXAB<13>), 로우 어드레스 인에이블 신호(XAEI) 및 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 입력으로 하여, 메인 워드라인 선택신호(BXA<2,7:8>), 메인 워드라인 선택신호의 반전신호(BXAB<2,7:8>) 및 메인 워드라인 선택신호의 지연신호(BXAR<2,7:8>)를 출력한다.
- [0075] 따라서, 메인 워드라인 선택유닛(224)에 의해 인에이블될 메인 워드라인이 결정되는 한편, 해당 메인 워드라인에 접속된 서브 워드라인의 상위 그룹 또는 하위 그룹이 선택된다.
- [0076] 한편, 리턴던시 워드라인 선택유닛(226)은 로우 어드레스(A<3:6>)를 래치한 로우 어드레스 신호(BXT<3:6>), 최상위 어드레스(A<13>)를 래치한 로우 어드레스 신호(BXAB<13>), 로우 어드레스 인에이블 신호(XAEI) 및 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED)를 입력으로 하여, 리턴던시 워드라인 선택신호(BXA<3:6>), 리턴던시 워드라인 선택신호의 반전신호(BXAB<3:6>) 및 리턴던시 워드라인 선택신호의 지연신호(BXAR<3:8>)를 출력한다.
- [0077] 또한, 매트 선택유닛(228)은 로우 어드레스(A<9:12>)를 래치한 로우 어드레스 신호(BXT<9:12>), 최상위 어드레스(A<13>)를 래치한 로우 어드레스 신호(BXAB<13>), 로우 어드레스 인에이블 신호(XAEI) 및 매트별 워드라인 테스트 신호(TM_QWL_MAT)를 입력으로 하여, 매트 선택신호(BXA<9:12>), 매트 선택신호의 반전신호(BXAB<9:12>) 및 매트 선택신호의 지연신호(BXAR<9:12>)를 출력한다.
- [0078] 따라서, 매트 선택유닛(228)에 의해 테스트 대상 매트를 선택할 수 있고, 선택된 매트의 메인 워드라인 및 서브 워드라인의 어드레스를 서브 워드라인 선택유닛(222) 및 메인 워드라인 선택유닛(224)에 의해 결정할 수 있다. 아울러, 리턴던시 워드라인에 대한 테스트를 수행하고자 하는 경우에는 리턴던시 워드라인 선택유닛(226)에 의해 리턴던시 워드라인의 어드레스를 결정한다.
- [0079] 도 7에 도시한 각 선택유닛(222, 224, 226, 228)은 서브 워드라인 선택유닛(222)에 테스트 모드 신호가 입력되지 않고, 매트별 서브 워드라인 선택신호의 지연신호(BXAR)가 출력되지 않는다는 점을 제외하고는 유사한 구성을 갖는다.
- [0080] 도 8은 도 7에 도시한 선택유닛의 일 예시도이다.
- [0081] 도 8에는 로우 어드레스 신호(BXT), 최상위 로우 어드레스 신호(BXAB), 로우 어드레스 인에이블 신호(XAEI) 및 테스트 모드 신호(TM)를 입력으로 하여, 매트별 서브 워드라인 선택신호(BXA)와 그 반전신호(BXAB) 및 로우 어드레스 신호(BXT)의 지연신호(BXAR)를 출력하는 선택유닛(230)의 일 예를 도시하였다.
- [0082] 도 8에 도시한 선택유닛(230)은 도 7의 서브 워드라인 선택유닛(222), 메인 워드라인 선택유닛(224), 리턴던시 워드라인 선택유닛(226) 및 매트 선택유닛(228)에 적용할 수 있다. 다만, 서브 워드라인 선택유닛(222)에 적용할 경우 테스트 모드 신호(TM) 입력과 어드레스 신호의 반전신호(BXAR) 출력을 제외하면 된다.
- [0083] 아울러, 기타 선택유닛(224, 226, 228)에 적용하는 경우에는 테스트 모드 신호(TM)로서, 각각 전체 워드라인 테스트 인에이블 신호(TM_AWL), 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED) 및 매트별 워드라인 테스트 신호(TM_QWL_MAT)를 이용한다.
- [0084] 도 8에 대하여 구체적으로 설명하면, 선택유닛(230)은 로우 어드레스 신호(BXT), 최상위 로우 어드레스 신호(BXAB<13>) 및 로우 어드레스 인에이블 신호(XAEI)를 입력으로 하는 논리소자(ND14) 및 인버터(IV9)에 의해 반전된 테스트 모드 신호(TM)와 논리소자(ND14)의 출력 신호를 입력받아 매트별 서브 워드라인 선택신호(BXA)를 출력하는 논리소자(ND15)를 포함한다.
- [0085] 여기에서, 논리소자(ND14, ND15)는 입력 신호 레벨이 모두 하이 레벨인 경우에만 로우 레벨의 신호를 출력하도록 낸드 게이트로 구성할 수 있다.
- [0086] 한편, 선택유닛(230)은 인버터(IV8)에 의해 반전된 로우 어드레스 신호(BXT), 최상위 로우 어드레스 신호(BXAB<13>) 및 로우 어드레스 인에이블 신호(XAEI)를 입력으로 하는 논리소자(ND16) 및 인버터(IV9)에 의해 반전된 테스트 모드 신호(TM)와 논리소자(ND16)의 출력 신호를 입력받아 매트별 서브 워드라인 선택신호의 반전신호(BXAB)를 출력하는 논리소자(ND17)를 더 포함한다.
- [0087] 여기에서, 논리소자(ND16, ND17)는 입력 신호 레벨이 모두 하이 레벨인 경우에만 로우 레벨의 신호를 출력하는

낸드 게이트로 구성할 수 있다.

- [0088] 그리고, 로우 어드레스 신호(BXT)를 지연시켜 지연 어드레스 신호(BXAR)를 출력하는 지연소자(D1)를 추가로 포함한다. 지연소자(D1)는 복수개의 인버터(IV10, IV11)를 직렬 연결하여 구성할 수 있다.
- [0089] 선택된 매트에 대한 일부 워드라인을 인에이블시켜 테스트를 수행하기 위하여, 메인 워드라인은 모두 인에이블되어야 하고, 서브워드라인은 어드레스 신호에 따라 선택적으로 인에이블되어야 한다.
- [0090] 일부 워드라인 테스트 인에이블 신호(TM_QWL)로부터 생성되는 매트별 워드라인 테스트 신호(TM_QWL_MAT)는 도 6에 도시한 것과 같이, 일부 워드라인 테스트 인에이블 신호(TM_QWL)가 하이 레벨로 인에이블될 때 로우 위상을 갖는다.
- [0091] 따라서, 매트 선택유닛(228)으로부터 출력되는 매트 선택신호(BXA<9:12>), 그 반전신호(BXAB<9:12>) 및 어드레스 신호의 반전신호(BXAR<9:12>)는 로우 어드레스 신호(BXT<9:12>), 최상위 로우 어드레스 신호(BXAB<13>) 및 로우 어드레스 인에이블 신호(XAEI)에 의해 결정된다.
- [0092] 한편, 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED)의 위상은 리턴던시 테스트 인에이블 신호(TM_XRED)에 의해 결정된다. 도 9를 참조하여 후술하겠지만, 리턴던시 테스트 인에이블 신호(TM_XRED)가 하이 레벨로 인에이블될 때, 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED)는 로우 레벨이 된다.
- [0093] 따라서, 리턴던시 워드라인 선택유닛(226)의 출력 신호(BXA<3:6>, BXAB<3:6>, BXAR<3:6>)는 로우 어드레스 신호(BXT<3:6>), 최상위 로우 어드레스 신호(BXAB<13>) 및 로우 어드레스 인에이블 신호(XAEI)에 의해 결정된다.
- [0094] 아울러, 메인 워드라인은 모두 인에이블되어야 하므로, 메인 워드라인 선택유닛(224)은 전체 워드라인 테스트 인에이블 신호(TM_AWL)의 제어를 받는다. 이에 의해 메인 워드라인 선택신호는 모두 하이 레벨로 출력될 수 있다.
- [0095] 이와 같이 하여, 일반적인 병렬 테스트 모드에서는 모든 어드레스 신호(BXA)가 하이 레벨이 되어, 모든 매트와 모든 메인 워드라인이 인에이블되고, 로우 어드레스 신호(BXT<0:1>)에 의해 선택된 서브 워드라인이 인에이블된다.
- [0096] 반면, 본 발명에서 제시한 벡크별 및 매트별 테스트시에는 매트별 워드라인 테스트 신호(TM_QWL_MAT)에 의해 특정 매트를 액티브할 수 있고, 로우 어드레스 신호(BXT<0:1>)에 의해 액티브된 매트 내의 서브 워드라인을 선택적으로 인에이블시켜 테스트를 수행할 수 있다.
- [0097] 도 9는 리턴던시 워드라인 테스트 인에이블 신호 생성유닛의 일 예시도이다.
- [0098] 도시한 것과 같이, 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED) 생성유닛(232)은 리턴던시 테스트 인에이블 신호(TM_XRED) 및 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 입력받아, 전체 워드라인 테스트 인에이블 신호(TM_AWL)의 레벨에 무관하게, 리턴던시 테스트 인에이블 신호(TM_XRED)의 레벨에 따라 결정되는 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED)를 출력한다.
- [0099] 이를 위해, 리턴던시 워드라인 테스트 인에이블 신호 생성유닛(232)은 리턴던시 테스트 인에이블 신호(TM_XRED)를 반전시키는 인버터(IV12), 인버터(IV12)의 출력 신호와 전체 워드라인 테스트 인에이블 신호(TM_AWL)를 입력받는 논리소자(ND18) 및 논리소자(ND18)의 출력신호를 반전시키는 인버터(IV13)로 구성할 수 있다. 아울러, 논리소자(ND18)는 낸드 게이트로 구성할 수 있다.
- [0100] 프로브 테스트 모드시, 전체 워드라인 테스트 인에이블 신호(TM_AWL)는 하이 레벨로 입력된다. 따라서, 리턴던시 워드라인 테스트 인에이블 신호(TM_QWL_RED)의 레벨은 리턴던시 테스트 인에이블 신호(TM_XRED)의 레벨에 따라 결정된다.
- [0101] 한편, 매트 액티브 회로(20)로부터 출력되는 매트별 서브 워드라인 선택신호(BXA) 중 서브 워드라인 선택신호(BXA<0:2>)는 디코딩을 통해 서브 워드라인 어드레스 신호(LAX)로 생성되며, 이하에서는 어드레스 디코더(30)에 대하여 구체적으로 설명한다.
- [0102] 도 10은 도 1에 도시한 어드레스 디코더의 블록도이다.
- [0103] 도 10을 참조하면, 어드레스 디코더(30)는 서브 워드라인 제어신호 생성부(310) 및 디코딩부(320)를 포함한다.
- [0104] 서브 워드라인 제어신호 생성부(310)는 워드라인별 테스트 모드 신호에 응답하여 디코딩 제어신호(TWB)를 출력한다. 여기에서, 워드라인별 테스트 모드 신호는 서브 워드라인 인에이블 신호(TM_2RBWL), 이븐(Even) 워드라

인 테스트 모드 신호(TM_EWL) 및 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)를 포함할 수 있다.

[0105] 모든 워드라인을 인에이블시켜 테스트하는 병렬 테스트 모드시에는 이븐(Even) 워드라인 테스트 모드 신호(TM_EWL) 및 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)가 하이 레벨로 인에이블되는 반면, 매트별로 워드라인을 선택적으로 인에이블시켜 테스트하는 경우에는 이븐(Even) 워드라인 테스트 모드 신호(TM_EWL) 및 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)가 디스에이블된다.

[0106] 한편, 디코딩부(320)는 디코딩 제어신호(TWB)에 응답하여 서브 워드라인 선택신호(BXA<0:2>, BXAB<0:2>)를 디코딩하여 서브 워드라인 어드레스 신호(LAX)를 출력한다.

[0107] 즉, 서브 워드라인 선택신호(BXA<0:2>)를 디코딩함에 있어서, 디코딩 제어신호(TWB)를 이용함으로써 4개의 서브 워드라인당 1개의 서브 워드라인이 선택될 수 있도록 하는 것이다.

[0108] 이 때, 서브 워드라인 선택신호(BXA<0:1>)로부터 4비트의 서브 워드라인 어드레스 신호(LAX<0:3>)를 생성할 수 있으며, 서브 워드라인 선택신호(BXA<2>)로부터 서브 워드라인 그룹 선택신호(LAX2)를 생성할 수 있다.

[0109] 도 11은 도 10에 도시한 서브 워드라인 제어신호 생성부의 일 예시도이다.

[0110] 도시한 것과 같이, 서브 워드라인 제어신호 생성부(310)는 이븐 워드라인 테스트 모드 신호(TM_EWL)를 반전시켜 제 1 디코딩 제어신호(TWB<0>)를 출력하는 인버터(IV14), 오드 워드라인 테스트 모드 신호(TM_OWL)를 반전시켜 제 2 디코딩 제어신호(TWB<1>)를 출력하는 인버터(IV15)를 포함한다.

[0111] 또한, 서브 워드라인 제어신호 생성부(310)는 인버터(IV14)의 출력 신호와 서브 워드라인 인에이블 신호(TM_2RBWL)를 입력받는 논리소자(NR2), 인버터(IV15)의 출력 신호와 인버터(IV16)에 의해 반전된 서브 워드라인 인에이블 신호(TM_2RBWL)를 입력받는 논리소자(NR3), 인버터(IV15)의 출력 신호와 서브 워드라인 인에이블 신호(TM_2RBWL)를 입력받는 논리소자(NR4), 인버터(IV14)의 출력 신호와 인버터(IV16)에 의해 반전된 서브 워드라인 인에이블 신호(TM_2RBWL)를 입력받는 논리소자(NR5)를 포함한다.

[0112] 아울러, 논리소자(NR2) 및 논리소자(NR3)의 출력 신호를 입력받아 제 3 디코딩 제어신호(TWB<2>)를 출력하는 논리소자(NR6) 및 논리소자(NR4) 및 논리소자(NR5)의 출력 신호를 입력받아 제 4 디코딩 제어신호(TWB<3>)를 출력하는 논리소자(NR7)을 포함한다.

[0113] 즉, 제 1 및 제 2 디코딩 제어신호(TWB<0:1>)는 이븐(Even) 워드라인 테스트 모드 신호(TM_EWL) 및 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)를 각각 반전시킨 신호가 된다.

[0114] 그리고, 제 3 및 제 4 디코딩 제어신호(TWB<2:3>)의 논리 레벨은 서브 워드라인 인에이블 신호(TM_2RBWL)와 이븐(Even) 워드라인 테스트 모드 신호(TM_EWL), 또는 서브 워드라인 인에이블 신호(TM_2RBWL)와 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)의 조합 논리 레벨에 따라 결정된다.

[0115] 다음 [표 2]는 서브 워드라인 제어신호 생성부(310)를 도 11과 같이 구성한 경우 워드라인별 테스트 모드신호의 레벨에 따른 디코딩 제어 신호(TWB)의 논리 레벨을 나타낸다.

[표 2]

[0117]

TM_2RBWL	TM_EWL	TM_OWL	TWB<0>	TWB<1>	TWB<2>	TWB<3>
0	0	0	1	1	1	1
0	0	1	1	0	1	0
0	1	0	0	1	0	1
0	1	1	0	0	0	0
1	0	0	1	1	1	1
1	0	1	1	0	0	1
1	1	0	0	1	1	0
1	1	1	0	0	0	0

[0118] 일부 워드라인 테스트 인에이블 신호(TM_QAL)가 인에이블될 때, 전체 워드라인 테스트 인에이블 신호(TM_AWL)는 하이 레벨로 인에이블되는 반면, 이븐(Even) 워드라인 테스트 모드 신호(TM_EWL) 및 오드(Odd) 워드라인 테스트 모드 신호(TM_OWL)는 모두 로우 레벨로 디스에이블되므로, 디코딩 제어 신호(TWB<0:3>)는 모두 하이 레벨이 됨을 알 수 있다.

- [0119] 도 12는 도 10에 도시한 디코딩부의 일 예시도이다.
- [0120] 도시한 것과 같이, 디코딩부(320)는 서브 워드라인 선택신호(BXA<0:1>, BXAB<01:1>)와 디코딩 신호(TWB<0:3>)를 입력받아 서브 워드라인 어드레스 신호(LAX<0:3>)를 생성하는 신호 조합부(322), 신호 조합부(322)의 출력 신호를 드라이빙하는 제 1 출력 드라이버(324), 서브 워드라인 선택신호(BXA<2>, BXAB<2>)를 각각 서브 워드라인 그룹 선택신호(LAX2)로 출력하는 제 2 출력 드라이버(326)를 포함한다.
- [0121] [표 2]에서 알 수 있는 바와 같이, 디코딩 제어신호(TWB<0:3>)가 모두 하이 레벨이므로, 신호 조합부(322)의 출력 신호는 서브 워드라인 선택신호(BXA<0:1>)의 조합에 의해 결정된다.
- [0122] 아울러, 제 2 출력 드라이버(326)에서 출력되는 서브 워드라인 그룹 선택신호(LAX2)는 서브 워드라인 선택신호(BXA<2>)와 그 반전신호(BXAB<2>)를 지연시켜 출력한 신호이므로, 서브 워드라인의 하위 그룹(SWL<0:3>) 또는 상위 그룹(SWL<4:7>)을 선택하게 된다.
- [0123] 따라서, 제 1 서브 워드라인 그룹 선택신호(LAX2<0>)가 하이 레벨인 경우에는 하위 그룹(SWL<0:3>)의 서브 워드라인에 대하여, 제 1 출력 드라이버(324)의 출력 신호에 따라 4개당 1개의 서브워드라인이 인에이블되게 된다. 한편, 제 2 서브 워드라인 그룹 선택신호(LAX2<1>)가 하이 레벨인 경우에는 상위 그룹(SWL<4:7>)의 서브 워드라인에 대하여, 제 1 출력 드라이버(324)의 출력 신호에 따라 4개당 1개의 서브워드라인이 인에이블되게 된다.
- [0124] 도 13은 본 발명의 일 실시예에 의한 반도체 메모리 장치의 구성도이다.
- [0125] 도시한 것과 같이, 본 발명의 일 실시예에 의한 반도체 메모리 장치(50)는 프로브 테스트 제어회로(1), 모드 레지스터 셋(MRS, 510) 및 메모리 셀 영역(520)을 포함한다.
- [0126] 프로브 테스트 제어회로(1)는 बैं크 어드레스, 로우 어드레스 신호(BXT) 및 로우 어드레스 인에이블 신호(XAEI)를 입력받아 बैं크 액티브 신호(BA) 및 매트별 서브 워드라인 선택신호(BXA)를 생성한다.
- [0127] 아울러, MRS(510)는 बैं크별/매트별 테스트 제어 신호(TM_PT)를 프로브 테스트 제어 회로(1)로 제공한다.
- [0128] 메모리 셀 영역(520)은 복수의 메모리 बैं크를 구비하며, 각각의 बैं크는 복수의 메모리 매트로 구분되어 있다. 그리고, 메모리 셀 영역(520)의 메모리 बैं크는 프로브 테스트 제어 회로(1)로부터 출력되는 बैं크 액티브 신호(BA)에 의해 특정 बैं크가 액티브되고, 매트별 서브 워드라인 선택신호(BXA)에 의해 액티브된 बैं크의 특정 매트가 액티브되며, 액티브된 매트와 특정 서브워드라인이 인에이블된다.
- [0129] 프로브 테스트 제어 회로(1)는 상술한 도 1 내지 도 12에 도시한 것과 같이 구성할 수 있다. 따라서, 프로브 테스트시 모든 बैं크를 인에이블하지 않고, 특정 बैं크의 특정 매트만 인에이블시켜 테스트가 수행된다.
- [0130] 인에이블되는 매트와 개수는 입력되는 로우 어드레스 신호(BXT)에 따라 가변시킬 수 있으며, 이는 테스트 장비의 구동 능력에 맞게 최적의 조건으로 제어 가능하다.
- [0131] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

- [0132] 도 1은 본 발명의 일 실시예에 의한 프로브 테스트 제어 회로의 구성도,
- [0133] 도 2는 도 1에 도시한 बैं크 액티브 회로의 블럭도,
- [0134] 도 3은 도 2에 도시한 래치부의 일 예시도,
- [0135] 도 4는 도 2에 도시한 बैं크 액티브 제어부의 일 예시도이다.
- [0136] 도 5는 도 1에 도시한 매트 액티브 회로의 블럭도,
- [0137] 도 6은 도 5에 도시한 매트별 워드라인 테스트 신호 생성부의 일 예시도,
- [0138] 도 7은 도 5에 도시한 로우 어드레스 제어부의 일 예시도,

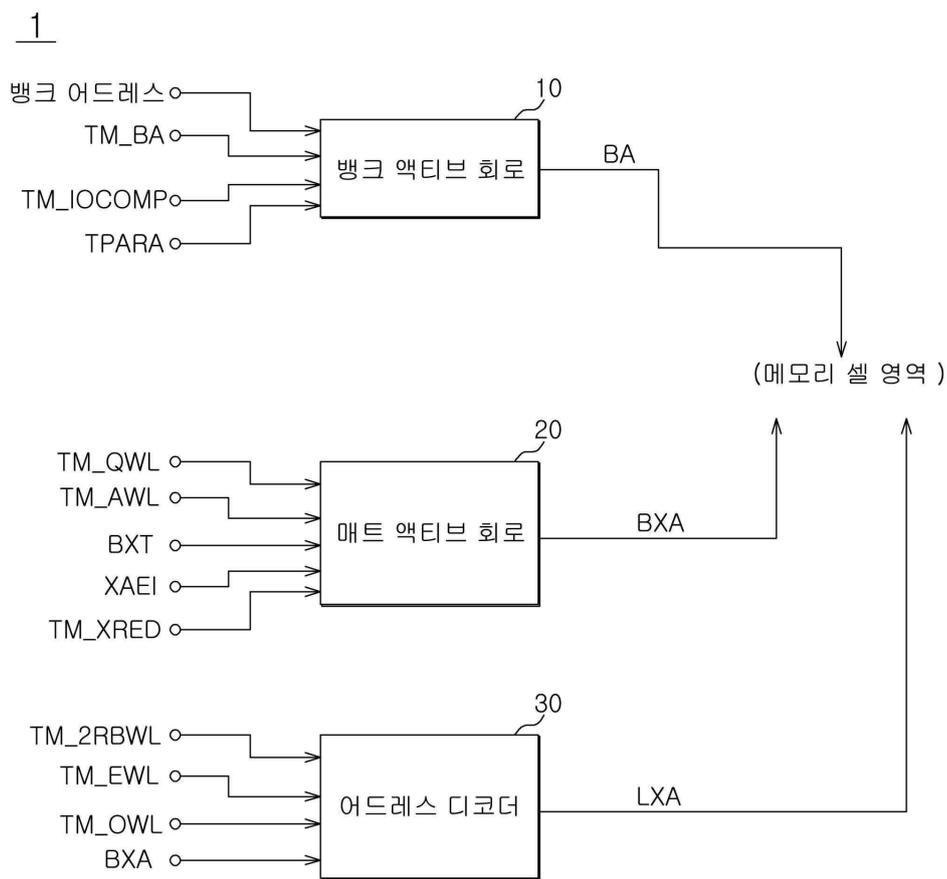
- [0139] 도 8은 도 7에 도시한 선택유닛의 일 예시도,
- [0140] 도 9는 리턴던시 워드라인 테스트 인에이블 신호 생성유닛의 일 예시도,
- [0141] 도 10은 도 1에 도시한 어드레스 디코더의 블럭도,
- [0142] 도 11은 도 10에 도시한 서브 워드라인 제어신호 생성부의 일 예시도,
- [0143] 도 12는 도 10에 도시한 디코딩부의 일 예시도,
- [0144] 도 13은 본 발명의 일 실시예에 의한 반도체 메모리 장치의 구성도이다.

<도면의 주요 부분에 대한 부호 설명>

- [0145] 1 : 프로브 테스트 제어 회로 10 : 뱅크 액티브 회로
- [0147] 20 : 매트 액티브 회로 30 : 어드레스 디코더
- [0148] 110 : 래치부 120 : 뱅크 액티브 제어부
- [0149] 210 : 매트 선택 제어부 220 : 로우 어드레스 제어부

도면

도면1



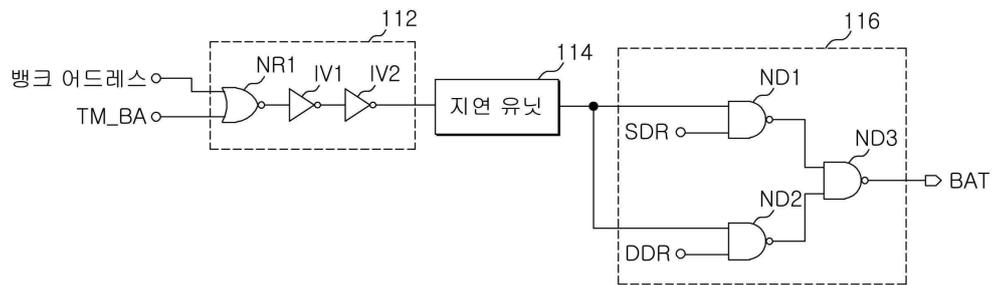
도면2

10

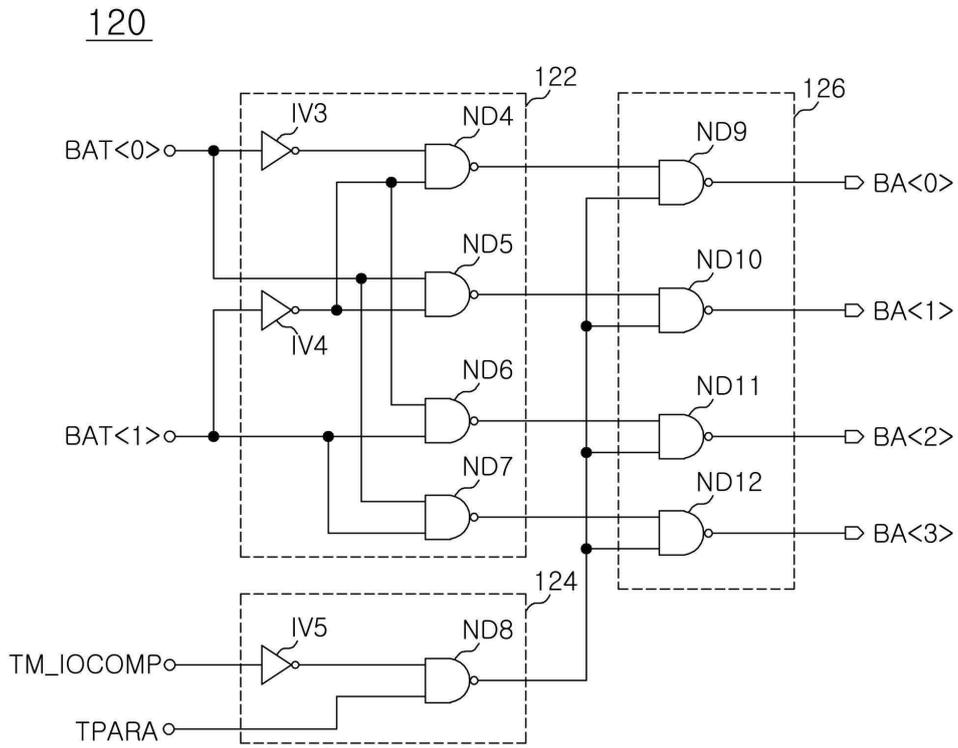


도면3

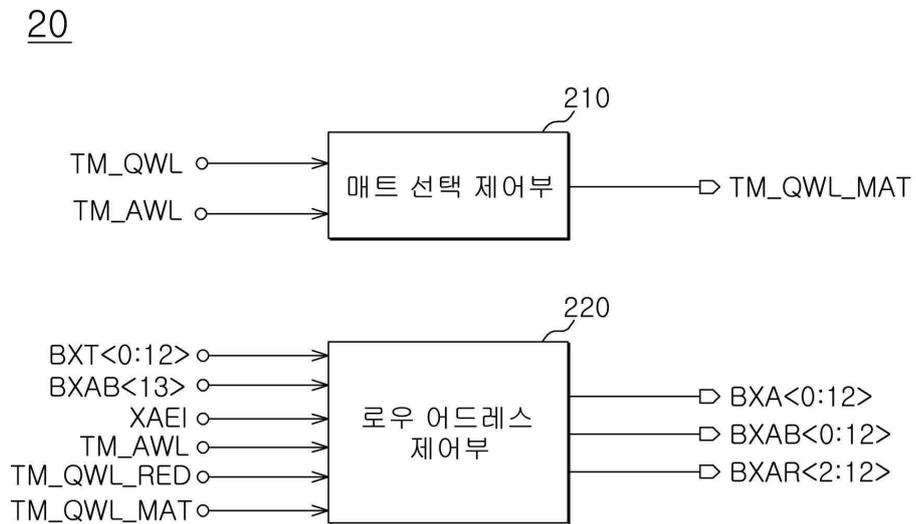
110



도면4

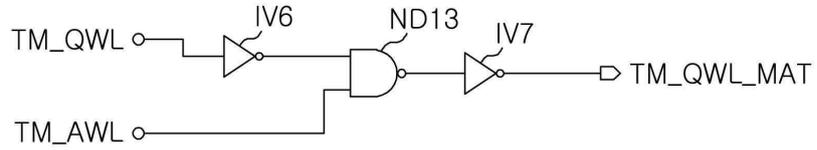


도면5



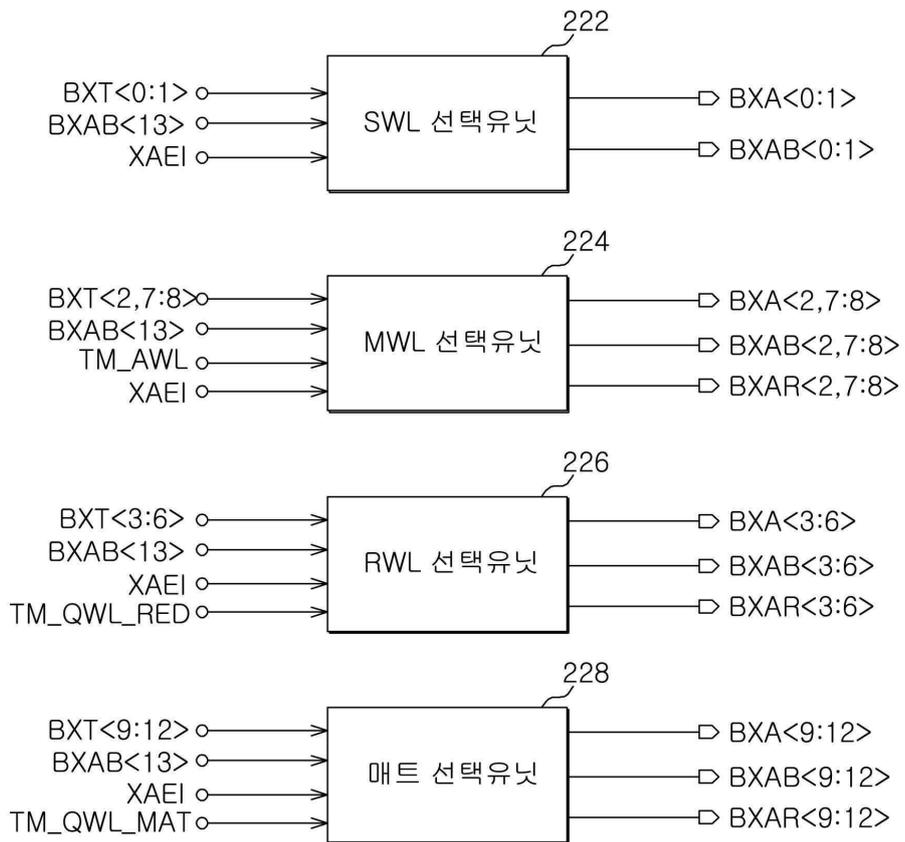
도면6

210

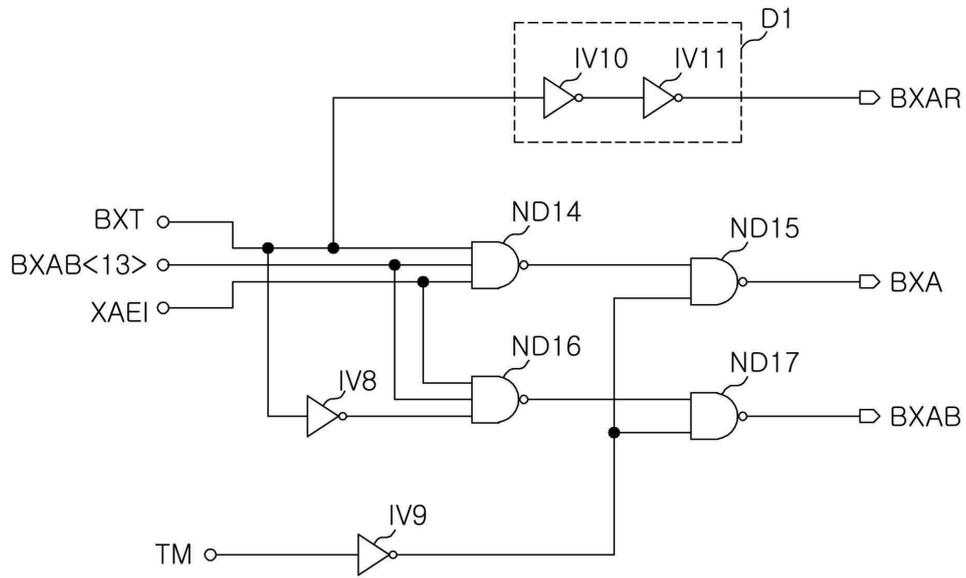


도면7

220

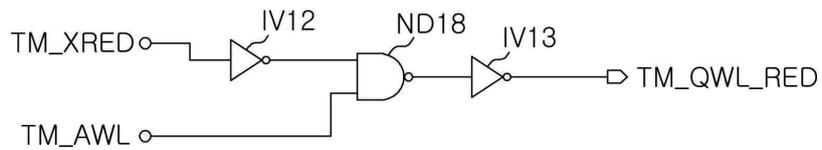


도면8



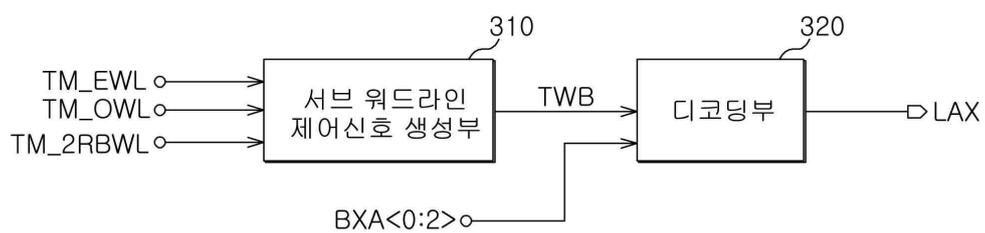
도면9

232



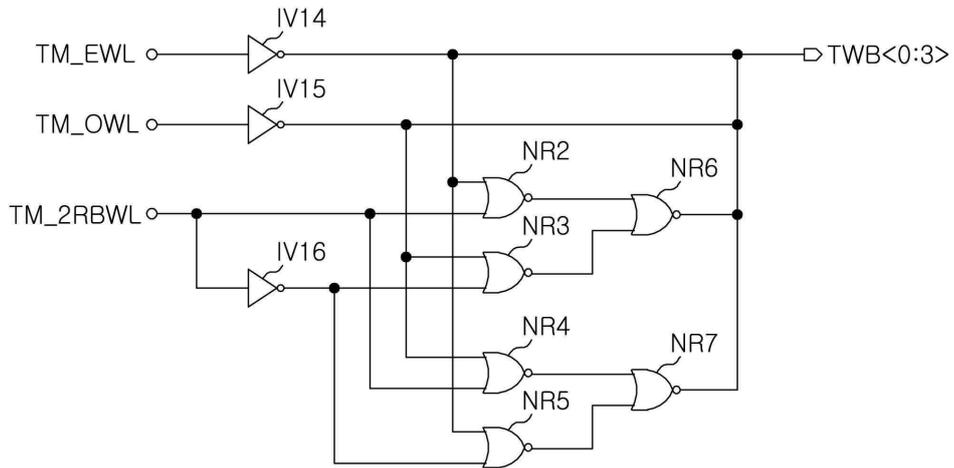
도면10

30

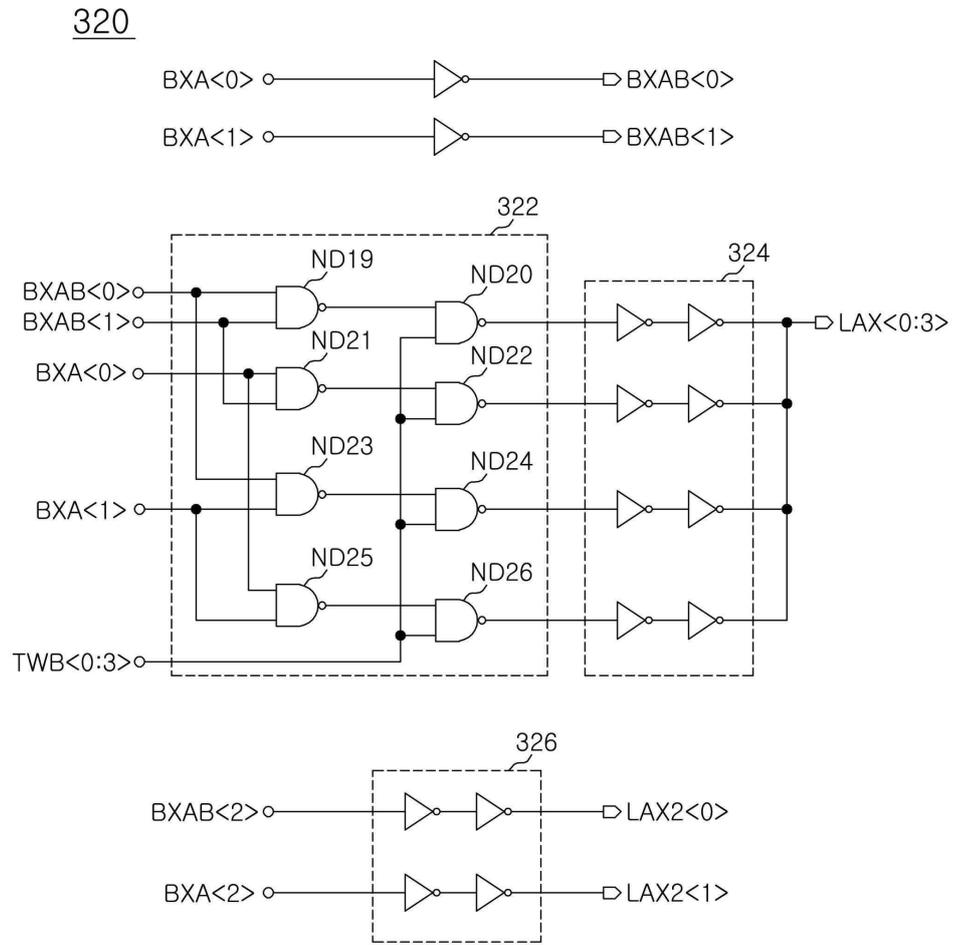


도면11

310



도면12



도면13

50

