



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월29일
(11) 등록번호 10-2661652
(24) 등록일자 2024년04월24일

(51) 국제특허분류(Int. Cl.)
H03F 3/21 (2006.01) H03F 1/56 (2006.01)
H03F 3/68 (2006.01)
(52) CPC특허분류
H03F 3/211 (2013.01)
H03F 1/56 (2013.01)
(21) 출원번호 10-2021-0082831
(22) 출원일자 2021년06월25일
심사청구일자 2021년06월25일
(65) 공개번호 10-2022-0003458
(43) 공개일자 2022년01월10일
(30) 우선권주장
JP-P-2020-114450 2020년07월01일 일본(JP)
(56) 선행기술조사문헌
KR1020120093357 A*
US20200091879 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
나미에 히사노리
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고 가부시킴가이샤 무라타 세이사쿠쇼 나미에 히사노리
사토 아키
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고 가부시킴가이샤 무라타 세이사쿠쇼 나미에 히사노리
(74) 대리인
하영욱

전체 청구항 수 : 총 7 항

심사관 : 이준건

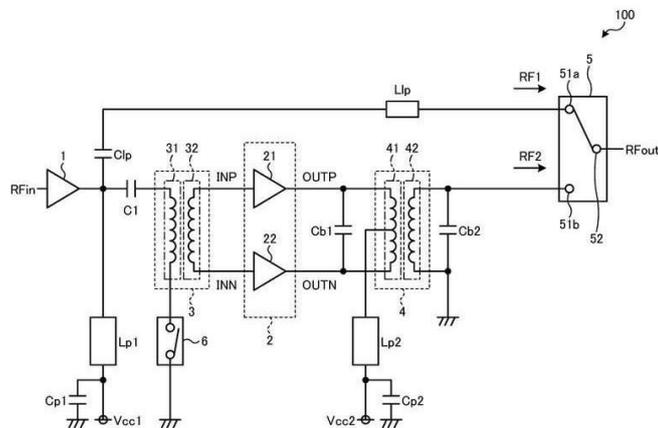
(54) 발명의 명칭 전력 증폭 회로

(57) 요약

[과제] 간이한 구성으로, 이득을 스위칭 가능한 전력 증폭 회로를 얻는 것을 가능하게 한다.

[해결 수단] 전력 증폭 회로(100)는, 제 1 모드의 경우, 및, 제 1 모드와는 다른 제 2 모드의 경우에 동작하는 싱글 엔드 증폭기(1)와, 제 2 모드의 경우에 동작하는 차동 증폭기(2)와, 싱글 엔드 증폭기(1)의 불평형 출력 신호를 차동 신호로 변환해서, 차동 증폭기(2)에 출력하는 제 1 발룬 트랜스(3)와, 차동 증폭기(2)의 평형 출력 신호를 불평형 출력 신호로 변환하는 제 2 발룬 트랜스(4)와, 제 1 모드에 있어서, 싱글 엔드 증폭기(1)의 불평형 출력 신호를 출력하고, 제 2 모드에 있어서, 제 2 발룬 트랜스(4)의 불평형 출력 신호를 출력하는 제 1 스위치 회로(5)를 구비한다.

대표도



(52) CPC특허분류

H03F 3/68 (2013.01)

H03F 2200/09 (2013.01)

H03F 2200/48 (2013.01)

명세서

청구범위

청구항 1

제 1 모드의 경우, 및, 상기 제 1 모드와는 다른 제 2 모드의 경우에 동작하는 싱글 엔드 증폭기와,
 상기 제 2 모드의 경우에 동작하는 차동 증폭기와,
 상기 싱글 엔드 증폭기의 불평형 출력 신호를 차동 신호로 변환해서, 상기 차동 증폭기에 출력하는 제 1 발룬 트랜스와,
 상기 차동 증폭기의 평형 출력 신호를 불평형 출력 신호로 변환하는 제 2 발룬 트랜스와,
 상기 제 1 모드에 있어서, 상기 싱글 엔드 증폭기의 불평형 출력 신호를 출력하고, 상기 제 2 모드에 있어서, 상기 제 2 발룬 트랜스의 불평형 출력 신호를 출력하는 제 1 스위치 회로와,
 상기 싱글 엔드 증폭기와 상기 제 1 발룬 트랜스의 입력측 권선의 일단 사이에 설치된 제 1 커패시터와,
 상기 제 2 모드의 경우에 상기 제 1 발룬 트랜스의 입력측 권선의 타단을 기준 전위로 접속하는 제 2 스위치 회로를 구비하는 전력 증폭 회로.

청구항 2

삭제

청구항 3

제 1 모드의 경우, 및, 상기 제 1 모드와는 다른 제 2 모드의 경우에 동작하는 싱글 엔드 증폭기와,
 상기 제 2 모드의 경우에 동작하는 차동 증폭기와,
 상기 싱글 엔드 증폭기의 불평형 출력 신호를 차동 신호로 변환해서, 상기 차동 증폭기에 출력하는 제 1 발룬 트랜스와,
 상기 차동 증폭기의 평형 출력 신호를 불평형 출력 신호로 변환하는 제 2 발룬 트랜스와,
 상기 제 1 모드에 있어서, 상기 싱글 엔드 증폭기의 불평형 출력 신호를 출력하고, 상기 제 2 모드에 있어서, 상기 제 2 발룬 트랜스의 불평형 출력 신호를 출력하는 제 1 스위치 회로를 구비하고,
 상기 싱글 엔드 증폭기와 상기 제 1 발룬 트랜스의 입력측 권선의 일단이 접속되고,
 상기 제 1 발룬 트랜스의 입력측 권선의 타단에 상기 싱글 엔드 증폭기의 전원 전압이 공급되는 전력 증폭 회로.

청구항 4

제 1 항 또는 제 3 항에 있어서,
 상기 제 1 스위치 회로는,
 상기 싱글 엔드 증폭기의 불평형 출력 신호와 제 2 발룬 트랜스의 불평형 출력 신호를 스위칭해서 출력하는 전력 증폭 회로.

청구항 5

제 1 항 또는 제 3 항에 있어서,
 상기 제 1 스위치 회로는,
 상기 제 1 모드에 있어서, 상기 싱글 엔드 증폭기의 불평형 출력 경로와 상기 제 2 발룬 트랜스의 불평형 출력 경로를 단락하는 전력 증폭 회로.

청구항 6

제 5 항에 있어서,
 상기 제 2 발룬 트랜스의 불평형 출력 경로에 제 2 커패시터가 설치되고,
 상기 제 2 커패시터의 일단이 상기 제 2 발룬 트랜스의 출력측 권선의 일단에 접속되고,
 상기 제 2 커패시터의 타단이 상기 제 1 스위치 회로의 일단에 접속되어 있는 전력 증폭 회로.

청구항 7

제 4 항에 있어서,
 상기 제 1 스위치 회로의 출력을 복수의 출력 경로 중 어느 하나로 스위칭해서 출력하는 제 3 스위치 회로와,
 상기 제 1 스위치 회로와 상기 제 3 스위치 회로 사이에 형성된 정합 회로를 구비하는 전력 증폭 회로.

청구항 8

제 7 항에 있어서,
 상기 정합 회로는 특성을 조정 가능한 가변 정합 회로인 전력 증폭 회로.

발명의 설명

기술 분야

[0001] 본 발명은 전력 증폭 회로에 관한 것이다.

배경 기술

[0002] 무선 통신 단말 장치에 탑재되는 전력 증폭 회로에서는, 소망의 이득을 얻기 위해서, 복수의 증폭기를 사용한 다단 구성이 널리 이용되고 있다. 예를 들면, 하기 특허문헌 1에는 싱글 엔드 증폭기와 차동 증폭기로 이루어지는 2단 구성의 전력 증폭 회로가 기재되어 있다.

[0003] 이와 같은 싱글 엔드 증폭기와 차동 증폭기를 포함하는 다단 구성의 전력 증폭 회로에 있어서, 이득의 스위칭 기능을 요구받을 경우가 있다. 예를 들면, 상대적으로 이득이 낮은 싱글 엔드 증폭기와 상대적으로 이득이 높은 차동 증폭기를 스위칭하는 구성이 개시되어 있다(예를 들면, 특허문헌 2).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허공개 2014-225862호 공보
 (특허문헌 0002) 미국 특허 제 9160377호 명세서

발명의 내용

해결하려는 과제

[0005] 상기 특허문헌 2에 기재된 구성에서는, 싱글 엔드 증폭기에 의한 전력 증폭 경로와 차동 증폭기에 의한 전력 증폭 경로를 스위치 회로에 의해 스위칭하는 구성이기 때문에, 회로 구성이 복잡화될 가능성이 있다.

[0006] 본 발명은 상기를 감안하여 이루어진 것으로서, 간이한 구성이고, 이득을 스위칭 가능한 전력 증폭 회로를 얻는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일측면의 전력 증폭 회로는, 제 1 모드의 경우, 및, 상기 제 1 모드와는 다른 제 2 모드의 경우에 동작하는 싱글 엔드 증폭기와, 상기 제 2 모드의 경우에 동작하는 차동 증폭기와, 상기 싱글 엔드 증폭기의 불평형 출력 신호를 차동 신호로 변환해서, 상기 차동 증폭기에 출력하는 제 1 발룬 트랜스와, 상기 차동 증폭기의 평형 출력 신호를 불평형 출력 신호로 변환하는 제 2 발룬 트랜스와, 상기 제 1 모드에 있어서, 상기 싱글 엔드 증폭기의 불평형 출력 신호를 출력하고, 상기 제 2 모드에 있어서, 상기 제 2 발룬 트랜스의 불평형 출력 신호를 출력하는 제 1 스위치 회로를 구비한다.

[0008] 이 구성에서는, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작과, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작을 스위칭 가능한 전력 증폭 회로를, 간단한 구성으로 실현할 수 있다.

발명의 효과

[0009] 본 개시에 의하면, 간단한 구성으로 이득을 스위칭 가능한 전력 증폭 회로를 얻을 수 있다.

도면의 간단한 설명

- [0010] 도 1a는 실시형태 1에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 1b는 실시형태 1에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 2a는 실시형태 1에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 1 발룬 트랜스의 등가 회로를 나타내는 도면이다.
- 도 2b는 실시형태 1의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 1 발룬 트랜스의 등가 회로를 나타내는 도면이다.
- 도 3은 실시형태 1에 따른 전력 증폭 회로의 제 1 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 일례를 나타내는 도면이다.
- 도 4a는 실시형태 2에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 4b는 실시형태 2에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 5는 실시형태 2에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 1 발룬 트랜스의 등가 회로를 나타내는 도면이다.
- 도 6은 실시형태 2에 따른 전력 증폭 회로의 제 1 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 일례를 나타내는 도면이다.
- 도 7은 실시형태 1에 따른 전력 증폭 회로와 실시형태 2에 따른 전력 증폭 회로의 제 2 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 비교예를 나타내는 도면이다.
- 도 8a는 실시형태 3에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 8b는 실시형태 3에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 9a는 실시형태 4에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 9b는 실시형태 4에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 10은 실시형태 4에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 2 발룬 트랜스의 등가 회로를 나타내는 도면이다.
- 도 11은 실시형태 4의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 2 발룬 트랜스의 등가 회로를 나타내는 도면이다.
- 도 12는 실시형태 4에 따른 전력 증폭 회로의 제 1 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 일례를 나타내는 도면이다.
- 도 13은 실시형태 5에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.
- 도 14는 실시형태 6에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하에, 실시형태에 따른 전력 증폭 회로를 도면에 의거하여 상세히 설명한다. 또한, 이 실시형태에 의해 본 발명이 한정되는 것은 아니다. 또한, 각 실시형태의 구성 요소에는 당업자가 치환 가능하고 또한 용이한 것, 또는 실질적으로 동일한 것이 포함된다. 각 실시형태는 예시이며, 다른 실시형태로 나타낸 구성의 부분적인 치환 또는 조합이 가능하다. 실시형태 2 이후에서는 실시형태 1과 공통인 사항에 대한 기술을 생략하고, 다른 점에 대해서만 설명한다. 특히, 마찬가지로의 구성에 의한 마찬가지로의 작용 효과에 대해서는 실시형태마다 축차 언급하지 않는다.
- [0012] (실시형태 1)
- [0013] 도 1a 및 도 1b는 실시형태 1에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다. 실시형태 1에 따른 전력 증폭 회로(100)는, 입력된 고주파 입력 신호(RFin)에 대하여, 상대적으로 낮은 제 1 이득(저이득)에 의한 증폭 동작과, 상대적으로 높은 제 2 이득(고이득)에 의한 증폭 동작을 행하고, 고주파 출력 신호(RFout)를 출력한다. 이하, 제 1 이득에 의한 증폭 동작을 행하는 모드를 「제 1 모드」라고 칭하고, 제 2 이득에 의한 증폭 동작을 행하는 모드를 「제 2 모드」라고 칭한다. 도 1a는 제 1 모드의 경우의 상태를 나타내고, 도 1b는 제 2 모드의 경우의 상태를 나타내고 있다.
- [0014] 실시형태 1에 따른 전력 증폭 회로(100)는, 도 1a 및 도 1b에 나타내는 바와 같이, 싱글 엔드 증폭기(1), 차동 증폭기(2), 제 1 발룬 트랜스(3), 제 2 발룬 트랜스(4), 및 제 1 스위치 회로(5)를 구비하고 있다.
- [0015] 싱글 엔드 증폭기(1)는 인덕턴스 소자(Lp1)를 통해서 입력되는 제 1 전원 전압(Vcc1)에 의해 제 1 모드 및 제 2 모드로 동작한다.
- [0016] 싱글 엔드 증폭기(1)는, 예를 들면, 바이폴라 트랜지스터로 구성되어 있어도 좋고, 예를 들면, 전계 효과형 트랜지스터(FET: Field Effect Transistor)로 구성되어 있어도 좋다. 싱글 엔드 증폭기(1)를 바이폴라 트랜지스터로 구성할 경우, 예를 들면, 헤테로 접합 바이폴라 트랜지스터(HBT: Hetero junction Bipolar Transistor)가 예시된다. 싱글 엔드 증폭기(1)의 구성에 의해 본 개시가 한정되는 것은 아니다.
- [0017] 제 1 발룬 트랜스(3)는 입력측 권선(31) 및 출력측 권선(32)을 포함한다.
- [0018] 싱글 엔드 증폭기(1)는 싱글 엔드 신호인 고주파 입력 신호(RFin)를 증폭한다. 싱글 엔드 증폭기(1)의 출력인 불평형 출력 신호는, 커패시터(C1p) 및 인덕턴스 소자(L1p)를 통해서 제 1 스위치 회로(5)의 입력 단자(51a)에 입력된다. 또한, 싱글 엔드 증폭기(1)의 출력인 불평형 출력 신호는, 커패시터(C1)(제 1 커패시터)를 통해 제 1 발룬 트랜스(3)의 입력측 권선(31)의 일단에 입력된다. 제 1 발룬 트랜스(3)의 입력측 권선(31)의 타단은, 제 2 모드의 경우에 제 2 스위치 회로(6)를 통해서 기준 전위로 접속된다(도 1b 참조). 기준 전위는 여기에서는 접지 전위로 하지만, 이것에 한정되지 않는다.
- [0019] 제 1 발룬 트랜스(3)는 싱글 엔드 증폭기(1)로부터의 불평형 출력 신호를 불평형-평형 변환해서 차동 신호로 변환한다. 제 1 발룬 트랜스(3)의 출력측 권선(32)은 차동 증폭기(2)의 입력(INP, INN)과의 사이에 접속되어 있다.
- [0020] 제 1 발룬 트랜스(3)의 입력측 권선(31)과 출력측 권선(32)은 전자계 결합되어 있다. 이것에 의해, 싱글 엔드 증폭기(1)로부터 출력된 불평형 출력 신호는, 제 1 발룬 트랜스(3)에 의해 불평형-평형 변환된다.
- [0021] 제 2 발룬 트랜스(4)는 입력측 권선(41) 및 출력측 권선(42)을 포함한다. 입력측 권선(41)은 차동 증폭기(2)의 출력(OUTP)과 출력(OUTN) 사이에 접속되어 있다. 입력측 권선(41)의 중점에는 센터 탭이 설치되고, 이 센터 탭에 인덕턴스 소자(Lp2)를 통해서 제 2 전원 전압(Vcc2)이 인가된다. 또한, 입력측 권선(41)에는 커패시터(Cb1)가 병렬 접속되어 있다.
- [0022] 출력측 권선(42)은 일단이 기준 전위로 접속된다. 또한, 출력측 권선(42)에는 커패시터(Cb2)가 병렬 접속되어 있다.
- [0023] 차동 증폭기(2)는, 인덕턴스 소자(Lp2) 및 제 2 발룬 트랜스(4)의 입력측 권선(41)을 통해 입력되는 제 2 전원 전압(Vcc2)에 의해, 제 2 모드로 동작한다.
- [0024] 차동 증폭기(2)는, 제 1 발룬 트랜스(3)로부터 출력되는 차동 신호를 증폭하는 2개의 증폭기(21, 22)를 포함한다. 증폭기(21, 22)는, 예를 들면, 바이폴라 트랜지스터로 구성되어 있어도 좋고, 예를 들면, FET로 구성되어

있어도 좋다. 증폭기(21, 22)를 바이폴라 트랜지스터로 구성할 경우, 예를 들면 HBT가 예시된다. 증폭기(21, 22)의 구성에 의해 본 개시가 한정되는 것은 아니다.

- [0025] 제 2 발룬 트랜스(4)의 입력측 권선(41)과 출력측 권선(42)은 전자계 결합되어 있다. 이것에 의해, 차동 증폭기(2)로부터 출력된 평형 출력 신호는, 제 2 발룬 트랜스(4)에 의해 평형-불평형 변환된다.
- [0026] 제 2 발룬 트랜스(4)의 출력인 평형 출력 신호는 제 1 스위치 회로(5)의 입력 단자(51b)에 입력된다.
- [0027] 제 1 스위치 회로(5)는 싱글 엔드 증폭기(1)의 불평형 출력 신호와 제 2 발룬 트랜스(4)의 불평형 출력 신호를 스위칭해서 출력한다. 구체적으로, 제 1 스위치 회로(5)는, 제 1 모드의 경우에, 입력 단자(51a)와 출력 단자(52)를 전기적으로 접속하고(도 1a 참조), 제 2 모드의 경우에, 입력 단자(51b)와 출력 단자(52)를 전기적으로 접속한다(도 1b 참조).
- [0028] 상술한 실시형태 1의 구성에 의해, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작과, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작을 스위칭 가능한 전력 증폭 회로를, 간단한 구성으로 실현할 수 있다.
- [0029] 도 2a는 실시형태 1에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 1 발룬 트랜스의 등가 회로를 나타내는 도면이다. 도 2b는 실시형태 1의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 1 발룬 트랜스의 등가 회로를 나타내는 도면이다. 도 3은 실시형태 1에 따른 전력 증폭 회로의 제 1 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 일례를 나타내는 도면이다. 도 3에 있어서, 실선은 실시형태 1에 따른 전력 증폭 회로의 제 1 모드에 있어서의 시뮬레이션 결과를 나타내고, 파선은 도 2b에 나타내는 실시형태 1의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 시뮬레이션 결과를 나타내고 있다.
- [0030] 도 2b에 나타내는 비교예에서는, 커패시터(C1)(제 1 커패시터), 및 인덕턴스 소자(L1, L3)에 의해 직렬 공진 회로가 구성된다. 이것에 의해, 도 3의 파선으로 나타내는 바와 같이, 송신 주파수 대역(도 3에 나타내는 예에서는, 2[GHz] 부근)에 커패시터(C1) 및 인덕턴스 소자(L1, L3)에 의해 구성되는 직렬 공진 회로의 공진 주파수에 덩이 발생할 경우가 있다.
- [0031] 본 실시형태에서는, 상술한 바와 같이, 제 1 발룬 트랜스(3)의 입력측 권선(31)의 타단에 제 2 스위치 회로(6)를 형성하고, 제 1 모드의 경우에는 제 1 발룬 트랜스(3)의 입력측 권선(31)과 기준 전위를 분리하는 형태로 하고 있다. 이것에 의해, 도 3의 실선으로 나타내는 바와 같이, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작에 있어서, 송신 주파수 대역에 도 3의 파선으로 나타내는 비교예와 같은 덩이 발생하지 않도록 할 수 있다.
- [0032] (실시형태 2)
- [0033] 도 4a 및 도 4b는 실시형태 2에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다. 도 4a는 제 1 모드의 경우의 상태를 나타내고, 도 4b는 제 2 모드의 경우의 상태를 나타내고 있다. 또한, 실시형태 1과 동일 구성 요소에는 동일 참조 부호를 붙여서 설명을 생략한다.
- [0034] 도 5는 실시형태 2에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 1 발룬 트랜스의 등가 회로를 나타내는 도면이다. 도 6은 실시형태 2에 따른 전력 증폭 회로의 제 1 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 일례를 나타내는 도면이다. 도 6에 있어서, 실선은 실시형태 2에 따른 전력 증폭 회로의 제 1 모드에 있어서의 시뮬레이션 결과를 나타내고, 파선은 도 2b에 나타내는 실시형태 1의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 시뮬레이션 결과를 나타내고 있다.
- [0035] 실시형태 2에 따른 전력 증폭 회로(100a)에서는, 도 4a 및 도 4b에 나타내는 바와 같이, 싱글 엔드 증폭기(1)와 제 1 발룬 트랜스(3)의 입력측 권선(31)의 일단이 접속되고, 입력측 권선(31)의 타단에 제 1 전원 전압(Vcc1)이 공급되는 형태이다. 이것에 의해, 도 5에 나타내는 바와 같이, 실시형태 1의 비교예에 있어서 설명한 바와 같은 직렬 공진 회로가 구성되지 않는다. 이것에 의해, 도 6의 실선으로 나타내는 바와 같이, 송신 주파수 대역(도 6에 나타내는 예에서는, 2[GHz] 부근)에 도 6의 파선으로 나타내는 비교예와 같은 덩이 발생하지 않도록 할 수 있다.
- [0036] 도 7은 실시형태 2에 따른 전력 증폭 회로의 제 2 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과를 나타내는 도면이다. 도 7에 있어서, 실선은 실시형태 2에 따른 전력 증폭 회로의 제 2 모드에 있어서의 시뮬레이션 결과를 나타내고, 파선은 실시형태 1에 따른 전력 증폭 회로의 제 2 모드에 있어서의 시뮬레이션 결과를 나타내

고 있다.

- [0037] 제 2 모드에 있어서도, 도 7의 실선으로 나타내는 바와 같이, 도 7의 파선에서 나타낸 실시형태 1의 구성과 마찬가지로 양호한 이득 특성을 얻을 수 있다.
- [0038] 상술한 실시형태 2의 구성에 의해, 보다 간이한 구성으로, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작과, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작을 스위칭 가능한 전력 증폭 회로를 실현할 수 있다.
- [0039] (실시형태 3)
- [0040] 도 8a 및 도 8b는 실시형태 3에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다. 도 8a는 제 1 모드의 경우의 상태를 나타내고, 도 8b는 제 2 모드의 경우의 상태를 나타내고 있다. 또한, 실시형태 2와 동일한 구성 요소에는 동일 참조 부호를 붙여서 설명을 생략한다.
- [0041] 실시형태 3에 따른 전력 증폭 회로(100b)에서는, 도 8a 및 도 8b에 나타내는 바와 같이, 제 1 스위치 회로(5a)를 SPST(Single Pole Single Throw)로 한 형태이다. 구체적으로는, 제 1 모드에 있어서, 싱글 엔드 증폭기(1)의 불평형 출력 경로와 제 2 발룬 트랜스(4)의 불평형 출력 경로를 단락한다. 이것에 의해, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작에 있어서, 스위치 회로에 의한 전력 로스에 따른 소비 전류의 증가를 억제할 수 있다.
- [0042] (실시형태 4)
- [0043] 도 9a 및 도 9b는 실시형태 4에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다. 도 9a는 제 1 모드의 경우의 상태를 나타내고, 도 9b는 제 2 모드의 경우의 상태를 나타내고 있다. 또한, 실시형태 3과 동일한 구성 요소에는 동일 참조 부호를 붙여서 설명을 생략한다.
- [0044] 실시형태 4에 따른 전력 증폭 회로(100c)에서는, 도 9a 및 도 9b에 나타내는 바와 같이, 제 2 발룬 트랜스(4)의 불평형 출력 경로에 커패시터(C2)(제 2 커패시터)가 설치되어 있다. 구체적으로, 커패시터(C2)의 일단이 제 2 발룬 트랜스(4)의 출력측 권선(42)의 일단에 접속되고, 커패시터(C2)의 타단이 제 1 스위치 회로(5a)의 일단에 접속되어 있다.
- [0045] 도 10은 실시형태 4에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 2 발룬 트랜스의 등가 회로를 나타내는 도면이다. 도 11은 실시형태 4의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 제 2 발룬 트랜스의 등가 회로를 나타내는 도면이다. 도 12는 실시형태 4에 따른 전력 증폭 회로의 제 1 모드에 있어서의 주파수-이득 특성의 시뮬레이션 결과의 일례를 나타내는 도면이다. 도 12에 있어서, 실선은 실시형태 4에 따른 전력 증폭 회로의 제 1 모드에 있어서의 시뮬레이션 결과를 나타내고, 파선은 도 11에 나타내는 실시형태 4의 비교예에 따른 전력 증폭 회로의 제 1 모드에 있어서의 시뮬레이션 결과를 나타내고 있다.
- [0046] 도 11에 나타내는 비교예에서는, 커패시터(Cb1), 및 인덕턴스 소자(L4, L5)에 의해 직렬 공진 회로가 구성된다. 이것에 의해, 도 12의 파선으로 나타내는 바와 같이, 송신 주파수 대역(도 11에 나타내는 예에서는, 2[GHz] 부근)에 커패시터(Cb1) 및 인덕턴스 소자(L4, L5)에 의해 구성되는 직렬 공진 회로의 공진 주파수에 답이 발생할 경우가 있다.
- [0047] 본 실시형태에서는, 제 2 발룬 트랜스(4)의 불평형 출력 경로에 커패시터(C2)를 설치함으로써, 도 12의 실선으로 나타내는 바와 같이, 직렬 공진 회로의 공진 주파수를 송신 주파수 대역으로부터 비키어 놓을 수 있다. 이것에 의해, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작에 있어서, 이득 특성에 발생하는 답의 주파수를 송신 주파수 대역 밖으로 할 수 있다.
- [0048] (실시형태 5)
- [0049] 도 13은 실시형태 5에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다. 또한, 실시형태 2와 동일한 구성 요소에는 동일 참조 부호를 붙여서 설명을 생략한다.
- [0050] 실시형태 5에 따른 전력 증폭 회로(100d)에서는, 도 13에 나타내는 바와 같이, 실시형태 2의 구성에 추가해서, 정합 회로(7), 정합 회로(8a, 8b), 제 3 스위치 회로(9), 정합 회로(10a, 10b, 10c)를 구비하고 있다.
- [0051] 제 3 스위치 회로(9)는 제 1 스위치 회로(5)의 출력을 복수의 출력 경로 중 어느 하나로 스위칭해서 출력한다.
- [0052] 제 1 스위치 회로(5)의 입력 단자(51a)에는 정합 회로(8a)가 접속된다. 제 1 스위치 회로(5)의 입력 단자(51b)

에는 정합 회로(8b)가 접속된다.

- [0053] 정합 회로(8a)는 싱글 엔드 증폭기(1)의 불평형 출력 경로에 형성된다. 정합 회로(8a)는, 싱글 엔드 증폭기(1)의 출력과 제 1 스위치 회로(5)의 입력 단자(51a) 사이의 임피던스를 정합하도록 구성된다. 정합 회로(8a)는, 싱글 엔드 증폭기(1)의 출력과 제 1 스위치 회로(5)의 입력 단자(51a) 사이의 임피던스를 정합시키기 위한 정합 회로의 일부로서 구성된다.
- [0054] 정합 회로(8b)는 제 2 발룬 트랜스(4)의 불평형 출력 경로에 형성된다. 정합 회로(8b)는, 제 2 발룬 트랜스(4)의 출력과 제 1 스위치 회로(5)의 입력 단자(51b) 사이의 임피던스를 정합하도록 구성된다. 정합 회로(8b)는, 제 2 발룬 트랜스(4)의 출력과 제 1 스위치 회로(5)의 입력 단자(51b) 사이의 임피던스를 정합시키기 위한 정합 회로의 일부로서 구성된다.
- [0055] 제 3 스위치 회로(9)의 출력 단자(92a)에는 정합 회로(10a)가 접속된다. 제 3 스위치 회로(9)의 출력 단자(92b)에는 정합 회로(10b)가 접속된다. 제 3 스위치 회로(9)의 출력 단자(92c)에는 정합 회로(10c)가 접속된다.
- [0056] 정합 회로(10a, 10b, 10c)는 각각, 제 3 스위치 회로(9)의 출력 단자(92a, 92b, 92c)와 각 출력 경로를 통해서 접속되는 외부와의 사이의 임피던스를 정합하도록 구성된다.
- [0057] 제 1 스위치 회로(5)의 출력 단자(52)와 제 3 스위치 회로(9)의 입력 단자(91) 사이에 정합 회로(7)가 접속된다.
- [0058] 정합 회로(7)는 제 1 스위치 회로(5)의 출력 단자(52)와 제 3 스위치 회로(9)의 입력 단자(91) 사이의 임피던스를 정합시키도록 구성된다. 정합 회로(7)는 싱글 엔드 증폭기(1)의 불평형 출력 또는 제 2 발룬 트랜스(4)의 불평형 출력과 제 3 스위치 회로(9)의 입력 단자(91) 사이의 임피던스를 정합 회로(8a) 또는 정합 회로(8b)의 조합에 의해 조정시킨다.
- [0059] 정합 회로(7)는, 정합 회로(8a)에 의한 임피던스 정합과, 정합 회로(8b)에 의한 임피던스 정합에서 공통해서 형성되는 정합 소자를 포함할 수 있다. 예를 들면, 정합 회로(8a)에 의한 임피던스 정합에 있어서, 인덕턴스 소자가 싱글 엔드 증폭기(1)의 불평형 출력 경로에 접속되어서 임피던스의 조정에 사용된다고 한다. 상기 인덕턴스 소자가 정합 회로(8b)에 의한 임피던스 정합에도 사용되는 경우가 있다. 이 경우에, 정합 회로(8a) 및 정합 회로(8b)에 상기 인덕턴스 소자를 형성하지 않고, 정합 회로(7)에 상기 인덕턴스 소자에 상당하는 인덕턴스 소자를 형성함으로써, 정합 소자를 공용화할 수 있다. 또한, 공용화되는 정합 소자는 인덕턴스 소자가 아니라 커패시터라도 좋다. 정합 소자의 공용화에 의해, 정합에 요하는 회로 면적을 작게 할 수 있다.
- [0060] 정합 회로(7)는, 정합 회로(10a)에 의한 임피던스 정합과, 정합 회로(10b)에 의한 임피던스 정합과, 정합 회로(10c)에 의한 임피던스 정합에서 공통해서 형성되는 정합 소자를 포함할 수 있다. 즉, 앞서 서술한 예와 마찬가지로, 정합 소자를 공용화할 수 있고, 회로 면적을 작게 할 수 있다.
- [0061] (실시형태 6)
- [0062] 도 14는 실시형태 6에 따른 전력 증폭 회로의 구성예를 나타내는 도면이다. 또한, 실시형태 5와 동일한 구성 요소에는 동일 참조 부호를 붙여서 설명을 생략한다.
- [0063] 실시형태 6에 따른 전력 증폭 회로(100e)에서는, 도 14에 나타내는 바와 같이, 실시형태 5의 정합 회로(7) 대신에 가변 정합 회로(7a)를 구비하고 있다.
- [0064] 가변 정합 회로(7a)는 가변 소자의 일례로서, 예를 들면 가변 커패시터(Digital Tunable Capacitor: DTC)를 갖는다. 가변 커패시터는 외부로부터 입력되는 제어 신호에 의거해서, 용량값을 변경 가능한 커패시터이다. 또한, 가변 커패시터뿐만 아니라, 가변 소자(가변 저항이나 가변 이상기, 가변 인덕터)라도 좋다. 가변 정합 회로(7a)는 가변 소자를 가짐으로써 임피던스 정합시의 특성을 조정 가능하게 된다.
- [0065] 가변 정합 회로(7a)는, 예를 들면 가변 커패시터의 용량값이 조정됨으로써, 출력 경로를 통해 접속되는 외부와의 사이의 임피던스를 정합하도록 구성된다. 가변 소자가 가변 커패시터와 같이 용량값을 조정하는 것이 아닌 경우에는, 상기 가변 소자의 파라미터를 조정함으로써 임피던스 정합시의 특성을 조정 가능하게 된다.
- [0066] 가변 정합 회로(7a)를 사용함으로써, 실시형태 5의 정합 회로(10a, 10b, 10c)를 사용할 필요가 없기 때문에, 정합에 요하는 회로 면적을 보다 작게 할 수 있다. 또한, 정합을 최적화함으로써, 제 1 모드 또는 제 2 모드의 모드로 임피던스 최적화가 가능해져, 소비 전류를 작게 할 수 있다.

- [0067] 또한, 상기한 실시형태는 본 발명의 이해를 용이하게 하기 위한 것이고, 본 발명을 한정해서 해석하기 위한 것은 아니다. 본 발명은 그 취지를 일탈하지 않고, 변경/개량될 수 있음과 아울러, 본 발명에는 그 등가물도 포함된다.
- [0068] 또한, 본 개시는 이하의 구성을 취할 수도 있다.
- [0069] (1) 본 발명의 일측면의 전력 증폭 회로는, 제 1 모드의 경우, 및, 상기 제 1 모드와는 다른 제 2 모드의 경우에 동작하는 싱글 엔드 증폭기와, 상기 제 2 모드의 경우에 동작하는 차동 증폭기와, 상기 싱글 엔드 증폭기의 불평형 출력 신호를 차동 신호로 변환해서, 상기 차동 증폭기에 출력하는 제 1 발룬 트랜스와, 상기 차동 증폭기의 평형 출력 신호를 불평형 출력 신호로 변환하는 제 2 발룬 트랜스와, 상기 제 1 모드에 있어서, 상기 싱글 엔드 증폭기의 불평형 출력 신호를 출력하고, 상기 제 2 모드에 있어서, 상기 제 2 발룬 트랜스의 불평형 출력 신호를 출력하는 제 1 스위치 회로를 구비한다.
- [0070] 이 구성에서는, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작과, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작을 스위칭 가능한 전력 증폭 회로를, 간이한 구성으로 실현할 수 있다.
- [0071] (2) 상기 (1)의 전력 증폭 회로에 있어서, 상기 싱글 엔드 증폭기와 상기 제 1 발룬 트랜스의 입력측 권선의 일단 사이에 설치된 제 1 커패시터와, 상기 제 2 모드의 경우에 상기 제 1 발룬 트랜스의 입력측 권선의 타단을 기준 전위로 접속하는 제 2 스위치 회로를 구비한다.
- [0072] 이 구성에서는, 제 1 모드에 있어서 전력 증폭 회로의 송신 주파수 대역에 댐이 발생하지 않도록 할 수 있다.
- [0073] (3) 상기 (1)의 전력 증폭 회로에 있어서, 상기 싱글 엔드 증폭기와 상기 제 1 발룬 트랜스의 입력측 권선의 일단이 접속되고, 상기 제 1 발룬 트랜스의 입력측 권선의 타단에 상기 싱글 엔드 증폭기의 전원 전압이 공급된다.
- [0074] 이 구성에서는, 보다 간이한 구성으로, 제 1 모드에 의한 상대적으로 낮은 제 1 이득(저이득)에서의 증폭 동작과, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작을 스위칭 가능한 전력 증폭 회로를 실현할 수 있다.
- [0075] (4) 상기 (2) 또는 (3)의 전력 증폭 회로에 있어서, 상기 제 1 스위치 회로는, 상기 싱글 엔드 증폭기의 불평형 출력 신호와 제 2 발룬 트랜스의 불평형 출력 신호를 스위칭해서 출력해도 좋다.
- [0076] (5) 상기 (2) 또는 (3)의 전력 증폭 회로에 있어서, 상기 제 1 스위치 회로는, 상기 제 1 모드에 있어서, 상기 싱글 엔드 증폭기의 불평형 출력 경로와 상기 제 2 발룬 트랜스의 불평형 출력 경로를 단락한다.
- [0077] 이 구성에서는, 제 2 모드에 의한 상대적으로 높은 제 2 이득(고이득)에서의 증폭 동작에 있어서, 스위치 회로에 의한 전력 로스에 따른 이득의 저하를 억제할 수 있다.
- [0078] (6) 상기 (5)의 전력 증폭 회로에 있어서, 상기 제 2 발룬 트랜스의 불평형 출력 경로에 제 2 커패시터가 설치되고, 상기 제 2 커패시터의 일단이 상기 제 2 발룬 트랜스의 출력측 권선의 일단에 접속되고, 상기 제 2 커패시터의 타단이 상기 제 1 스위치 회로의 일단에 접속되어 있다.
- [0079] 이 구성에서는, 제 1 모드에 있어서 이득 특성에 발생하는 댐의 주파수를 송신 주파수 대역 밖으로 할 수 있다.
- [0080] (7) 상기 (4)의 전력 증폭 회로에 있어서, 상기 제 1 스위치 회로의 출력을 복수의 출력 경로 중 어느 하나로 스위칭해서 출력하는 제 3 스위치 회로와, 상기 제 1 스위치 회로와 상기 제 3 스위치 회로 사이에 형성된 정합 회로를 구비한다.
- [0081] 이 구성에서는 정합 소자를 공용화할 수 있고, 회로 면적을 작게 할 수 있다.
- [0082] (8) 상기 (7)의 전력 증폭 회로에 있어서, 상기 정합 회로는 특성을 조정 가능한 가변 정합 회로이다.
- [0083] 이 구성에서는 정합에 요하는 회로 면적을 보다 작게 할 수 있다. 또한, 정합을 최적화함으로써, 제 1 모드 또는 제 2 모드의 모드별로 임피던스 최적화가 가능해지고, 소비 전류를 작게 할 수 있다.
- [0084] 본 개시에 의해, 간이한 구성으로, 이득을 스위칭 가능한 전력 증폭 회로를 얻는 것이 가능해진다.

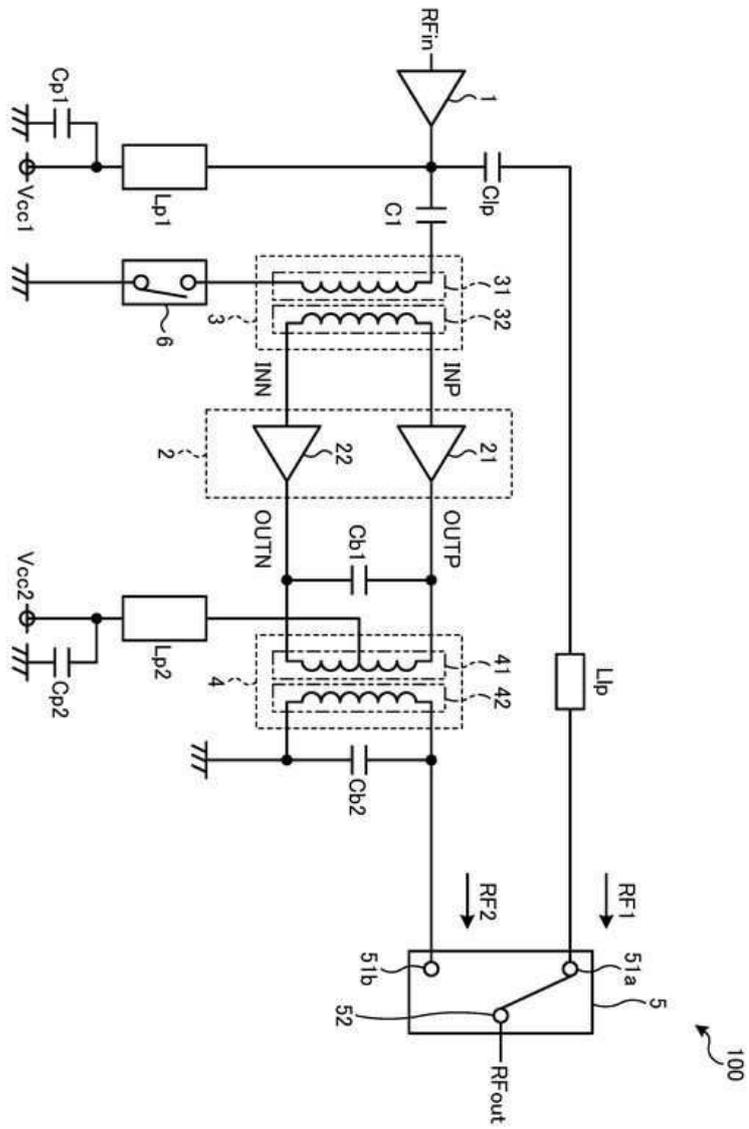
부호의 설명

[0085]

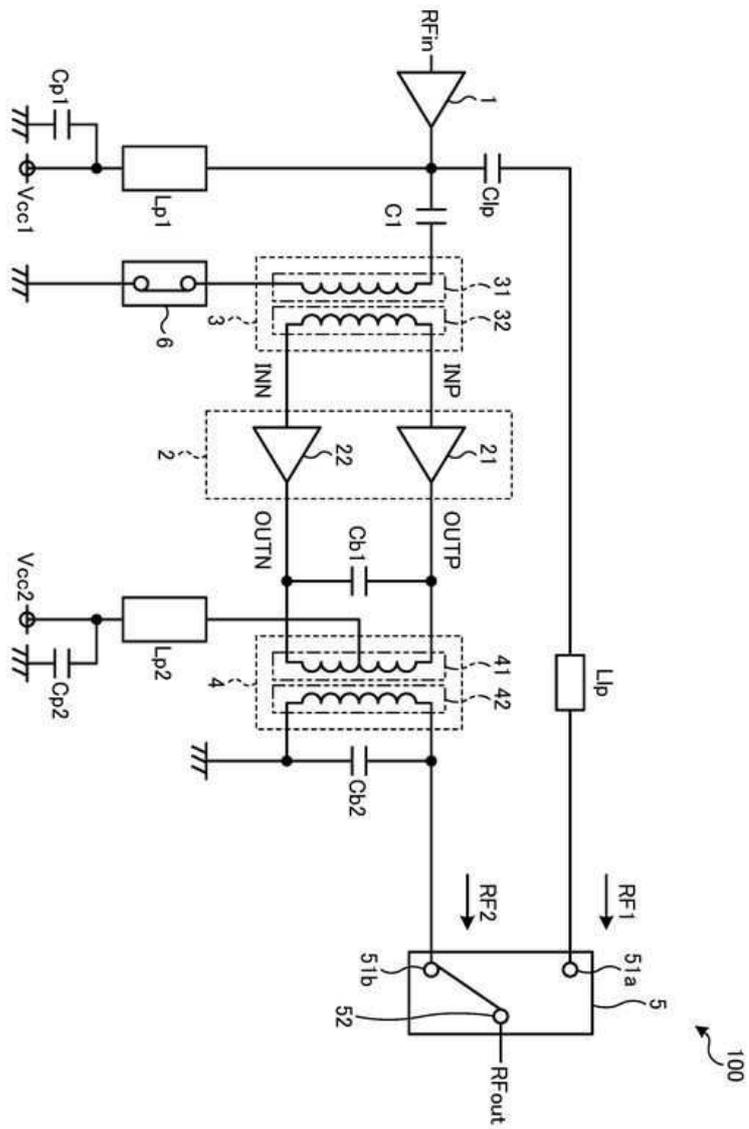
- 1 : 싱글 엔드 증폭기
- 2 : 차동 증폭기
- 3 : 제 1 발룬 트랜스
- 4 : 제 2 발룬 트랜스
- 5 : 제 1 스위치 회로
- 6 : 제 2 스위치 회로
- 7 : 정합 회로
- 7a : 가변 정합 회로
- 8a, 8b : 정합 회로
- 10a, 10b, 10c : 정합 회로
- 21, 22 : 증폭기
- 31, 41 : 입력측 권선
- 32, 42 : 출력측 권선
- 100, 100a, 100b, 100c, 100d, 100e : 전력 증폭 회로
- C1 : 커패시터(제 1 커패시터)
- C2 : 커패시터(제 2 커패시터)

도면

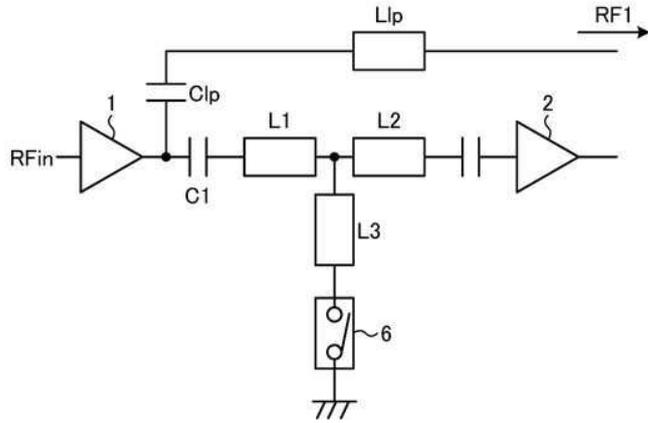
도면1a



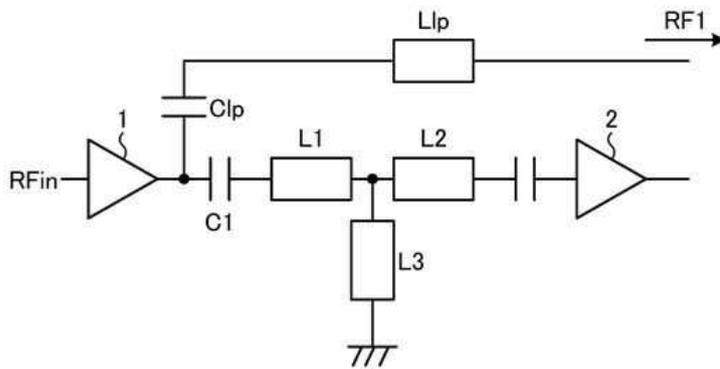
도면1b



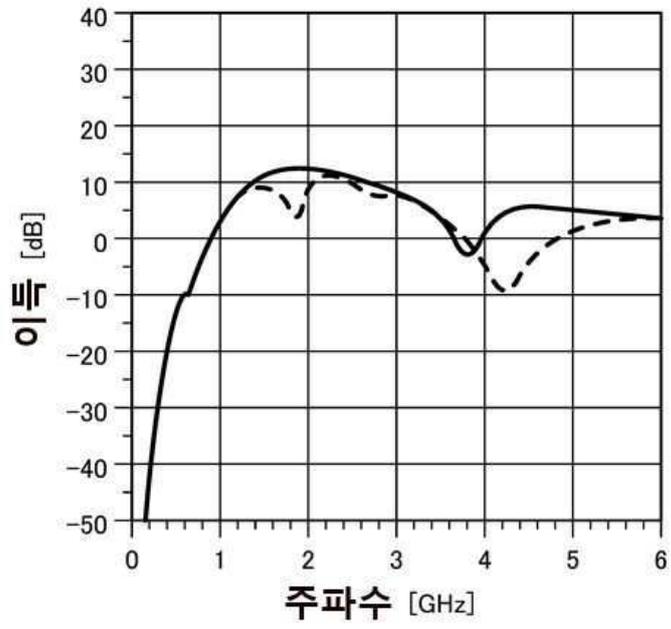
도면2a



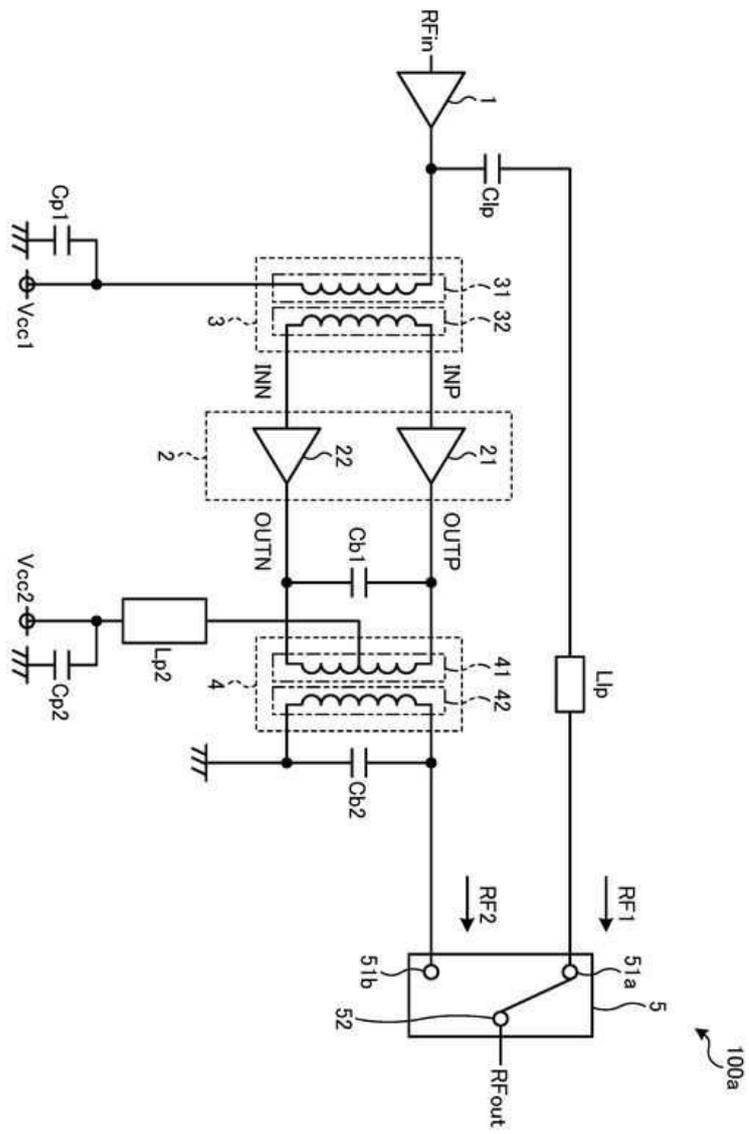
도면2b



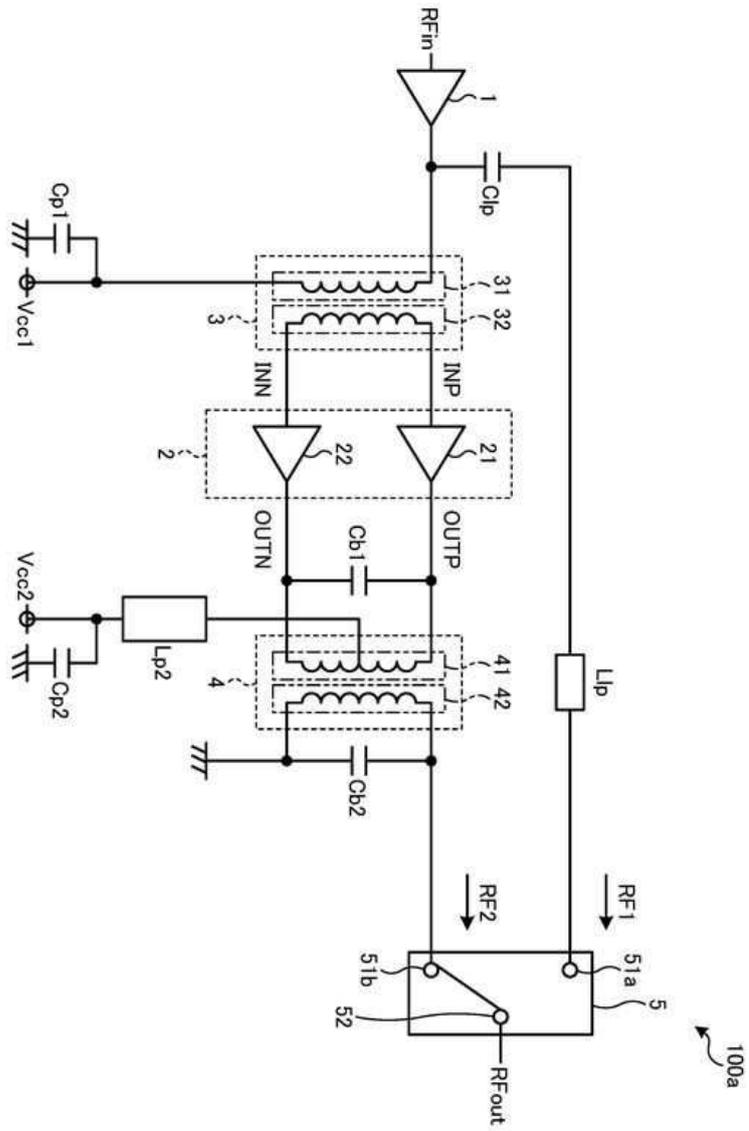
도면3



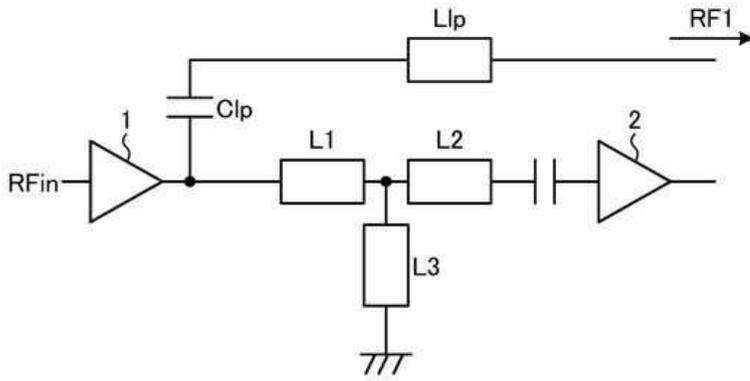
도면4a



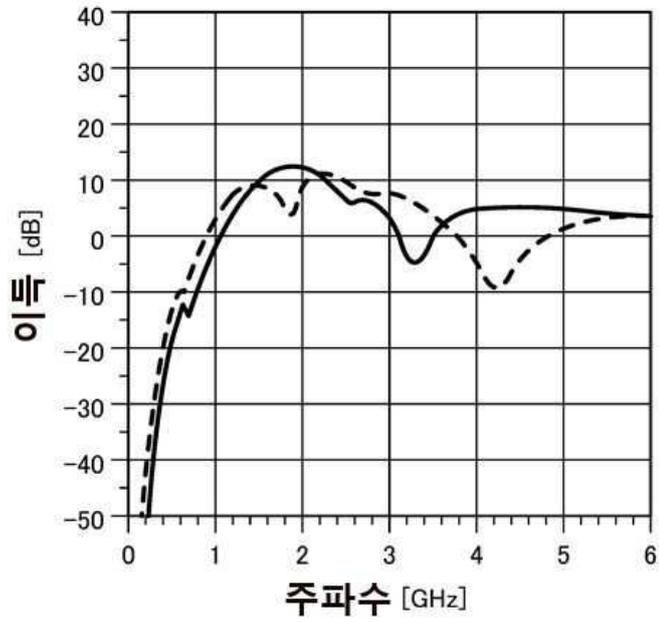
도면4b



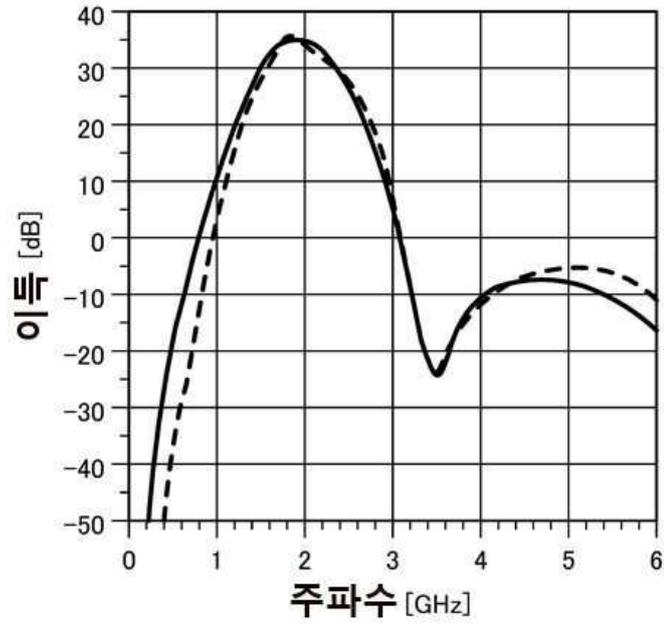
도면5



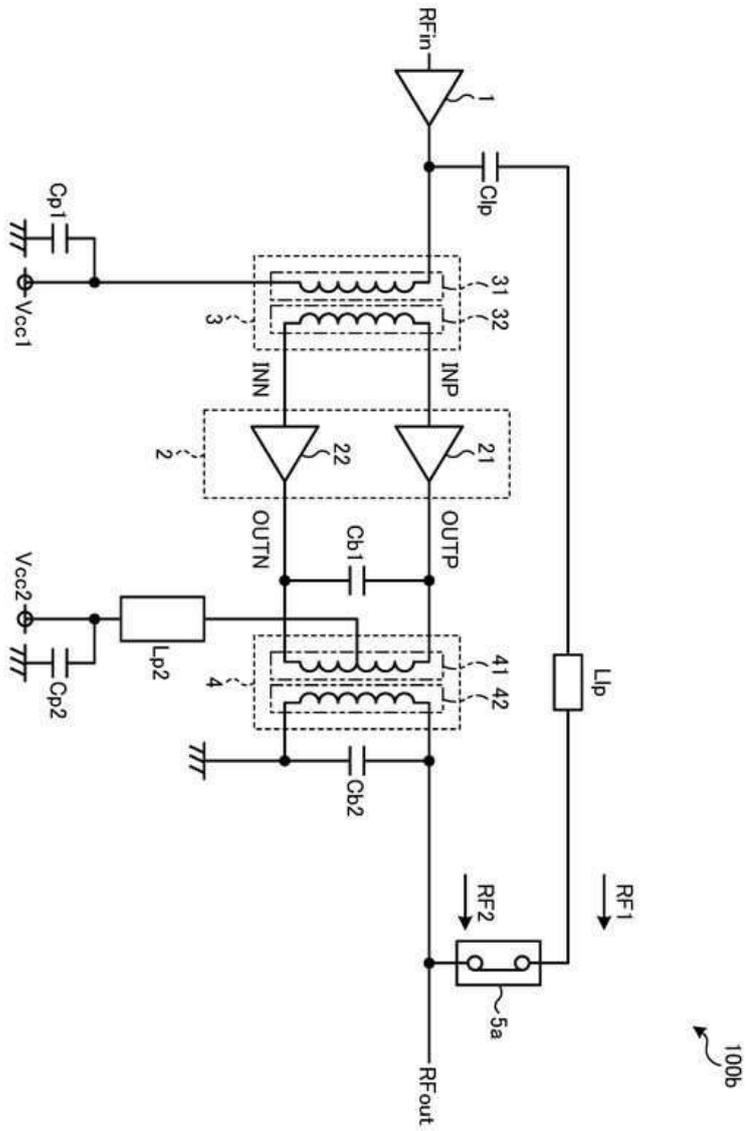
도면6



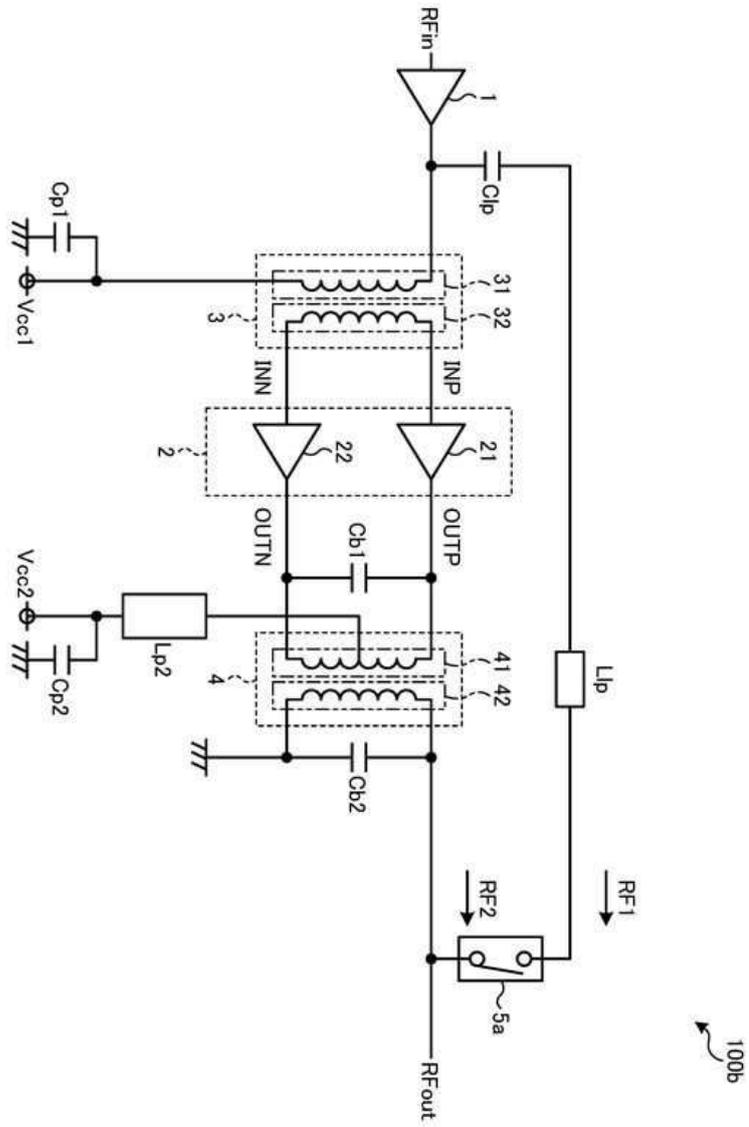
도면7



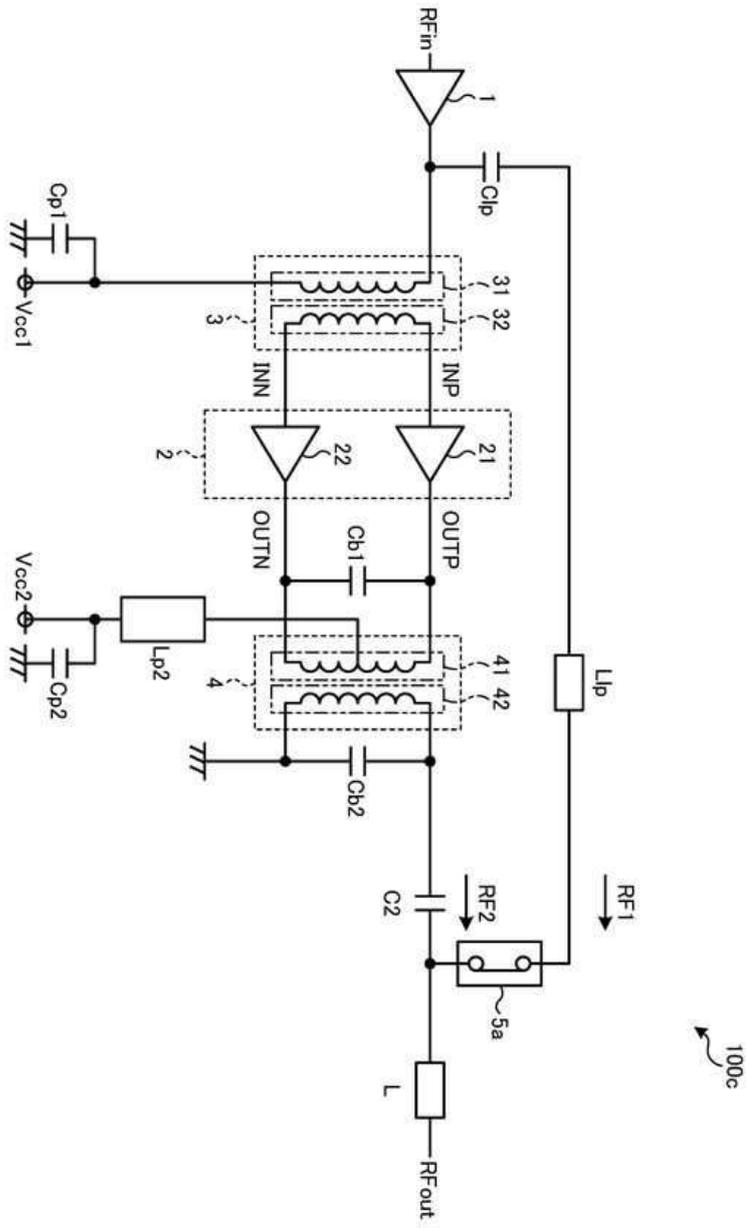
도면8a



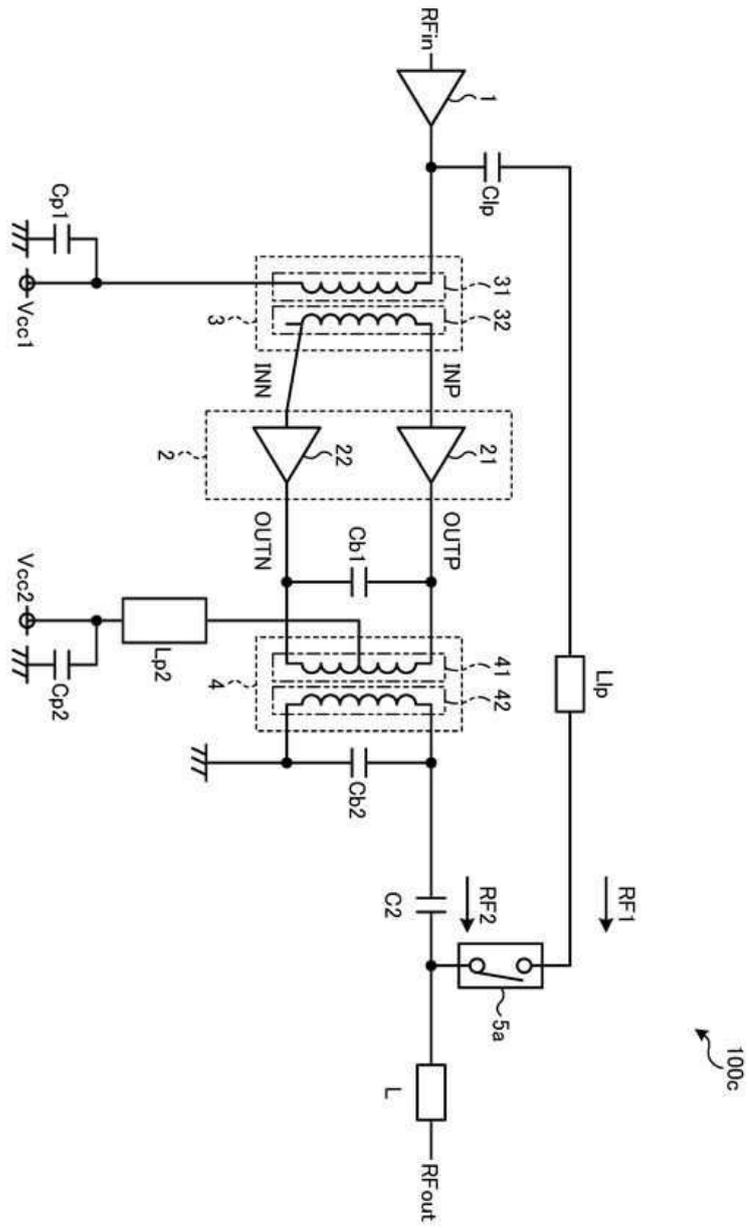
도면 8b



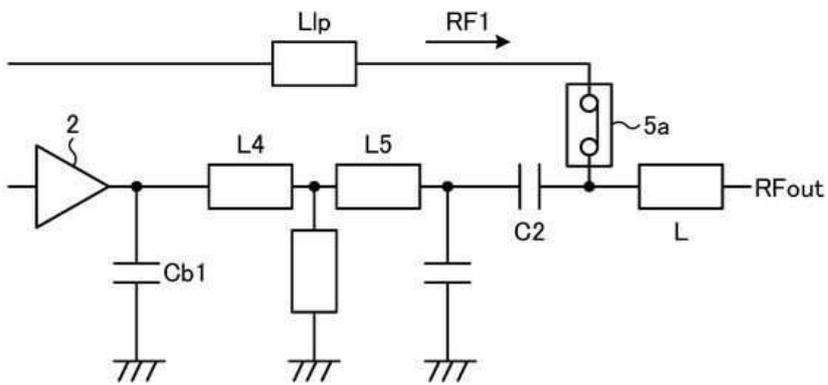
도면9a



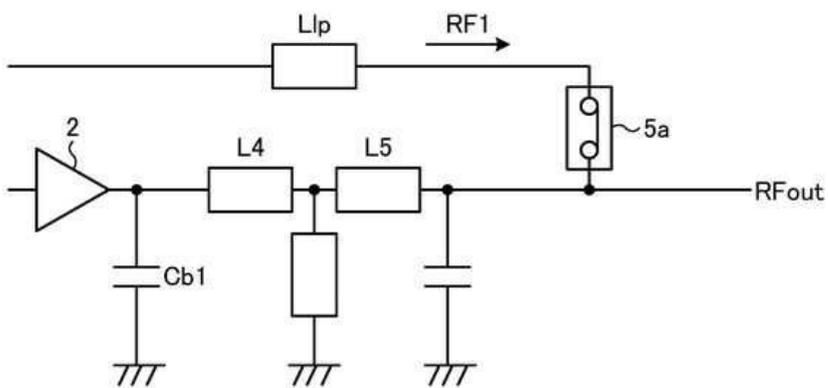
도면9b



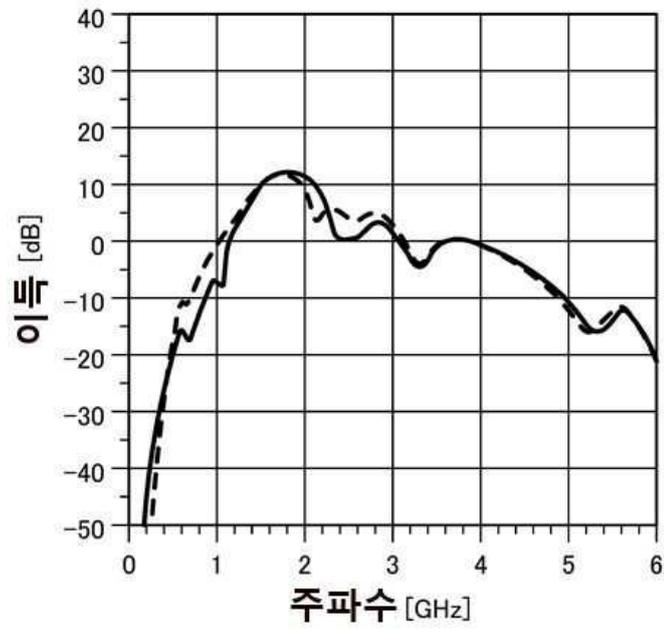
도면10



도면11



도면12



도면13

