

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H03L 7/08	(11) 공개번호 (43) 공개일자	특 1999-0077940 1999년 10월 25일
(21) 출원번호	10-1999-0008891	
(22) 출원일자	1999년 03월 16일	
(30) 우선권주장	9/042,753 1998년 03월 17일 미국(US)	
(71) 출원인	모토로라 인코포레이티드 비센트 비.인그라시아	
(72) 발명자	미국, 일리노이 60196, 샤움버그, 이스트 앨공켄 로드 1303 셔보프카알엘.	
(74) 대리인	미국 60030 일리노이주 그레이스레이크 페어포드 드라이브 1778 장수길, 주성민	

심사청구 : 있음

(54) 위상검출기

요약

위상 검출기 회로(500)는 제1 플립플롭(502), 제2 플립플롭(504), 제1 충전 펌프(506) 및 제2 충전 펌프(508)를 포함한다. 상기 플립플롭들의 출력은 수신된 클럭 신호에 응답하여 상기 충전 펌프를 즉시 인에이블시킨다. 제1 지연 회로(512)는 제1 플립플롭으로부터 AND 게이트(510)로의 출력 신호를 지연시키는데, 상기 AND 게이트(510)는 상기 지연된 출력 신호와 제2 플립플롭으로부터의 출력 신호를 결합시킨다. AND 게이트 출력은 제2 지연 회로(514)에서 지연되어, 플립플롭 둘다를 동시에 리셋시키고 충전 펌프를 디스에이블시키는 지연 리셋 신호를 생성한다. 상기 위상 검출기 회로는 위상 동기 루프에 제공된 전하량을 동위상 상태에 가깝게 밸런스를 맞춰 위상 검출기의 선형 특성(linearization)을 향상시킨다.

대표도

도 1

색인어

지연 리셋 신호, 충전 펌프, 루프의 노이즈 단, 순전하, 기준 신호와 가변 주파수 신호와의 위상차

명세서

도면의 간단한 설명

- 도 1은 위상 검출기 회로의 블럭도.
- 도 2는 도 1의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 3은 도 1의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 4는 도 1의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 5는 위상 검출기 회로의 블럭도.
- 도 6은 도 5의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 7은 도 5의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 8은 도 5의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 9는 도 5의 위상 검출기 회로의 동작을 설명하는 타이밍도.
- 도 10은 도 5의 위상 검출기 회로에 사용되는 지연 회로의 블럭도.
- 도 11은 도 5의 위상 검출기 회로를 사용하는 위상 동기 루프(PLL)의 블럭도.

<도면의 주요 부분에 대한 부호의 설명>

- 502: 제1 플립플롭
- 504: 제2 플립플롭
- 506: 제1 충전 펌프

508: 제2 충전 펌프

510: AND 게이트

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 위상 검출기(phase detection apparatus)에 관한 것이다. 좀더 상세히는, 본 발명은 위상 동기 루프(phase locked loop)에서 위상차 신호의 발생을 위해 개선된 위상 검출기에 관한 것이다.

일반적으로 위상 검출기 회로는 두개의 입력 신호간의 위상차를 검출시키기 위해 사용된다. 전형적인 애플리케이션으로서, 기준 오실레이터(reference oscillator)로부터의 기준 신호와 루프 피드백 신호(loop feedback signal)와의 위상차를 검출하기 위한 위상 동기 루프(PLL)가 있다.

위상 검출기 회로는 두개의 D 플립플롭, 지연 소자 및 AND 게이트를 포함한다. 상기 플립플롭의 D 입력은 하이 로직 레벨로 고정되어 있다. 하나의 플립플롭은 기준 신호에 의해 클럭되고, 나머지 플립플롭은 PLL의 전압 제어 발진기(VCO)로부터의 피드백 신호에 의해 클럭된다. 플립플롭의 출력들은 AND 연산시키고 이를 지연 소자에서 지연시킨 다음 플립플롭 중 하나를 리셋하기 위해 사용된다. 나머지 플립플롭은 지연되지 않은 채 AND 게이트로부터의 연산을 리셋시킨다. 각 플립플롭은 충전 펌프(charge pump)를 인에이블시킨다. 하나의 충전 펌프는 정(positive)의 전류를 VCO에 제공하고, 나머지 충전 펌프는 부(negative)의 전류를 VCO에 제공한다. 기준 신호와 피드백 신호 간의 위상 불일치를 보상하기 위해 전하를 가산시킨다.

#### 발명이 이루고자하는 기술적 과제

이러한 위상 검출기 회로는 일반적으로 대부분의 애플리케이션에 적합하다. 그러나, 여전히 충전 펌프에 의해 VCO로부터 가산되거나 감산된 전하의 불균형이 존재한다. 그 결과는 위상 노이즈(phase noise)로서 나타난다. 위상 노이즈량은 분수-n 합성기(fractional-n synthesizer)에서와 같은 특정한 애플리케이션에서는 수용될 수 없다. 분수-n 합성기의 위상 노이즈를 최적화시키기 위해, 소정의 위상 오프셋용 루프로부터 동일한 전하량이 가산 및 감산되어야 한다. 종래 기술의 위상 검출기 회로는 이러한 목적으로는 부적합하다.

따라서, 거의 동위상 상태의 루프에 동일한 전하량을 부가하는 기술의 위상 검출기가 요국된다.

본 발명의 신규한 특성은 첨부된 청구 범위에 상세히 설명되어 있다. 본 발명의 그외의 목적 및 장점은 첨부된 도면과 관련하여 다음의 설명으로 명백해질 것이다.

### 발명의 구성 및 작용

도 1을 참조하면, 위상 검출기 회로(100)의 블럭도를 도시한다. 위상 검출기 회로(100)는 제1 저장 회로인 D형 플립플롭(102), 제1 충전 펌프(106) 및 제2 충전 펌프(108)를 포함한다. 위상 검출기 회로(100)는 제1 지연 회로(110), 제2 지연 회로(112), 제3 지연 회로(114), 제4 지연 회로(116), 및 AND 게이트(118)를 더 포함한다.

제1 플립플롭(102)은 정의 전원과 같은 하이 로직 레벨로 고정된 데이터 입력(120)과, 기준 클럭 신호  $F_1$ 를 수신하도록 구성된 클럭 입력(122)을 갖는다. 또한, 제1 플립플롭(102)은 리셋 입력(124)과 출력(126)을 갖는다. 제2 플립플롭(104)도 유사하게 구성되어, 하이 로직 레벨로 고정된 데이터 입력(130)과 가변 클럭 신호  $F_2$ 를 수신하도록 구성된 클럭 입력(132)을 갖는다. 또한, 제2 플립플롭(104)은 리셋 입력(134)과 출력(136)을 갖는다.

제1 충전 펌프(106)는 제1 플립플롭(102)의 출력(126)에 결합되어 제4 지연 회로(116)를 지나는 인에이블 입력(140)을 갖는다. 제1 충전 펌프(106)는 위상 검출기 회로(100)의 출력(142)에 결합되는 출력을 갖는다. 제2 충전 펌프(108)는 제2 플립플롭(104)의 출력(136)에 결합되어 제2 지연 회로(112)를 지나는 인에이블 입력(144)을 갖는다. 제2 충전 펌프(108) 또한 출력(142)에 결합된다. 제1 충전 펌프(106)는 인에이블 신호가 인에이블 입력(140)에 인가될 때 정의 극성을 갖는 업 전류를 출력(142)에 제공한다. 유사하게, 제2 충전 펌프는 인에이블 입력(144)에 인가되는 인에이블 신호에 응답하여 부의 극성을 갖는 다운 전류를 출력(142)에 제공한다. 충전 펌프는 통상의 것과 같이 설계된다.

지연 회로와 AND 게이트는 출력(142)에 제공되는 전하량을 균등화시킴으로써 위상 검출기 회로(100)를 선형화시키도록 구성된다. 채용된 위상 검출기 회로(100) 및 소정 회로의 위상 노이즈를 최적화시키기 위해, 소정의 위상 오프셋으로서 위상 동기 루프(PLL)로부터 동일한 전하량이 가산 및 감산되어야 한다. 위상 검출기의 리셋 경로에서 불균등한 지연 회로를 부가함으로써 균등 충전을 달성할 수 있다.

AND 게이트(118)는 제1 플립플롭(102)의 출력(126)에 결합된 제1 입력과 제2 플립플롭(104)의 출력(136)에 결합된 제2 입력을 갖는다. 또한 AND 게이트(118)는 출력(150)을 갖는다. 제3 지연 회로(114)는 AND 게이트(118)의 출력(150)에 결합된다. 제3 지연 회로(114)는 제1 지연 회로(110)에 결합되고 제2 플립플롭(104)의 리셋 입력(134)에 결합된 출력(152)을 갖는다. 제1 지연 회로(110)는 제1 플립플롭(102)의 리셋 입력(124)에 결합된 출력(154)을 갖는다.

제3 지연 회로(114)는 제2 충전 펌프(108)에 의해 제공된 다운 전류의 최소 펄스폭을 설정하는 데 사용

된다. 제1 지연 회로(110)와 제3 지연 회로(114)에 의해 제공된 지연의 합은 업 전류의 최소 펄스폭을 설정하는 데 사용된다.

도 2는 위상 동기 루프(PLL)과 관련하여 사용되는 도 1의 위상 검출기 회로의 동작을 설명하는 타이밍도이다. 도 2에서, 제2 지연 회로(112) 및 제4 지연 회로(116)는 지연이 없도록 설정되고 PLL은 로크(lock) 상태로 되지 않는다. 도 2, 도 3 및 도 4는  $F_R$ 로 나타내는 기준 클럭,  $F_V$ 로 나타내는 PLL의 출력으로부터의 가변 클럭,  $I_{UP}$ 으로 나타내는 업 전류, 및  $I_{DN}$ 으로 나타내는 다운 전류를 도시한다. 수평 축은 시간을 나타낸다. 도 2에서, 위상 동기 루프 바깥에서의 업 전류는 다운 전류보다 지속시간(duration)이 더 길다.

도 3에서, 루프는 로크되고 출력 신호의 위상은 루프에 가산되는 순전하(net charge)가 없도록 조정된다. 이를 위해, 제2 지연 회로(112) 및 제4 지연 회로(116)의 지속 시간을 0초로 설정하고, 다운 전류 펄스 지속 시간(302)을 길게 하였다. 업 전류 펄스 및 다운 전류 펄스는 시간이 일치하지 않기 때문에, 루프의 노이즈 단(noise floor)이 낮춰질 것이다. 따라서, 제2 지연 회로(112)는 업 전류 및 다운 전류를 재조정하기 위해 추가되어야 한다. 이러한 효과가 도 4에 도시되어 있다.

하나의 애플리케이션으로서, 제2 지연 회로(112)는 20 ns 정도로 펄스를 지연시키면서 1 ns의 최소 다운 전류 펄스폭을 핸들링하도록 설계되어야 한다. 이를 위해, 펄스의 각 에지는 전류-캐패시터 또는/및 레지스터-캐패시터 지연에 의한 리셋 플립플롭을 사용함으로써 동일량 지연된다. 펄스 에지를 재결합하여 전체 펄스를 형성하게 된다. 이러한 목적을 위해 적합한 회로를 도 10과 관련하여 이하에서 기술할 것이다.

도 1을 참조하면, 제4 지연 회로(116)가 다운 전류 경로에 있는 제2 지연 회로(112)의 가산 로직을 맞추기 위해 추가된다. 그외 각 지연 소자들 또한 매칭되어야 한다.

도 1의 위상 검출기 회로(100)는 개선된 선형성을 제공하므로써 이전의 위상 검출기를 능가하도록 성능이 개선된다. 그러나, 이러한 회로와 그외 회로를 모놀리식 집적 회로 형태로 일체화시키는 것이 바람직하다. 이러한 애플리케이션에서, 사용된 회로 소자 및 집적 회로의 소요 면적을 최소화시키는 것이 바람직하다. 또한, 회로의 전체 전력 소비를 최소화시키는 것이 바람직하다. 따라서, 이러한 애플리케이션을 위해서는 다른 설계가 바람직하다.

도 5는 본 발명에 따른 위상 검출기 회로(500)의 블록도이다. 위상 검출기 회로(500)는 제1 저장 회로, 제1 플립플롭(502), 및 제2 저장 회로, 제2 플립플롭(504)을 포함한다. 이러한 저장 회로로서는 D 플립플롭이 도시되어 있으나 그외 형태의 플립플롭을 포함하는 소정의 적합한 회로로도 구성할 수 있다. 도시된 D 플립플롭은 회로 면적과 전력 소비를 감소시키면서 적합한 동작을 제공한다. 저장 회로 각각은 도 5에서 R 및 Q로 각각 표시된 리셋 입력과 출력을 갖는다. 제1 플립플롭(502)은 리셋 입력(520)과 출력(522)을 갖는다. 제2 플립플롭(504)은 리셋 입력(524)과 출력(526)을 갖는다. 저장 회로 둘다 도 5에서 CLK로 표시된 클럭 입력을 갖는다. 제1 플립플롭(502)은 기준 클럭 신호를 수신하도록 구성된 클럭 입력(528)을 갖는다. 제2 플립플롭(504)은 가변 레이트의 클럭 신호를 수신하도록 구성된 클럭 입력(530)을 갖는다. 제1 플립플롭(502)은 도 5에서 D로 표시된 정의 전원 전위에 고정된 데이터 입력(532)을 갖는다. 유사하게, 제2 플립플롭(504)은 정의 전원 전위로 고정되고 D로 표시된 데이터 입력(534)을 갖는다. 플립플롭의 D 입력은 다른 적합한 전위 또는 짝수번째 가변 신호로 고정될 수 있다. 그러나, 수신 클럭 신호에 응답하여 플립플롭의 Q 출력이 하이 로직 레벨로 나타나게 된다. Q 출력은 R 리셋 입력에 인가되는 RESET 신호에 의해 연속하여 로우 로직 레벨로 리셋된다.

위상 검출기 회로(500)는 제1 저장 회로인 제1 플립플롭(502)의 출력에 결합된 제1 충전 펌프(506)를 더 포함하여, 제1 저장 회로로부터의 제1 출력 신호에 응답하는 업 전류를 제공한다. 업 전류는 도 5에서  $I_{UP}$ 으로 표시된다. 제1 충전 펌프(506)는 제1 출력 신호가 제1 충전 펌프(506)에 대한 인에이بل 신호로서 동작하도록 상기 제1 출력 신호가 제1값일 때는 업 전류를 제공하고 제1 출력 신호가 제2 값일 때는 업 전류를 제공하지 않는다. 위상 검출기 회로(500)는 제1 저장 회로인 제1 플립플롭(502)의 출력(522)에 결합된 제1 지연 회로(512)를 더 포함하여 제1 저장 회로로부터의 출력 신호에 응답하여 지연된 출력 신호를 생성하게 된다. 위상 검출기 회로(500)는 제2 저장 회로인 제2 플립플롭(504)의 출력(526)에 결합되어 제2 저장 회로로부터 제2 출력 신호에 응답하여 다운 전류를 제공하는 제2 충전 펌프(508)를 더 포함한다. 위상 검출기 회로(500)의 제2 플립플롭(504)은 제2 저장 회로로부터 제2 출력 신호에 응답하여 다운 전류를 제공하게 된다. 다운 전류는 도 5에서  $I_{DN}$ 으로 표시된다. 제2 충전 펌프(508)는 제2 출력 신호가 제2 충전 펌프(508)에 대한 인에이블 신호로서 동작하도록 상기 제2 출력 신호가 제1값일 때는 다운 전류를 제공하고 제2 출력 신호가 제2 값일 때는 다운 전류를 제공하지 않는다. 상기 제1 충전 펌프(506) 및 제2 충전 펌프(508) 둘다 통상적인 것이다.

위상 검출기 회로(500)는 제1 지연 회로(512)의 출력(540)에 결합된 제1 입력과 제2 저장 회로인 제2 플립플롭(504)의 출력(526)에 결합된 제2 입력과, 출력(542)을 갖는 AND 게이트(510)를 더 포함한다. AND 게이트(510)는 지연된 출력 신호와 제2 출력 신호를 결합하여 리셋 신호를 형성한다. 결국, 위상 검출기 회로(500)는 AND 게이트의 출력(542)에 결합된 입력과 저장 회로의 리셋 입력에 결합된 출력, 제1 플립플롭(502)의 리셋 입력(520)과 제2 플립플롭(504)의 리셋 입력(524)을 갖는 제2 지연 회로(514)를 포함한다. 제2 지연 회로(514)는 리셋 신호를 지연시켜 플립플롭의 R 리셋 입력에 인가되는 지연된 리셋 신호를 거의 동시에 생성하게 된다.

위상 검출기 회로(500)는 출력(536)에서 기준 클럭 신호와 가변 클럭 신호와의 위상차에 상관을 출력 신호를 제공한다. 예시된 실시예에서, 출력 신호는 소정의 크기 및 가변 시간을 갖는 전류이다. 클럭 입력(530)의 가변 클럭 신호의 위상이 클럭 입력(528)의 기준 클럭 신호의 위상을 앞선다면, 출력(532)으로부터의 순전하(net charge)가 감소된다. 가변 클럭 신호의 위상이 기준 클럭 신호의 위상보다 늦어진다면 출력(532)으로부터의 순전하가 가산된다. 그리하여 위상 검출기 회로(500)는 위상 동기 루프(PLL)와

같은 회로에 사용되기 적합할 뿐아니라 다른 애플리케이션에서도 적합하다.

동작에서, 플립플롭은 리셋 상태에 있다. 하이 로직 레벨인 플립플롭의 D 데이터 입력은 수신된 각각의 클럭 펄스, 제1 플립플롭(502)의 클럭 입력(528)의 기준 클럭 신호 및 제2 플립플롭(504)의 클럭 입력(530)의 가변 클럭 신호에 의해 Q 출력으로 클럭된다. Q 출력이 하이 로직 레벨로 되면, 상기 하이 레벨은 각 충전 펌프에 대해 인에이블 신호로서 동작한다. 하이 레벨의 출력(522)에 응답하여, 제1 충전 펌프(506)가 루프에 전하를 가산하기 시작한다. 출력(526)에서의 하이 레벨에 응답하여, 제2 충전 펌프가 루프로부터 전하를 감산하기 시작한다.

제1 지연 회로(512), 제2 지연 회로(514) 및 AND 게이트(510)를 포함하는 리셋 회로는 다음과 같이 동작한다. AND 게이트(510)로의 제2 입력은 제2 플립플롭의 출력(526)에서의 신호가 하이 레벨로 되자마자 하이 로직 레벨로 된다. 도 5에서 이 신호는  $R_{DN}$ 으로 나타낸다. 제1 플립플롭(501)으로부터의 출력(522) 신호는 소정의 지속 시간 예를 들어 20 ns 만큼 제1 지연 회로(512)에서 지연된다. 이러한 지속 시간이 지난 다음, 도 5에서  $R_{UP}$ 으로 나타낸 지연 출력 신호가 AND 게이트(510)의 제1 입력에 인가된다. AND 게이트(510)로의 입력 둘다가 하이 상태로 되어, 출력(542)이 하이 상태로 되면 리셋 신호를 제공한다. 그러나, 상기 리셋 신호는 제2의 소정 지속 시간만큼 제2 지연 회로에 의해 지연된다. 이러한 지속 시간 이후, 지연된 리셋 신호는 제1 플립플롭(502)의 리셋 입력(520)과 제2 플립플롭(504)의 리셋 입력(524)에 거의 동시에 인가된다. 지연된 리셋 신호의 애플리케이션으로 플립플롭 둘다를 리셋하여 출력(522) 및 출력(526)이 로직 로우 레벨로 있는 리셋 상태로 된다. 이는 제1 충전 펌프(506) 및 제2 충전 펌프(508)를 디스에이블시킨다.

도 6은 위상 동기 루프와 관련하여 동작하는 도 5의 위상 검출기 회로(500)의 동작을 설명하는 타이밍도이다. 도 6의 동작과 같이, 제1 지연 회로(512)에서의 지연은 없어 제1 지연 회로(512)를 바이패스하는 것과 같다. 도 6에서, 가변 클럭  $F_V$  및 기준 클럭  $F_R$ 의 상승 에지는 일치하고, 출력 전류  $I_{DN}$  및  $I_{UP}$ 은 시간  $t_1$ 에서 동시에 턴온된다. 지연이 없으면, 도 5의 두개의 플립플롭이 동시에 리셋되고 두개의 출력 전류는  $t_2$ 에서 동시에 턴 오프된다. 도시된 실시예에서의 제2 지연 회로(514)의 지속 시간  $t_2-t_1$ 에 매치하는 펄스폭은 1ns이다.

도 7은 위상 동기 루프와 관련하여 동작하는 도 5의 위상 검출기 회로(500)의 동작을 설명하는 타이밍도이다. 도 7에서, 제1 지연 회로(512)의 지속 시간은 0초 이상의 지속 시간으로 설정된다. 또한, 통상 가변 클럭  $F_V$ 와 기준 클럭  $F_R$ 의 상승 에지는 신호들이 동위상을 나타내는 시간  $t_1$ 에서 일치하고, PLL은 로크된다. 또한 시간  $t_1$ 에서, 도 5의 제1 충전 펌프(506) 및 제2 충전 펌프(508)가 인에이블되어 전류를 루프에 공급하기 시작하고, 제2 입력에서 하이 상태인 신호  $R_{DN}$ 이 AND 게이트(510)로 공급된다. 제1 지연 회로(512)의 지속 시간이 경과한 시간  $t_2$ 에서, AND 게이트(510)로의 제1 입력에서의 신호  $R_{DN}$ 은 AND 게이트(510)의 출력(542)에서의 리셋 신호를 초기화하는 하이 상태로 된다. 제2 지연 회로(514)의 지속 시간이 지난 시간  $t_3$ 에서는, 도 5 및 7에서 RESET으로 표시된 지연된 리셋 신호가 하이 상태로 되어 두개의 플립플롭을 리셋시킨다. 리셋시, 제1 플립플롭(502)의 출력(522) 신호는 로우 상태로 되어 제1 충전 펌프(506)를 턴 오프시키고, 제2 플립플롭(504)의 출력(526)에서의 신호  $R_{DN}$ 은 로우 레벨로 되어 제2 충전 펌프(508)를 턴 오프시킨다. 그리하여, 루프가 로크된 상태이고 제1 지연 회로(512)가 바이패스되지 않음으로써, 위상 검출기 회로(500)는 업 전류 펄스와 다운 전류 펄스를 거의 동일하게 발생한다.

도 8은 위상 동기 루프와 관련하여 동작하는 도 5의 위상 검출기 회로(500)의 동작을 설명하는 타이밍도이다. 도 8에서, 가변 클럭 신호  $F_V$ 는 기준 클럭 신호  $F_R$ 에 뒤지면 순전하가 루프에 부가된다. 시간  $t_1$ 에서, 클럭 입력(528)에서의 기준 클럭 신호  $F_R$ 은 하이 상태로 되어 도 5의 제1 플립플롭(502)으로 공급된다. Q 출력(522)은 즉시 하이로 되며, 제1 충전 펌프(506)가 인에이블되어 업 전류( $I_{UP}$ )를 루프에 제공하기 시작한다. 다음에, 위상 가변 클럭 신호  $F_V$ 의 출력에 도달하는 시간  $t_2$ 에서, 제2 충전 펌프(508)가 인에이블되어 다운 전류  $I_{DN}$ 을 제공하게 된다. AND 게이트(510)의 제2 입력의 신호  $R_{DN}$ 은 즉시 하이 상태로 되나 AND 게이트(510)의 제1 입력 신호  $R_{UP}$ 은 제1 지연 회로(512)의 지속시간 동안 로우상태로 유지된다.  $R_{UP}$ 은 시간  $t_3$ 에서 하이 상태로 된다. 제2 지연 회로(514)의 지속 시간에 이은 시간  $t_4$ 에서, 도 5 및 8에서 RESET으로 표시된 리셋 신호는 하이 상태로 되어 두개의 플립플롭이 리셋된다. 두개의 충전 펌프가 즉시 디스에이블되어 업 전류 및 다운 전류가 비연속된다.

도 9는 위상 동기 루프와 관련하여 동작하는 도 5의 위상 검출기 회로(500)의 동작을 설명하는 타이밍도이다. 도 9에서, 가변 클럭 신호  $F_V$ 는 기준 클럭 신호  $F_R$ 를 앞서고 순전하가 감산된다. 시간  $t_1$ 에서, 도 5의 가변 클럭 신호  $F_V$ 가 하이 상태로 되고, 제2 충전 펌프(508)가 인에이블되고, AND 게이트(510)의 제2 입력에서의 리셋 신호  $R_{DN}$ 은 하이 상태로 된다. 이어서, 시간  $t_2$ 에서, 기준 클럭 신호  $F_R$ 은 하이 상태로 되어 업 전류가 루프에 제공된다. 제1 지연 회로(512)의 지속시간이 경과한 시간  $t_3$ 에서, AND 게이트(510)의 제1 입력에서의 리셋 신호  $R_{UP}$ 은 하이 상태로 되고 상기 리셋 신호는 AND 게이트(510)의 출력(542)을 결정하게 된다. 시간  $t_4$ 에서, 제2 지연 회로(514)의 지속 시간이 경과한 다음, 지연 리셋 신호 RESET이 제1 플립플롭(502)의 리셋 입력(520) 및 제2 플립플롭(504)의 리셋 입력(524)으로 인가된다. 플립플롭이 리셋되면, 충전 펌프가 디스에이블되어 업 전류 및 다운 전류 둘다가 비연속적으로 된다.

도 10은 도 1의 위상 검출기 회로(100) 또는 도 5의 위상 검출기 회로(500)에서 사용될 수 있는 지연 회로(1000)의 블럭도이다. 지연 회로(1000)는 제1 플립플롭(1002), 제1 지연 소자(1004), 제2 플립플롭(1006), 제2 지연 소자(1008), 인버터(1010), 인버터(1012), NOR 게이트(1014), NAND 게이트(1016) 및 인버터(1018)를 포함한다. 제1 플립플롭(1002) 및 제2 플립플롭(1006)은 도시된 실시예에서 D형 플립플롭이지만 그외의 회로 및 그외 유형의 플립플롭도 사용될 수 있다.

도 10에서 제1 플립플롭(1002)은 D로 표시된 데이터 입력(1020), 클럭 입력(1022), R로 표시된 리셋 입력(1024) 및 Q로 표시된 출력(1026)을 갖는다. 데이터 입력(1020)은 항상 하이 상태의 입력을 수신하도록 정의 기준 전위에 고정되어 있다. 클럭 입력(1022)은 입력(1030)으로부터 지연 회로(1000)로의 클럭 신호를 수신하도록 구성된다. 위상 검출기 회로와 연관되어 사용될 때, 제1 플립플롭(1002)은 도 5의 제1 플립플롭(502)과 같은 제1 저장 회로로부터의 출력 신호를 수신하고 이에 응답하여 제1 클럭 신호를 생성하는 제1 클럭 회로를 형성한다.

유사하게, 제2 플립플롭(1006)은 정의 기준 전위에 고정된 데이터 입력(1002), 클럭 입력(1034), 리셋 입력(1036) 및 출력(1038)을 갖는다. 클럭 입력(1034)은 인버터(1018)에서의 번전이 있는 다음 입력(103)으로부터 클럭 신호를 수신하도록 구성된다. 그리하여, 제1 플립플롭(1002) 및 제2 플립플롭(1006)은 입력(1030)에서의 클럭 신호의 위상에 반대로 동작한다. 출력(1038)은 제2 지연 소자(1008)에 결합된다.

제1 지연 소자(1004) 및 제2 지연 소자(1008)는 각 플립플롭으로부터 수신된 신호를 소정량만큼 지연시키도록 동작한다. 각 지연 소자는 레지스터-캐패시터(R-C)로부터 지연 또는 전류-캐패시터 지연으로서 만들어질 수 있다. 도시된 실시예에서, 두개의 지연 소자는 거의 동일하고 대략 20 ns 지연을 가산한다. 도 5의 위상 검출기 회로(500) 등의 위상 검출기 회로와 연관되어 사용될 때, 제1 지연 소자는 제1 플립플롭(1002)으로부터의 제1 클럭 신호를 지연시켜 지연된 제1 신호를 생성하고, 제2 지연 소자(1008)는 제2 플립플롭(1006)으로부터 제2 클럭 신호를 지연시켜 제2 지연된 신호를 생성한다.

제1 지연 소자(1004)의 출력은 NAND 게이트(1016)의 제1 입력 및 인버터(1010)에 제공된다. 인버터(1010)는 지연된 출력 신호를 반전시켜 이를 NOR 게이트(1014)의 제1 입력에 제공한다. 제2 지연 소자(1008)의 출력은 인버터(1012)에서 반전되어 NAND 게이트(1016)의 제2 입력 및 NOR 게이트(1014)의 제2 입력에 제공된다. 인버터(1010), 인버터(1012) 및 NOR 게이트(1014)가 같이 제1 결합 회로(1048)를 형성하여 제1 지연 소자(1004)로부터 지연된 제1 신호 및 제2 지연 소자(1008)로부터의 지연된 제2 신호에 응답하여 라인(1040)을 통해 리셋 신호를 생성한다. 상기 리셋 신호는 제1 플립플롭(1002)의 리셋 입력(1024) 및 제2 플립플롭(1006)의 리셋 입력(1036)에 제공된다. 플립플롭 리셋시 신호가 글리치(glitch)하는 것을 방지하기 위해, 두개의 인버터, 즉 인버터(1050)와 인버터(1052)를 NOR 게이트(1014)와 제2 플립플롭(1006)의 리셋 입력(1036)과의 사이의 경로에 삽입한다.

NAND 게이트(1016)는 제1 지연 소자(1004)로부터 지연된 신호와, 제2 지연 소자(1008)로부터 지연되고 반전된 신호를 수신하고 이들을 논리 결합하여 지연 회로(1000)의 출력(1042)에서의 출력 신호를 형성한다. 출력 신호는 입력 신호에 상관하여 지연된다. 수신 펄스로서, 펄스의 상승 에지는 제1 플립플롭(1002), 제1 지연 소자(1004) 및 NAND 게이트(1016)를 포함하는 경로에서 지연된다. 펄스의 하강 에지는 인버터(1018), 제2 플립플롭(1006), 제2 지연 소자(1008) 및 NAND 게이트(1016)를 포함하는 경로에서 지연된다. 바람직하게는, 이러한 두개의 경로 지연은 거의 동일하여 펄스가 신장되거나 수축되지도 않는다. 그리하여 NAND 게이트(1016)는 제1 지연 소자(1004)로부터의 지연된 제1 신호와 제2 지연 소자(1008)로부터의 지연된 제2 신호의 결합에 응답하여 지연된 출력 신호를 생성하는 제2 결합 회로를 형성한다.

도 11은 도 5의 위상 검출기 회로(500)를 채용할 수 있는 위상 동기 루프(PLL)를 도시한다. PLL(1100)은 위상 검출기 회로(500), 로우 패스 필터(1102), 전압 제어 발진기(VCO)(1104) 및 주파수 분배기(1106)를 포함한다. PLL(1100)은 입력(1110)에서 소정 주파수를 갖는 기준 신호  $F_R$ 를 수신하고 출력(1112)에서 제어 주파수(well-regulated frequency)를 갖는 출력 신호를 제공한다.

위상 검출기 회로(500)는 입력(1110)으로부터 기준 신호  $F_R$ 를 및 주파수 분배기(1106)로부터 가변 주파수 신호  $F_V$ 를 수신한다. 위상 검출기 회로(500)는 기준 신호  $F_R$ 의 위상과 가변 주파수 신호  $F_V$ 와의 위상차를 검출한다. 위상 검출기 회로(500)는 상기 위상차에 상관되고 위상차를 최소화하도록 조정되는 출력을 생성한다. 로우 패스 필터(1102)는 이 신호를 필터링하여 밴드폭을 감소시키고 이 신호를 VCO(1104)에 제공한다. 필터링된 위상차 신호에 응답하여, VCO(1104)는 출력 신호의 위상 또는 주파수를 조정한다. 출력 신호는 주파수 분배기(1106)로 피드백되어 위상 검출기 회로(500)에서의 비교를 위한 가변 주파수 신호를 생성한다.

**발명의 효과**

전술한 바와 같이, 본 발명은 위상 동기 루프에 제공되는 전하량을 거의 동위상 상태로 밸런스를 맞추는 위상 검출기 회로를 제공한다. 충전 펌프는 동일한 리셋 펄스를 사용하여 리셋되므로써, PLL에 제공되는 전류 펄스의 일치를 보장하게 된다. 전력 소비, 회로 면적 및 지연 소자를 정확하게 매치시키되는데 필요한 것들을 절감하여 생산 및 동작에 비용이 절감된다.

본 발명의 특정 실시예를 기술하였다 하더라도, 변형도 가능하다. 예를 들어, 도면에서의 다양한 연산 결합 로직은 동일한 기능을 유지하면서 수정될 수 있다. 따라서 본 발명의 진정한 범주 및 사상을 벗어나지 않는 범위에서 수정이 가능하다.

**(57) 청구의 범위**

**청구항 1**

위상 동기 루프(1100)에 사용되며 위상차 신호를 발생하기 위한 것으로서, 각각이 리셋 입력(520, 524)과 출력(522, 526)을 갖는 제1 저장 회로(502)와 제2 저장 회로(504)를 포함하며, 상기 제1 저장 회로(502)는 기준 클럭 신호를 수신하도록 구성된 클럭 입력(528)을 가지며, 상기 제2 저장 회로(504)는 가변 클럭 신호를 수신하도록 구성된 클럭 입력(530)을 갖는 위상 검출기(500)에 있어서,

상기 제1 저장 회로(502)의 상기 출력(522)에 결합되어, 상기 제1 저장 회로(502)로부터의 제1 출력 신호에 응답하여 업 전류(up current)를 제공하는 제1 충전 펌프(506);

상기 제1 저장 회로(502)의 상기 출력(522)에 결합되어, 상기 제1 저장 회로(502)로부터의 상기 제1 출력 신호에 응답하여 지연된 출력 신호를 생성하는 제1 지연 회로(512);

상기 제2 저장 회로(504)의 상기 출력(526)에 결합되어, 상기 제2 저장 회로(504)로부터의 제2 출력 신호에 응답하여 다운 전류(down current)를 제공하는 제2 충전 펌프(508);

상기 지연된 출력 신호와 상기 제2 출력 신호를 결합하여 리셋 신호를 생성하는 회로(510); 및

상기 리셋 신호를 지연시켜 지연된 리셋 신호를 생성하며, 상기 제1 저장 회로 및 상기 제2 저장 회로의 상기 리셋 입력(520, 524)에 결합되는 제2 지연 회로(514)

를 포함하는 것을 특징으로 하는 위상 검출기.

## 청구항 2

제1항에 있어서, 상기 제1 저장 회로(502) 및 상기 제2 저장 회로(504) 각각은 하이 로직 레벨에 결합된 데이터 입력(532, 534)을 갖는 0형 플립플롭 회로를 포함하는 것을 특징으로 하는 위상 검출기.

## 청구항 3

제1항에 있어서, 상기 지연된 리셋 신호는 상기 제1 저장 회로 및 상기 제2 저장 회로의 상기 리셋 입력(520 및 524)에 거의 동시에 제공되는 것을 특징으로 하는 위상 검출기.

## 청구항 4

제1항에 있어서, 상기 제1 지연 회로(512)는

상기 제1 저장 회로(502)로부터의 상기 제1 출력 신호를 수신하고 이에 응답하여 제1 클럭 신호를 생성하는 제1 클럭 회로(1002);

상기 제1 클럭 신호를 지연시켜, 지연된 제1 신호를 생성하는 제1 지연 소자(1004);

상기 제1 저장 회로(502)로부터 상기 제1 출력 신호의 반전된 신호를 수신하고 이에 응답하여 제2 클럭 신호를 생성하는 제2 클럭 회로(1006);

상기 제2 클럭 신호를 지연시켜, 지연된 제2 신호를 생성하는 제2 지연 소자(1008);

상기 지연된 제1 신호 및 상기 지연된 제2 신호에 응답하여 리셋 신호를 생성하는 제1 결합 회로(1048)-상기 제1 클럭 회로(1002) 및 상기 제2 클럭 회로(1006)는 상기 리셋 신호에 응답하여 초기 상태로 리셋됨-; 및

상기 지연된 제1 신호와 상기 지연된 제2 신호의 결합에 응답하여 상기 지연된 출력 신호를 생성하는 제2 결합 회로(1016)

를 포함하는 것을 특징으로 하는 위상 검출기.

## 청구항 5

제4항에 있어서, 상기 제1 지연 회로(512)는

상기 제1 클럭 회로(1002)의 리셋에 상관하여 상기 제2 클럭 회로(1006)의 리셋을 지연시키기 위해 상기 제1 결합 회로(1048)와 상기 제2 클럭 회로(1006)와의 사이에 결합된 제3 지연 회로(1050, 1052)를 더 포함하는 것을 특징으로 하는 위상 검출기.

## 청구항 6

위상차를 검출하여 위상차 신호를 발생하는 방법에 있어서,

기준 클럭 신호 및 가변 클럭 신호를 수신하는 단계;

상기 기준 클럭 신호에 응답하여 제1 출력 신호를 발생하는 단계;

상기 가변 클럭 신호에 응답하여 제2 출력 신호를 발생하는 단계;

상기 제2 출력 신호 및 지연된 제1 출력 신호에 응답하여 리셋 신호를 발생하는 단계;

상기 리셋 신호에 응답하여 상기 제1 출력 신호 및 상기 제2 출력 신호를 리셋시키는 단계; 및

상기 제1 출력 신호 및 상기 제2 출력 신호에 응답하여 상기 위상차 신호를 발생하는 단계

를 포함하는 것을 특징으로 하는 위상차 검출 및 위상차 신호 발생 방법.

## 청구항 7

제6항에 있어서, 상기 지연된 제1 출력 신호를 생성하기 위해 상기 제1 출력 신호를 지연시키는 단계를 더 포함하는 것을 특징으로 하는 위상차 검출 및 위상차 신호 발생 방법.

## 청구항 8

제7항에 있어서, 상기 제1 출력 신호를 지연시키는 상기 단계는  
 상기 제1 출력 신호를 사용하여 제1 신호를 클럭하는 단계;  
 상기 제1 신호에 응답하여 제1 지연 신호를 생성하는 단계;  
 상기 제1 출력 신호를 사용하여 제2 신호를 클럭하는 단계;  
 상기 제2 신호에 응답하여 제2 지연 신호를 생성하는 단계;  
 상기 제1 지연 신호와 상기 제2 지연 신호의 결합에 응답하여 상기 제1 신호 및 상기 제2 신호를 리셋하는 단계; 및  
 상기 지연된 제1 출력 신호를 생성하기 위해 상기 제1 지연 신호와 상기 제2 지연 신호를 결합하는 단계를 포함하는 것을 특징으로 하는 위상차 검출 및 위상차 신호 발생 방법.

**청구항 9**

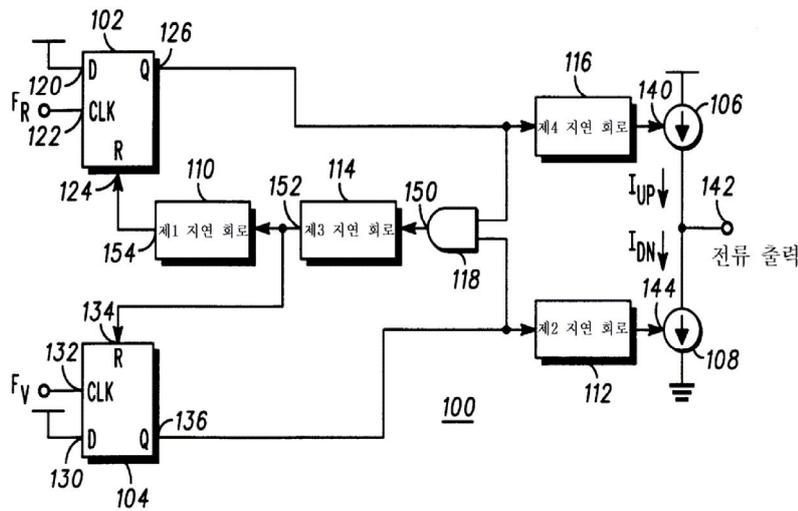
제6항에 있어서,  
 상기 제1 출력 신호에 응답하여 상기 위상차 신호로서 업 전류(up current)를 발생하는 단계; 및  
 상기 제2 출력 신호에 응답하여 상기 위상차 신호로서 다운 전류(down current)를 발생하는 단계를 더 포함하는 것을 특징으로 하는 위상차 검출 및 위상차 신호 발생 방법.

**청구항 10**

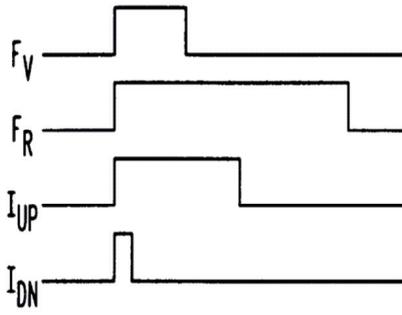
제8항에 있어서, 상기 제1 출력 신호와 상기 제2 출력 신호를 리셋하기에 앞서 소정 지연 시간만큼 상기 리셋 신호를 지연시키는 단계를 더 포함하는 것을 특징으로 하는 위상차 검출 및 위상차 신호 발생 방법.

**도면**

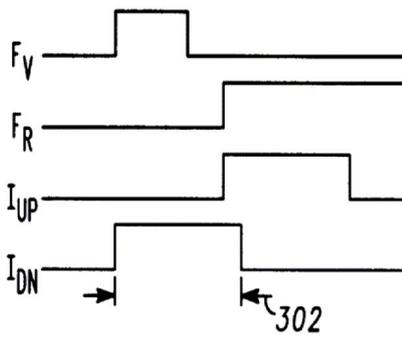
도면1



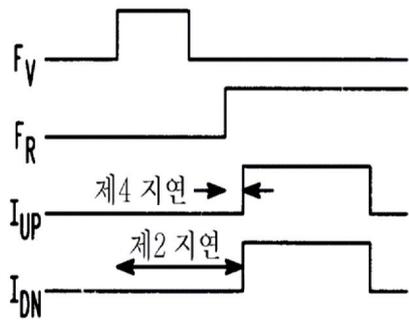
도면2



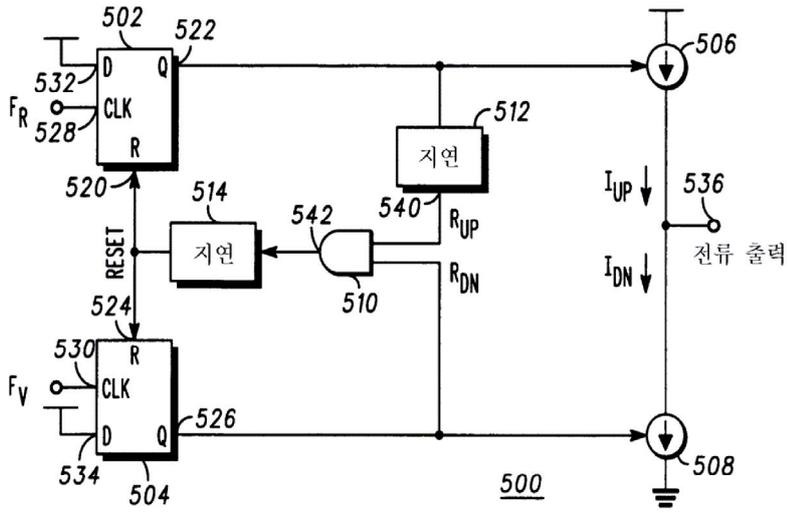
도면3



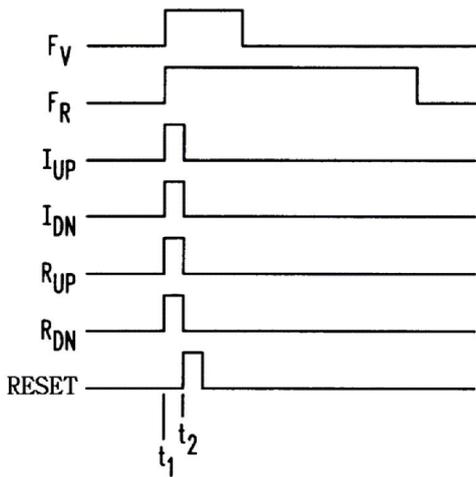
도면4



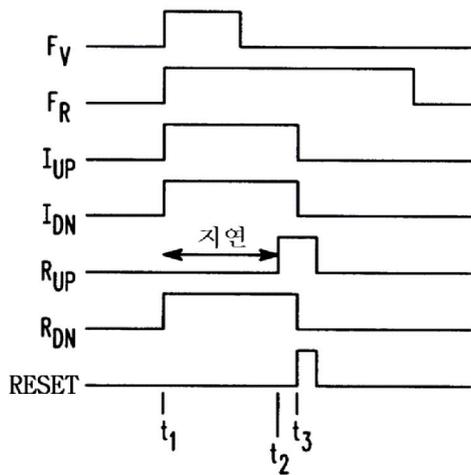
도면5



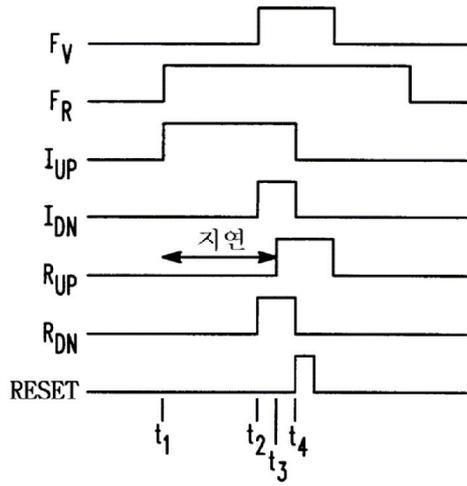
도면6



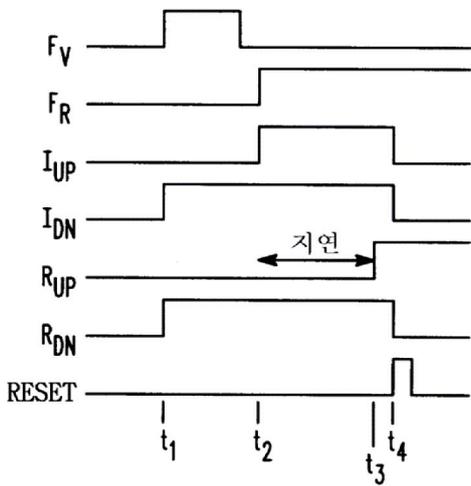
도면7



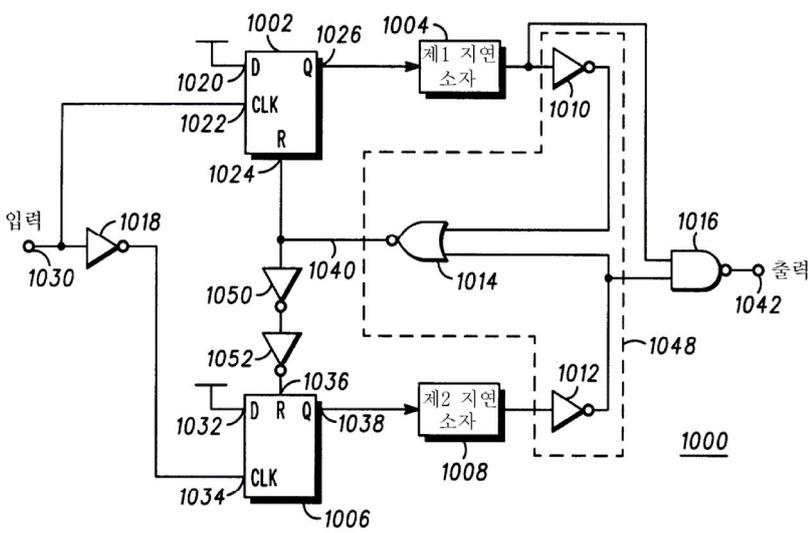
도면8



도면9



도면10



도면 11

