

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-114751
(P2019-114751A)

(43) 公開日 令和1年7月11日(2019.7.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 29/786 (2006.01)	HO1L 29/78 618C	2H092
GO2F 1/1368 (2006.01)	HO1L 29/78 618B	2H192
GO2F 1/1343 (2006.01)	HO1L 29/78 618E	5C094
GO9F 9/30 (2006.01)	GO2F 1/1368	5F110
	GO2F 1/1343	

審査請求 有 請求項の数 5 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2017-249571 (P2017-249571)
(22) 出願日 平成29年12月26日 (2017.12.26)

(71) 出願人 000005049
シャープ株式会社
大阪府堺市堺区匠町1番地
(74) 代理人 110000914
特許業務法人 安富国際特許事務所
(72) 発明者 美崎 克紀
鳥取県米子市石州府字大塚ノ式650番
シャープ米子株式会社内
Fターム(参考) 2H092 GA48 GA50 GA60 HA04 JA26
JA29 JA44 JA46 JB57 JB63
JB69 KA08 MA14 MA18 MA19
NA24

最終頁に続く

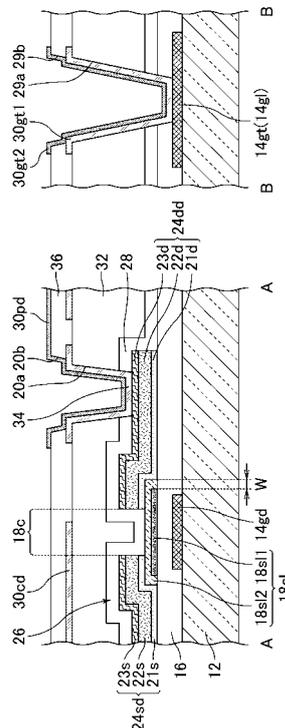
(54) 【発明の名称】 薄膜トランジスタ基板及びそれを備えた液晶表示装置並びに薄膜トランジスタ基板の製造方法

(57) 【要約】

【課題】 TFT特性の安定化が可能な薄膜トランジスタ基板及びそれを備えた液晶表示装置並びに薄膜トランジスタ基板の製造方法を提供する。

【解決手段】 ボトムゲート構造の薄膜トランジスタを備えた薄膜トランジスタ基板であって、薄膜トランジスタの半導体層は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きいIn-Ga-Zn-O系の第1酸化物半導体層と、第1酸化物半導体層を覆うように設けられたガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きいIn-Ga-Zn-O系の第2酸化物半導体層とを有する薄膜トランジスタ基板である。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

ベース基板と、

前記ベース基板上に設けられたゲート電極、前記ゲート電極を覆うように設けられたゲート絶縁膜、前記ゲート絶縁膜上に前記ゲート電極に重なるように設けられた半導体層、並びに、各々一部が前記半導体層に接続されるように、且つ前記半導体層上で互いに対向するように設けられたソース電極及びドレイン電極を有する薄膜トランジスタとを備えた薄膜トランジスタ基板であって、

前記半導体層は、第 1 酸化物半導体からなる第 1 半導体層と、前記第 1 半導体層を覆うように設けられた第 2 酸化物半導体からなる第 2 半導体層とを有する

ことを特徴とする薄膜トランジスタ基板。

10

【請求項 2】

前記第 1 酸化物半導体及び前記第 2 酸化物半導体は、各々、インジウム、ガリウム、亜鉛及び酸素から構成され、

前記第 1 酸化物半導体は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きく、

前記第 2 酸化物半導体は、ガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きい

ことを特徴とする請求項 1 記載の薄膜トランジスタ基板。

20

【請求項 3】

請求項 1 又は 2 記載の薄膜トランジスタ基板と、

前記薄膜トランジスタ基板に対向して配置された対向基板と、

前記薄膜トランジスタ基板と前記対向基板との間に設けられた液晶層とを備える

ことを特徴とする液晶表示装置。

【請求項 4】

ベース基板上に導電膜を成膜し、前記導電膜を第 1 のフォトマスクを用いてパターンニングすることにより、ゲート電極を形成する第 1 パターンニング工程と、

前記ゲート電極を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜工程と、

前記ゲート絶縁膜上に第 1 酸化物半導体からなる第 1 半導体膜を成膜し、前記第 1 半導体膜を第 2 のフォトマスクを用いてパターンニングすることにより、第 1 半導体層を形成する第 2 パターンニング工程と、

前記第 1 半導体層を覆うように第 2 酸化物半導体からなる第 2 半導体膜を成膜し、前記第 2 半導体膜を第 3 のフォトマスクを用いてパターンニングすることにより、前記第 1 半導体層を覆うように第 2 半導体層を形成する第 3 パターンニング工程と、

前記第 1 半導体層及び前記第 2 半導体層を覆うように導電膜を成膜し、第 4 のフォトマスクを用いて、前記導電膜をドライエッチングでパターンニングすることにより、ソース電極及びドレイン電極を形成する第 4 パターンニング工程とを含む

ことを特徴とする薄膜トランジスタ基板の製造方法。

30

【請求項 5】

前記第 1 酸化物半導体及び前記第 2 酸化物半導体は、各々、インジウム、ガリウム、亜鉛及び酸素から構成され、

前記第 1 酸化物半導体は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きく、

前記第 2 酸化物半導体は、ガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きい

ことを特徴とする請求項 4 記載の薄膜トランジスタ基板の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、薄膜トランジスタ (Thin Film Transistor、以下、TFTとも称する) 基板及

50

びそれを備えた液晶表示装置並びにTFT基板の製造方法に関し、特に、酸化物半導体からなる半導体層を用いたTFTを有するTFT基板及び液晶表示装置並びにTFT基板の製造方法に関するものである。

【背景技術】

【0002】

近年、液晶表示装置を構成するTFT基板では、画像の最小単位である各画素のスイッチング素子として、アモルファスシリコンからなる半導体層を用いた従来のTFTに代えて、酸化物半導体からなる半導体層（以下、酸化物半導体層とも称する）を用い、高移動度、高信頼性及び低オフ電流などの良好な特性を有するTFTが提案されている。

【0003】

一般的なボトムゲート構造のTFTは、例えば、ガラス基板上に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上にゲート電極に重なるように設けられた半導体層と、該半導体層に互いに離間して重なるようにゲート絶縁膜上に設けられたソース電極及びドレイン電極とを備え、これらソース電極とドレイン電極との間で露出した半導体層部分にチャンネル領域が構成されている。

【0004】

上記のような酸化物半導体層を用いたボトムゲート構造のTFTとして、例えば特許文献1には、酸化物半導体層が、In、Ga、Zn、Sn及びOから構成される第1の酸化物半導体層と、In、Ga、Zn及びOから構成される第2の酸化物半導体層とを有する積層体であるTFTが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2014-13892号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記酸化物半導体層は、ソース電極及びドレイン電極をウェットエッチングする場合に一般的に用いられる酸系のエッチング液に容易に溶解する。このため、酸化物半導体層を用いたチャンネルエッチ型のTFTでは、ソース電極及びドレイン電極をドライエッチングによりパターニングすることになる。

【0007】

しかしながら、酸化物半導体層に2層以上の積層構造を適用し、酸化物半導体層のパターニング後にソース電極及びドレイン電極をドライエッチングした場合には、TFT特性のデプレッションが発生し、閾値がマイナス側に大きくシフトするか、酸化物半導体層が導電化してソース電極及びドレイン電極間がリークすることがある。また、酸化物半導体層のパターニング後にCVD（Chemical Vapor Deposition）装置、特にプラズマCVD装置により例えば保護膜（チャンネルエッチ型のTFTにおける保護絶縁膜や、エッチストップパ型のTFTにおけるエッチングストップ層（チャンネル保護膜）など）を成膜しても同様の不具合が発生することがある。

【0008】

この課題について図23～図26を用いてより詳細に説明する。図23及び図24に示すように、比較形態1に係るTFT基板は、ベース基板である絶縁性基板112と、絶縁性基板112上に、互いに平行に延びるように設けられた複数のゲート配線114g1と、ゲート絶縁膜116を介して各ゲート配線114g1と交差する方向に互いに平行に延びるように設けられた複数のソース配線124s1とを備えている。比較形態1に係るTFT基板は、更に、絶縁性基板112上に設けられたゲート電極114gd、ゲート絶縁膜116上にゲート電極114gdに重なるように設けられた酸化物半導体層118s1、並びに、各々一部が酸化物半導体層118s1に接続されるように、且つ酸化物半導体層118s1上で互に対向するように設けられたソース電極124sd及びドレイン電極

10

20

30

40

50

124ddを有するチャンネルエッチ型のTF T126と、TF T126を覆うように設けられた保護絶縁膜128及び132と、保護絶縁膜132上に設けられた共通電極130cd及び接続電極134と、共通電極130cd及び接続電極134を覆うように設けられた保護絶縁膜136と、保護絶縁膜136上に設けられた画素電極130pdと、を備えている。ソース電極124sd及びドレイン電極124ddは、第1導電層121s, 121d、第2導電層122s, 122d及び第3導電層123s, 123dが順に積層された積層体からなる。ソース電極124sdは、対応するソース配線124slの分岐部に接続され、ゲート電極114gdは、対応する交差部を構成するゲート配線114glの一部である。保護絶縁膜128、132及び136には、ドレイン電極124ddの対応箇所に当該ドレイン電極124ddに達するコンタクトホール120a, 120bが形成されている。そして、画素電極130pdは、これらコンタクトホール120a, 120bを通して接続電極134を介してドレイン電極124ddに接続されている。

10

【0009】

酸化物半導体層118slは、第1酸化物半導体からなる第1半導体層（以下、第1酸化物半導体層とも称する）118sl1及び第2酸化物半導体からなる第2半導体層（以下、第2酸化物半導体層とも称する）118sl2が順に積層された積層体からなる。酸化物半導体層118slは、例えば、まず、ガリウム及び亜鉛の各組成比よりインジウムの組成比が高い第1酸化物半導体からなる第1半導体膜を成膜し、続いてインジウム及び亜鉛の各組成比よりガリウムの組成比が高い第2酸化物半導体からなる第2半導体膜を成膜し、この積層膜を一括して同じパターン（島状）にパターンングすることによって形成されている。

20

【0010】

比較形態1では、ソース電極124sd及びドレイン電極124ddは、上述のように、ドライエッチングにより形成されるが、そのドライエッチング時に、上層の第2酸化物半導体層118sl2から露出した下層の第1酸化物半導体層118sl1のエッジ（端部）、特にソース電極124sd及びドレイン電極124ddから露出するエッジ部分（図23の太線部）が塩素系ガスのプラズマによって還元反応し、TF T特性のデプレッションが発生する可能性がある。また、CVD装置、特にプラズマCVD装置による例えば保護絶縁膜128の成膜時に、上層の第2酸化物半導体層118sl2から露出した下層の第1酸化物半導体層118sl1のエッジ（端部）、特にソース電極124sd及びドレイン電極124ddから露出するエッジ部分（図23の太線部）が水素プラズマによって還元反応し、同様に、TF T特性のデプレッションが発生する可能性がある。

30

問題ありません。

【0011】

図25及び図26に示すように、比較形態2に係るTF T基板は、TF T126がエッチストップ型である点を除いて、比較形態1と実質的に同じである。

【0012】

比較形態2に係るTF T基板は、図25に示すように、ソース電極124sd及びドレイン電極124ddに重なるように、図26に示すエッチングストップ層140にコンタクトホール138s, 138dが設けられたことを除いて、比較形態1に係るTF T基板と同様の平面レイアウトを有している。

40

【0013】

比較形態2に係るTF T基板では、図26に示すように、コンタクトホール138s, 138dの形成部を除いて、酸化物半導体層118sl及びゲート絶縁膜116を覆うようにエッチングストップ層140が形成されている。

【0014】

比較形態2では、CVD装置、特にプラズマCVD装置によるエッチングストップ層140の成膜時に、上層の第2酸化物半導体層118sl2から露出した下層の第1酸化物半導体層118sl1のエッジ（端部）全体が水素プラズマによって還元反応し、同様に、TF T特性のデプレッションが発生する可能性がある。また、その後、ソース電極124

50

s d 及びドレイン電極 1 2 4 d d のドライエッチング時や C V D 装置、特にプラズマ C V D 装置による例えば保護絶縁膜 1 2 8 の成膜時においても、上層の第 2 酸化物半導体層 1 1 8 s 1 2 で被覆されていない下層の第 1 酸化物半導体層 1 1 8 s 1 1 のエッジ（端部）、特にソース電極 1 2 4 s d 及びドレイン電極 1 2 4 d d で被覆されていないエッジ部分（図 2 5 の太線部）が塩素系ガスのプラズマや水素プラズマによって還元反応する可能性がある。エッチングストップ層 1 4 0 によって、これらによる還元反応を軽減することは可能であるが、エッチングストップ層 1 4 0 が存在したとしても、プラズマのダメージにより、エッチングストップ層 1 4 0 を塩素系ガスのプラズマや水素プラズマが通り抜け、第 1 酸化物半導体層 1 1 8 s 1 1 のエッジの還元反応が発生し得る。

【 0 0 1 5 】

また、比較形態 1 及び 2 では、酸化物半導体層 1 1 8 s 1 が 2 層の酸化物半導体層 1 1 8 s 1 1 及び 1 1 8 s 1 2 からなる場合について説明したが、酸化物半導体層 1 1 8 s 1 が 3 層以上の酸化物半導体層からなる場合も同様の課題が発生し得る。

【 0 0 1 6 】

更に、特許文献 1 に記載の T F T では、下層の酸化物半導体層のエッジ（端部）が上層の酸化物半導体層で覆われていないことから、同様に T F T 特性のデプレッションを発生する可能性がある。

【 0 0 1 7 】

本発明は、上記現状に鑑みてなされたものであり、T F T 特性の安定化が可能な薄膜トランジスタ基板及びそれを備えた液晶表示装置並びに薄膜トランジスタ基板の製造方法を提供することを目的とするものである。

【課題を解決するための手段】

【 0 0 1 8 】

本発明の一態様は、ベース基板と、前記ベース基板上に設けられたゲート電極、前記ゲート電極を覆うように設けられたゲート絶縁膜、前記ゲート絶縁膜上に前記ゲート電極に重なるように設けられた半導体層、並びに、各々一部が前記半導体層に接続されるように、且つ前記半導体層上で互に対向するように設けられたソース電極及びドレイン電極を有する薄膜トランジスタとを備えた薄膜トランジスタ基板であって、前記半導体層は、第 1 酸化物半導体からなる第 1 半導体層と、前記第 1 半導体層を覆うように設けられた第 2 酸化物半導体からなる第 2 半導体層とを有するものであってもよい。

【 0 0 1 9 】

本発明の他の態様は、液晶表示装置であって、本発明の前記態様の薄膜トランジスタ基板と、本発明の前記態様の薄膜トランジスタ基板に対向して配置された対向基板と、本発明の前記態様の薄膜トランジスタ基板と前記対向基板との間に設けられた液晶層とを備えるものであってもよい。

【 0 0 2 0 】

本発明の更に他の態様は、薄膜トランジスタ基板の製造方法であって、ベース基板上に導電膜を成膜し、前記導電膜を第 1 のフォトリソを用いてパターニングすることにより、ゲート電極を形成する第 1 パターニング工程と、前記ゲート電極を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜工程と、前記ゲート絶縁膜上に第 1 酸化物半導体からなる第 1 半導体膜を成膜し、前記第 1 半導体膜を第 2 のフォトリソを用いてパターニングすることにより、第 1 半導体層を形成する第 2 パターニング工程と、前記第 1 半導体層を覆うように第 2 酸化物半導体からなる第 2 半導体膜を成膜し、前記第 2 半導体膜を第 3 のフォトリソを用いてパターニングすることにより、前記第 1 半導体層を覆うように第 2 半導体層を形成する第 3 パターニング工程と、前記第 1 半導体層及び前記第 2 半導体層を覆うように導電膜を成膜し、第 4 のフォトリソを用いて、前記導電膜をドライエッチングでパターニングすることにより、ソース電極及びドレイン電極を形成する第 4 パターニング工程とを含むものであってもよい。

【発明の効果】

【 0 0 2 1 】

10

20

30

40

50

本発明によれば、TFT特性の安定化が可能な薄膜トランジスタ基板及び薄膜トランジスタ基板の製造方法を実現することができる。そして、この薄膜トランジスタ基板を液晶表示装置に適用すれば、歩留まりを向上することができる。

【図面の簡単な説明】

【0022】

【図1】実施形態1に係る液晶表示装置を概略的に示す平面図である。

【図2】図1のII-II線における断面構造を示す断面図である。

【図3】実施形態1に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す平面図である。

【図4】図3のA-A線、B-B線における断面構造を示す断面図である。

10

【図5】実施形態1に係るTFT基板の製造における第1パターンニング工程でゲート電極を形成した状態を示す図4対応箇所の断面図である。

【図6】実施形態1に係るTFT基板の製造におけるゲート絶縁膜成膜工程でゲート絶縁膜を成膜した状態を示す図4対応箇所の断面図である。

【図7】実施形態1に係るTFT基板の製造における第2パターンニング工程で第1酸化物半導体層を形成した状態を示す図4対応箇所の断面図である。

【図8】実施形態1に係るTFT基板の製造における第3パターンニング工程で第2酸化物半導体層を形成した状態を示す図4対応箇所の断面図である。

【図9】実施形態1に係るTFT基板の製造における第4パターンニング工程でモリブデン膜、アルミニウム膜及びモリブデン膜をパターンニングした状態を示す図4対応箇所の断面図である。

20

【図10】実施形態1に係るTFT基板の製造における第5パターンニング工程で窒化シリコンからなる保護絶縁膜を形成した状態を示す図4対応箇所の断面図である。

【図11】実施形態1に係るTFT基板の製造における第5パターンニング工程で透明絶縁樹脂からなる保護絶縁膜を形成した状態を示す図4対応箇所の断面図である。

【図12】実施形態1に係るTFT基板の製造における第5パターンニング工程でゲート絶縁膜と窒化シリコンからなる保護絶縁膜とにコンタクトホールを形成した状態を示す図4対応箇所の断面図である。

【図13】実施形態1に係るTFT基板の製造における第6パターンニング工程で共通電極を形成した状態を示す図4対応箇所の断面図である。

30

【図14】実施形態1に係るTFT基板の製造における第7パターンニング工程で酸化シリコン膜又は窒化シリコン膜からなる保護絶縁膜を成膜した状態を示す図4対応箇所の断面図である。

【図15】実施形態2に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す平面図である。

【図16】図15のA-A線、B-B線における断面構造を示す断面図である。

【図17】実施形態2に係るTFT基板の製造における第4パターンニング工程でエッチングストッパ層を形成した状態を示す図16対応箇所の断面図である。

【図18】実施形態2に係るTFT基板の製造における第4パターンニング工程でエッチングストッパ層にコンタクトホールを形成した状態を示す図16対応箇所の断面図である。

40

【図19】実施形態3に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す平面図である。

【図20】図19のA-A線、B-B線における断面構造を示す断面図である。

【図21】実施形態4に係るTFT基板の1画素及び各配線の端子部の構成を概略的に示す平面図である。

【図22】図21のA-A線、B-B線における断面構造を示す断面図である。

【図23】比較形態1に係るTFT基板の1画素の構成を概略的に示す平面図である。

【図24】図23のA-A線における断面構造を示す断面図である。

【図25】比較形態2に係るTFT基板の1画素の構成を概略的に示す平面図である。

【図26】図25のA-A線における断面構造を示す断面図である。

50

【発明を実施するための形態】

【0023】

以下、本発明の実施形態について説明する。本発明は、以下の実施形態に記載された内容に限定されるものではなく、本発明の構成を充足する範囲内で、適宜設計変更を行うことが可能である。

【0024】

なお、本明細書において、酸化物半導体を構成する各金属元素の組成比とは、その酸化物半導体に含まれる酸素を除いた全金属元素に対する、その金属元素の原子組成比（原子%）を意味する。

【0025】

実施形態1

図1は、この実施形態に係る液晶表示装置Sの概略平面図である。図2は、図1のI-I線における断面構造を示す断面図である。なお、図1では、図2に示す偏光板58の図示を省略している。

【0026】

<液晶表示装置Sの構成>

液晶表示装置Sは、互いに対向するように配置されたTFT基板10及び対向基板50と、これらTFT基板10及び対向基板50の両外周縁部同士を接着する枠状のシール材51と、TFT基板10と対向基板50との間でシール材51の内側に封入された液晶層52とを備えている。

【0027】

この液晶表示装置Sは、透過型の液晶表示装置であり、TFT基板10と対向基板50とが重なる領域であってシール材51の内側、つまり液晶層52が設けられた領域に画像表示を行う表示領域Dを有している。また、この表示領域Dの外部には、TFT基板10が対向基板50から例えばL字状などに突出した端子領域10aが設けられている。

【0028】

表示領域Dは、例えば矩形状の領域であって、画像の最小単位である画素がマトリクス状に複数配列して構成されている。一方、端子領域10aの一辺側（図1中左辺側）には、各々異方性導電膜（Anisotropic Conductive Film、以下、ACFと称する）を介して複数のゲートドライバ集積回路（Integrated Circuit、以下、ICと称する）チップ53が実装されている。また、端子領域10aの他辺側（図1中下辺側）には、各々ACFを介して複数のソースドライバICチップ54が実装されている。

【0029】

TFT基板10及び対向基板50は、例えば矩形状に形成され、図2に示すように、互いに対向する内側表面に配向膜55、56がそれぞれ設けられていると共に、外側表面に偏光板57、58がそれぞれ設けられている。液晶層52は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

【0030】

<TFT基板10の構成>

上記TFT基板10の概略構成図を図3及び図4に示す。図3は、1画素及び各配線の端子部を示す平面図である。図4は、図中左側から順に、図3のA-A線、B-B線における断面構造を示す断面図である。

【0031】

TFT基板10は、図4に示すベース基板であるガラス基板などの絶縁性基板12を有し、表示領域Dにおいて、図3に示すように、絶縁性基板12上に、互いに平行に延びるように設けられた複数のゲート配線14g1と、絶縁膜を介して各ゲート配線14g1と交差する方向に互いに平行に延びるように設けられた複数のソース配線24s1とを備えている。ここで、ゲート配線14g1及びソース配線24s1は、各画素を区画するように全体として格子状に形成されている。

【0032】

10

20

30

40

50

このTFT基板10はさらに、上記各ゲート配線14g1と各ソース配線24s1との交差部毎、つまり各画素毎にTFT26、保持容量素子27及び画素電極30pdを備えている。他方、TFT基板10はさらに、全ての画素に共通する共通電極30cdを備えている。

【0033】

各TFT26は、チャンネルエッチ型のTFTであって、図4(A-A断面)に示すように、絶縁性基板12上に設けられたゲート電極14gdと、該ゲート電極14gdを覆うように設けられたゲート絶縁膜16と、該ゲート絶縁膜16上に上記ゲート電極14gdに重なるように設けられた酸化物半導体からなる半導体層(酸化物半導体層)18s1と、各々一部が上記酸化物半導体層18s1に接続されるように、且つ該酸化物半導体層18s1上で互いに対向するようにゲート絶縁膜16上に設けられたソース電極24sd及びドレイン電極24ddとを備え、これらソース電極24sdとドレイン電極24ddとの間の酸化物半導体層18s1部分にチャンネル領域18cが構成されている。ソース電極24sdは、対応するソース配線24s1の分岐部に接続されている。

10

【0034】

ゲート電極14gdは、対応する交差部を構成するゲート配線14g1の一部であり、図3に示すように該ゲート配線14g1の幅方向両側に突出する突出部を有し、該突出部の突出幅で上記TFT26のチャンネル長を調整している。TFT26のチャンネル長方向において、ゲート電極14gdの幅は、酸化物半導体層18s1の幅よりも小さいが、ゲート電極14gdは、ソース電極24sdとドレイン電極24ddとの間のチャンネル領域18cに少なくとも重なるように設けられている。このゲート電極14gdは、図示しないが、ゲート配線14g1と共に例えばアルミニウム(Al)層及びモリブデン(Mo)層が順に積層されて一体に構成されている。

20

【0035】

また、ゲート絶縁膜16は、例えば窒化シリコン(SiN)、酸化シリコン(SiO₂)又は窒化シリコン膜及び酸化シリコン膜が順に積層されて一体に構成された積層膜からなる。

【0036】

また、酸化物半導体層18s1は、第1酸化物半導体からなる第1半導体層(第1酸化物半導体層)18s11と、第1酸化物半導体層18s11を覆うように設けられた第2酸化物半導体からなる第2半導体層(第2酸化物半導体層)18s12とから構成されている。第2酸化物半導体層18s12は、第1酸化物半導体層18s11全体と重なっており、第1酸化物半導体層18s11の上面全体と側面全体とを覆っている。これにより、第1酸化物半導体層18s11は、第2酸化物半導体層18s12により完全に覆われている。下層の第1酸化物半導体層18s11が上層の第2酸化物半導体層18s12で被覆されることにより、下層の第1酸化物半導体層18s11により各TFT26において高移動度を得ることができ、上層の第2酸化物半導体層18s12により各TFT26の閾値を安定化させることができる。また、酸化物半導体層18s1のパターニング後の工程(プラズマ処理)によって、各TFT26の閾値がマイナス側にシフトしたり、各酸化物半導体層18s1が導電化したりすることを防止することができる。その結果、各TFT26のTFT特性を安定にすることが可能となる。

30

40

【0037】

第1酸化物半導体層18s11からはみ出た部分の第2酸化物半導体層18s12の幅Wは、特に限定されず、適宜設定可能であるが、0.5μm以上であることが好ましく、2μm以上であることがより好ましい。幅Wの上限についても、特に限定されないが、例えば10μm以下であってもよい。

【0038】

酸化物半導体層18s1は、インジウムガリウム亜鉛酸化物(Indium Gallium Zinc Oxide、以下、In-Ga-Zn-Oと称する)系の酸化物半導体からなり、第1酸化物半導体層18s11の第1酸化物半導体及び第2酸化物半導体層18s12の第2酸化物半導

50

体も、各々、インジウム、ガリウム、亜鉛及び酸素から構成されている。第1酸化半導体及び第2酸化半導体の各々の具体的な組成比は、特に限定されず、適宜設定可能であるが、第1酸化半導体は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きく、第2酸化半導体は、ガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きいことが好ましい。インジウムの組成比を相対的に高くすることによって、各TFT26のTFT特性において高い移動度を効果的に得ることが可能である。他方、インジウムの組成比が高い酸化半導体からなる酸化半導体層のみを用いてTFTを形成した場合、当該酸化半導体層形成後のプロセス（ドライエッチングやCVD法による成膜）によるTFT特性のデプレッション（閾値が大きくマイナス側にシフトするか、あるいは、酸化半導体層18s1が導電層に変質する）が発生する。他方、ガリウムの組成比が相対的に高い酸化半導体からなる酸化半導体層のみを用いてTFTを形成した場合は、酸化半導体層形成後のプロセス（ドライエッチングやCVD法による成膜）によるTFT特性のデプレッションを効果的に抑制することが可能である一方で、高移動度を得ることが困難となる。

10

20

30

40

50

【0039】

後述するが、上記第1酸化半導体層18s1は、基板全面にベタに成膜した第1酸化半導体からなる第1半導体膜をウェットエッチングによりパターニングして形成されるものであり、上記第2酸化半導体層18s2は、第1半導体膜のパターニング後に基板全面にベタに成膜した第2酸化半導体からなる第2半導体膜をウェットエッチングによりパターニングして形成されるものである。

【0040】

ソース電極24sd及びドレイン電極24ddは、第1導電層であるモリブデン(Mo)層21s, 21d、第2導電層であるアルミニウム(Al)層22s, 22d及び第3導電層であるモリブデン(Mo)層23s, 23dが順に積層されて一体に構成された積層体からなる。

【0041】

後に詳述するが、上記モリブデン層21s, 21d、アルミニウム層22s, 22d及びモリブデン層23s, 23dは、基板全面にベタに成膜したモリブデン膜、アルミニウム膜及びモリブデン膜の積層膜をドライエッチングによりパターニングして形成されるものである。

【0042】

上記各TFT26は、図4に示すように、例えば窒化シリコン(SiN)からなる保護絶縁膜28と透明絶縁樹脂からなる保護絶縁膜32とによって覆われている。保護絶縁膜32上には、共通電極30cd及び接続電極34が設けられている。そして、共通電極30cd及び接続電極34は、窒化シリコン(SiN)又は酸化シリコン(SiO₂)からなる保護絶縁膜36によって覆われている。この保護絶縁膜36上には、上記各画素電極30pdが設けられている。

【0043】

これら共通電極30cd、接続電極34及び各画素電極30pdは、インジウムスズ酸化物(Indium Tin Oxide、以下、ITOと称する)又はインジウム亜鉛酸化物(Indium Zinc Oxide、以下、IZOと称する)からなり、共通電極30cdは、表示領域Dの略全体に形成されており、各画素電極30pdは、画素の略全体に形成されている。ただし、各画素電極30pdには、複数のスリット(図示は省略)が設けられている。上記保護絶縁膜28及び32と保護絶縁膜36とは、各画素のドレイン電極24ddの対応箇所に当該ドレイン電極24ddに達するコンタクトホール20a, 20bが形成されている。また、上記接続電極34は、対応する画素のコンタクトホール20aと重なる島状に形成されている。そして、各画素電極30pdは、これら各コンタクトホール20a, 20bを通して各接続電極34を介して対応する画素のドレイン電極24ddに接続されている。

【0044】

各保持容量素子27は、各画素電極30pdと、各画素電極30pdに対応する保護絶縁

膜部分からなる誘電層と、該誘電層を介して各画素電極 30 p d に対応する共通電極部分とから構成されている。

【0045】

また、各ゲート配線 14 g l は、ゲートドライバ IC チップ 53 が実装される端子領域 10 a にまで引き出され、その引き出された先端部分が図 3 に示すゲート端子部 14 g t を構成している。このゲート端子部 14 g t は、ゲート絶縁膜 16、保護絶縁膜 28 及び 32 に形成された図 4 (B-B 断面) に示すコンタクトホール 29 a と、保護絶縁膜 36 に形成された図 4 (B-B 断面) に示すコンタクトホール 29 b とを通して、保護絶縁膜 32 上に設けられたゲート接続電極 30 g t 1 及び保護絶縁膜 36 上に設けられたゲート接続電極 30 g t 2 に接続されている。このゲート接続電極 30 g t 1 及び 30 g t 2 は、ゲートドライバ IC チップ 53 に電氣的に接続するための電極を構成している。

10

【0046】

各ソース配線 24 s l は、ソースドライバ IC チップ 54 が実装される端子領域 10 a にまで引き出され、その引き出された先端部分が図 3 に示すソース端子部 24 s t を構成している。このソース端子部 24 s t は、保護絶縁膜 28 及び 32 に形成されたコンタクトホール 29 c と、保護絶縁膜 36 に形成されたコンタクトホール 29 d とを通して、保護絶縁膜 32 上に形成されたソース接続電極 30 s t 1 及び保護絶縁膜 36 上に設けられたソース接続電極 30 s t 2 に接続されている。このソース接続電極 30 s t 1 及び 30 s t 2 は、ソースドライバ IC チップ 54 に電氣的に接続するための電極を構成している。

20

【0047】

共通電極 30 c d は、シール材 51 が設けられた領域まで端部が広がっており、その端部が共通配線 (図示は省略) に接続されている。共通電極 30 c d には、この共通配線を介して共通電圧が印加される。

【0048】

< 対向基板 50 の構成 >

対向基板 50 は、図示は省略するが、ベース基板である絶縁性基板上にゲート配線 14 g l 及びソース配線 24 s l に対応するように格子状に設けられたブラックマトリクスと、該ブラックマトリクスの格子間に周期的に配列するように設けられた赤色層、緑色層及び青色層を含む複数色のカラーフィルタと、それらブラックマトリクス及び各カラーフィルタを覆うように設けられた透明絶縁樹脂からなるオーバーコート層と、該オーバーコート層上に柱状に設けられたフォトスペーサとを備えている。

30

【0049】

< 液晶表示装置 S の作動 >

上記構成の液晶表示装置 S では、各画素において、ゲートドライバ IC チップ 53 からゲート信号がゲート配線 14 g l を介してゲート電極 14 g d に送られて、TFT 26 がオン状態になったときに、ソースドライバ IC チップ 54 からソース信号がソース配線 24 s l を介してソース電極 24 s d に送られて、酸化半導体層 18 s l 及びドレイン電極 24 d d を介して、画素電極 30 p d に所定の電荷が書き込まれると共に保持容量素子 27 が充電される。このとき、各画素電極 30 p d と共通電極 30 c d との間において電位差が生じ、液晶層 52 に所定の電圧が印加される。また、各 TFT 26 がオフ状態のときには、保持容量素子 27 に形成された保持容量によって、対応する画素電極 30 p d に書き込まれた電圧の低下が抑制される。そして、液晶表示装置 S では、各画素において、液晶層 52 に印加する電圧の大きさによって液晶分子の配向状態を変えることにより、液晶層 52 での光透過率を調整して画像が表示される。

40

【0050】

- 製造方法 -

次に、上記 TFT 基板 10 及び液晶表示装置 S を製造する方法について、図 5 ~ 図 16 を参照しながら一例を挙げて説明する。図 5 は TFT 基板 10 の製造方法における第 1 パターニング工程を、図 6 は TFT 基板 10 の製造方法におけるゲート絶縁膜成膜工程を、図 7 は TFT 基板 10 の製造方法における第 2 パターニング工程を、図 8 は TFT 基板 10

50

の製造方法における第3パターンニング工程を、図9はTFT基板10の製造方法における第4パターンニング工程を、図10～図12はTFT基板10の製造方法における第5パターンニング工程を、図13はTFT基板10の製造方法における第6パターンニング工程を、図14はTFT基板10の製造方法における第7パターンニング工程を、それぞれ示す図4対応箇所の断面図である。

【0051】

本実施形態の液晶表示装置Sの製造方法は、TFT基板製造工程と、対向基板製造工程と、貼合工程と、実装工程とを含んでいる。

【0052】

< TFT基板製造工程 >

TFT基板製造工程は、第1～第8パターンニング工程を含んでいる。

【0053】

< 第1パターンニング工程 >

予め準備したガラス基板などの絶縁性基板12上に、スパッタリング法により、例えば、アルミニウム膜（例えば厚さ200nm程度）及びモリブデン膜（例えば厚さ100nm程度）などを順に成膜して積層導電膜を形成する。ここで、モリブデン膜に代えて、モリブデンニオブ膜（例えば厚さ100nm程度）を成膜してもよい。次いで、この積層導電膜におけるゲート配線14g1、ゲート電極14gd、及びゲート端子部14gtの形成箇所に対して、第1のフォトリソグラフィによりレジストパターンを形成する。続いて、このレジストパターンをマスクとして上記積層導電膜をドライエッチングの一種である塩素系ガスを用いた反応性イオンエッチング（Reactive Ion Etching、以下、RIEと称する）を行うことによりパターンニングする。その後、レジスト剥離液による上記レジストパターンの剥離及び洗浄を行うことにより、図5に示すように、ゲート配線14g1、ゲート電極14gd、及びゲート端子部14gtを同時に形成する。

【0054】

< ゲート絶縁膜成膜工程 >

上記ゲート電極14gd及びゲート端子部14gtなどが形成された基板の上に、プラズマCVD法により、窒化シリコン膜（例えば厚さ350nm程度）及び酸化シリコン膜（例えば厚さ50nm程度）を順に成膜して、図6に示すようにゲート絶縁膜16とする。

【0055】

< 第2パターンニング工程 >

上記ゲート絶縁膜16が形成された基板の上に、スパッタリング法により、In-Ga-Zn-O系の第1酸化物半導体からなる第1半導体膜（例えば厚さ40nm程度）を成膜する。第1酸化物半導体は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きくことが好ましい。次いで、この第1半導体膜に対して、第2のフォトリソグラフィによりレジストパターンを形成する。続いて、このレジストパターンをマスクとして上記第1半導体膜をシュウ酸液にてウェットエッチングを行うことによりパターンニングする。その後、レジスト剥離液により上記レジストパターンの剥離及び洗浄を行うことにより、図7に示すように、第1酸化物半導体層18s11を形成する。

【0056】

< 第3パターンニング工程 >

上記第1酸化物半導体層18s11が形成された基板の上に、スパッタリング法により、In-Ga-Zn-O系の第2酸化物半導体からなる第2半導体膜（例えば厚さ60nm程度）を成膜する。第2酸化物半導体は、ガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きいことが好ましい。次いで、この第2半導体膜に対して、第3のフォトリソグラフィによりレジストパターンを形成する。続いて、このレジストパターンをマスクとして上記第2半導体膜をシュウ酸液にてウェットエッチングを行うことによりパターンニングする。その後、レジスト剥離液により上記レジストパターンの剥離及び洗浄を行うことにより、図8に示すように、第2酸化物半導体層18s12を形

10

20

30

40

50

成する。この結果、酸化物半導体層 18 s 1 が形成される。

【0057】

<第4パターニング工程>

上記酸化物半導体層 18 s 1 が形成された基板の上に、スパッタリング法により、モリブデン膜 24 (例えば厚さ 50 nm 程度)、アルミニウム膜 21 (例えば厚さ 300 nm 程度) 及びモリブデン膜 22 (例えば厚さ 100 nm 程度) を順に成膜することにより、積層導電膜を形成する。次いで、この積層導電膜に対して、第4のフォトマスクを用いたフォトリソグラフィにより、ソース配線 24 s 1、ソース電極 24 s d、ドレイン電極 24 d d、及びソース端子部 24 s t の形成箇所レジストパターンを形成する。続いて、このレジストパターンをマスクとして上記積層導電膜を塩素系ガスを用いた R I E でパターニングすることにより、図9に示すように、ソース配線 24 s 1、ソース電極 24 s d、ドレイン電極 24 d d 及びソース端子部 24 s t を同時に形成する。このとき、第1酸化物半導体層 18 s 1 1 は、第2酸化物半導体層 18 s 1 2 で被覆されていることから、塩素系ガスのプラズマ(プラズマ処理)により第1酸化物半導体層 18 s 1 1 が還元されるのを抑制することができる。

10

【0058】

なお、上記 R I E でのエッチング条件は、例えば、原料ガスとして Cl_2 (流量 100 s c c m 程度) と BCl_3 (流量 100 s c c m 程度) との混合ガスを用い、チャンパー内圧力を 4 P a 程度、高周波電力を 1100 W 程度とする。

【0059】

<第5パターニング工程(保護絶縁膜成膜工程及びアニール処理工程)>

上記ソース電極 24 s d 及びドレイン電極 24 d d などが形成された基板の上に、プラズマ C V D 法により、窒化シリコン膜を成膜して、図10に示すように保護絶縁膜 28 (例えば厚さ 300 nm 程度) とする。このとき、第1酸化物半導体層 18 s 1 1 は、第2酸化物半導体層 18 s 1 2 で被覆されていることから、プラズマ C V D 法による保護絶縁膜 28 の成膜時の水素プラズマ(プラズマ処理)により第1酸化物半導体層 18 s 1 1 が還元されるのを抑制することができる。

20

【0060】

次に、この保護絶縁膜 28 が成膜された基板に対して、アニールチャンパーを用い、酸素ガスをキャリアガスとして、酸素を含む雰囲気中で 100 ~ 450 程度の高温アニール処理を大気圧で行う。これにより、当該保護絶縁膜 28 の成膜のためのプラズマ C V D 法により酸化物半導体層 18 s 1 のチャネル領域 18 c がプラズマに曝されて、該チャネル領域 18 c の酸素が離脱していても、当該アニール処理により、酸化物半導体層 18 s 1 の酸素欠陥が修復されて当該半導体層 18 s 1 の特性を安定化させることができる。

30

【0061】

続いて、アニール処理が行われた基板の上に、スピンコート法又はスリットコート法により、ポジ型の感光性アクリル系の透明樹脂からなる透明絶縁樹脂膜(例えば厚さ 2 μ m 程度) を成膜する。続いて、(プリベーク後、) 第5のフォトマスクを用いたフォトリソグラフィにより、コンタクトホール 20 a, 29 a, 29 c の形成箇所及び除去部を露光し、その後、現像することによりパターニングする。そして、樹脂の透明化(ブリーチング)を行うため、280 ~ 350 mJ/cm^2 の露光量で全面露光し、その後、200 ~ 230 のポストベークを行うことにより、図11に示すように、保護絶縁膜 32 を形成する。

40

【0062】

続いて、上記保護絶縁膜 32 が形成された基板の上に、上記第5のフォトマスクを用いたフォトリソグラフィにより、コンタクトホール 20 a, 29 a, 29 c の形成箇所を開口するようにレジストパターンを形成する。そして、このレジストパターンをマスクとしてゲート絶縁膜 16 及び保護絶縁膜 28 をフッ素系ガスを用いた R I E でパターニングし、図12に示すように、コンタクトホール 20 a, 29 a, 29 c を形成する。

【0063】

50

< 第 6 パターニング工程 >

上記保護絶縁膜 28 及び 32 がパターニングされた基板の上に、スパッタリング法により、例えば ITO、IZO などの透明導電膜（例えば厚さ 70 nm 程度）を成膜する。続いて、この透明導電膜に対して、第 6 のフォトマスクを用いたフォトリソグラフィにより共通電極 30cd、接続電極 34、ゲート接続電極 30gt1 及びソース接続電極 30st1 の形成箇所にレジストパターンを形成する。そして、このレジストパターンをマスクとして上記透明導電膜をシュウ酸液にてウェットエッチングを行うことによりパターニングする。その後、レジスト剥離液にて上記レジストパターンの剥離及び洗浄を行うことにより、図 13 に示すように、共通電極 30cd、接続電極 34、ゲート接続電極 30gt1 及びソース接続電極 30st1 を形成する。

10

【0064】

< 第 7 パターニング工程 >

上記共通電極 30cd 及び接続電極 34 などが形成された基板の上に、プラズマ CVD 法により、酸化シリコン膜又は窒化シリコン膜を成膜して保護絶縁膜 36（例えば厚さ 300 nm 程度）とする。

【0065】

次に、この保護絶縁膜 36 が成膜された基板の上に、第 7 のフォトマスクを用いたフォトリソグラフィにより、コンタクトホール 20b, 29b, 29d の形成箇所で開口するようにレジストパターンを形成する。そして、このレジストパターンをマスクとして上記保護絶縁膜 36 をフッ素系ガスを用いた RIE でパターニングする。その後、レジスト剥離液にて上記レジストパターンの剥離及び洗浄を行うことにより、図 14 に示すようにコンタクトホール 20b, 29b, 29d を形成する。

20

【0066】

< 第 8 パターニング工程 >

上記コンタクトホール 20b, 29b, 29d が形成された基板の上に、スパッタリング法により、例えば ITO、IZO などの透明導電膜（例えば厚さ 70 nm 程度）を成膜する。続いて、この透明導電膜に対して、第 8 のフォトマスクを用いたフォトリソグラフィにより画素電極 30pd、ゲート接続電極 30gt2 及びソース接続電極 30st2 の形成箇所にレジストパターンを形成する。そして、このレジストパターンをマスクとして上記透明導電膜をシュウ酸液にてウェットエッチングを行うことによりパターニングする。その後、レジスト剥離液にて上記レジストパターンの剥離及び洗浄を行うことにより、画素電極 30pd、ゲート接続電極 30gt2 及びソース接続電極 30st2 を形成する。

30

【0067】

以上のようにして、図 4 に示す TFT 基板 10 を製造することができる。

【0068】

< 対向基板製造工程 >

まず、ガラス基板などの絶縁性基板の上に、スピンコート法又はスリットコート法により、例えば、黒色に着色された感光性樹脂を塗布した後、その塗布膜を、フォトマスクを用いて露光した後に現像することによりパターニングして、ブラックマトリクスを形成する。

40

【0069】

続いて、ブラックマトリクスが形成された基板の上に、例えば赤、緑又は青に着色されたネガ型のアクリル系の感光性樹脂を塗布し、その塗布膜を、フォトマスクを介して露光した後に現像することによりパターニングして、選択した色の着色層（例えば赤色層）を形成する。さらに、他の 2 色の着色層（例えば緑色層及び青色層）についても、同様な処理を繰り返し行うことにより形成して、カラーフィルタを形成する。

【0070】

次いで、カラーフィルタが形成された基板の上に、スピンコート法又はスリットコート法により、例えばアクリル系の透明樹脂からなる透明絶縁樹脂膜を成膜して、オーバーコート層とする。

50

【 0 0 7 1 】

次いで、オーバーコート層が形成された基板上に、スピンコート法により、ポジ型のフェノールノボラック系の感光性樹脂を塗布し、その塗布膜を、フォトマスクを介して露光した後に現像することによりパターンングして、フォトスペーサを形成する。

【 0 0 7 2 】

以上のようにして、対向基板 5 0 を製造することができる。

【 0 0 7 3 】

< 貼合工程 >

まず、TFT基板 1 0 の表面に、印刷法によりポリイミド系樹脂を塗布した後、その塗布膜に対して焼成及びラビング処理を行うことにより、配向膜 5 5 を形成する。また、対向基板 5 0 の表面にも、印刷法によりポリイミド系樹脂を塗布した後、その塗布膜に対して焼成及びラビング処理を行うことにより、配向膜 5 6 を形成する。

10

【 0 0 7 4 】

次いで、ディスペンサなどを用いて、配向膜 5 6 が設けられた対向基板 5 0 に、紫外線硬化性及び熱硬化性を有する併用型樹脂などのシール材 5 1 を矩形棒状に描画する。続いて、対向基板 5 0 のシール材 5 1 の内側領域に液晶材料を所定量滴下する。

【 0 0 7 5 】

そして、液晶材料が滴下された対向基板 5 0 と、配向膜 5 5 が設けられた TFT 基板 1 0 とを、減圧下で貼り合わせた後、その貼り合わせた貼合体を大気圧下に開放することにより、貼合体の表面を加圧する。さらに、貼合体のシール材 5 1 に UV (Ultra Violet) 光を照射してシール材 5 1 を仮硬化させた後、その貼合体を加熱することにより、シール材 5 1 を本硬化させて、TFT 基板 1 0 と対向基板 5 0 とを接着する。

20

【 0 0 7 6 】

その後、互いに接着された TFT 基板 1 0 及び対向基板 5 0 の外表面に対し、偏光板 5 7 , 5 8 をそれぞれ貼り付ける。

【 0 0 7 7 】

< 実装工程 >

両面に偏光板 5 7 , 5 8 が貼り付けられた貼合体における端子領域 1 0 a に ACF を配置した後、それら ACF を介して各ゲートドライバ IC チップ 5 3 及び各ソースドライバ IC チップ 5 4 を端子領域 1 0 a に熱圧着することにより、それら各ドライバ IC チップ 5 3 , 5 4 を貼合体に実装する。

30

【 0 0 7 8 】

以上の工程を行って、液晶表示装置 S を製造することができる。

【 0 0 7 9 】

この実施形態によると、酸化物半導体層 1 8 s 1 は、第 1 酸化物半導体層 1 8 s 1 1 と、第 1 酸化物半導体層 1 8 s 1 1 を覆うように設けられた第 2 酸化物半導体層 1 8 s 1 2 とを有しているので、下層の第 1 酸化物半導体層 1 8 s 1 1 により各 TFT 2 6 において高移動度を得ることができ、上層の第 2 酸化物半導体層 1 8 s 1 2 により各 TFT 2 6 の閾値を安定化させることができる。また、酸化物半導体層 1 8 s 1 のパターンング後の工程（プラズマ処理）によって、各 TFT 2 6 の閾値がマイナス側にシフトしたり、各酸化物半導体層 1 8 s 1 が導電化したりすることを防止することができる。その結果、各 TFT 2 6 の TFT 特性を安定にすることが可能となる。

40

【 0 0 8 0 】

実施形態 2

本実施形態では、本実施形態に特有の特徴について主に説明し、実施形態 1 と重複する内容については説明を省略する。また、本実施形態と実施形態 1 とにおいて、同一又は同様の機能を有する部材には同一の符号を付し、本実施形態において、その部材の説明は省略する。本実施形態は、以下で説明するように、TFT がエッチストップ型である点を除いて、実施形態 1 と実質的に同じである。

【 0 0 8 1 】

50

< T F T 基板 1 0 の構成 >

この実施形態に係る T F T 基板 1 0 の概略構成図を図 1 5 及び図 1 6 に示す。図 1 5 は、1 画素及び各配線の端子部を示す平面図である。図 1 6 は、図中左側から順に、図 1 5 の A - A 線、B - B 線における断面構造を示す断面図である。

【 0 0 8 2 】

この実施形態において、T F T 基板 1 0 は、図 1 5 に示すように、ソース電極 2 4 s d 及びドレイン電極 2 4 d d に重なるように、後述するエッチングストップパ層にコンタクトホール 3 8 s , 3 8 d が設けられたことを除いて、実施形態 1 に係る T F T 基板 1 0 と同様の平面レイアウトを有している。

【 0 0 8 3 】

T F T 基板 1 0 では、図 1 6 に示すように、コンタクトホール 3 8 s , 3 8 d の形成部を除いて、酸化物半導体層 1 8 s 1 及びゲート絶縁膜 1 6 を覆うように酸化シリコン (S i O ₂) からなるエッチングストップパ層 4 0 が形成されている。

【 0 0 8 4 】

ソース電極 2 4 s d 及びドレイン電極 2 4 d d は、エッチングストップパ層 4 0 上に配置され、エッチングストップパ層 4 0 に形成されたコンタクトホール 3 8 s , 3 8 d を通して酸化物半導体層 1 8 s 1 に接続されている。

【 0 0 8 5 】

また、ゲート接続電極 3 0 g t 1 接続用のコンタクトホール 2 9 a は、ゲート絶縁膜 1 6 、エッチングストップパ層 4 0 、保護絶縁膜 2 8 に形成されている。

【 0 0 8 6 】

- 製造方法 -

次に、この実施形態に係る T F T 基板 1 0 を製造する方法について、図 1 7 ~ 図 1 8 を参照しながら一例を挙げて説明する。図 1 7 ~ 図 1 8 は T F T 基板 1 0 の製造方法における第 4 パターニング工程を示す図 1 6 対応箇所の断面図である。

【 0 0 8 7 】

< T F T 基板製造工程 >

T F T 基板製造工程は、第 1 ~ 第 9 パターニング工程を含んでいる。

【 0 0 8 8 】

< 第 1 ~ 第 3 パターニング工程 >

まず、実施形態 1 と同様に、第 1 ~ 第 3 パターニング工程を行う。

【 0 0 8 9 】

< 第 4 パターニング工程 >

酸化物半導体層 1 8 s 1 が形成された基板の上に、プラズマ C V D 法により、酸化シリコン膜を成膜して、図 1 7 に示すようにエッチングストップパ層 4 0 (例えば厚さ 2 0 0 n m 程度) とする。このとき、第 1 酸化物半導体層 1 8 s 1 1 は、第 2 酸化物半導体層 1 8 s 1 2 で被覆されていることから、プラズマ C V D 法によるエッチングストップパ層 4 0 の成膜時の水素プラズマ (プラズマ処理) により第 1 酸化物半導体層 1 8 s 1 1 が還元されるのを軽減することができる。

【 0 0 9 0 】

続いて、上記エッチングストップパ層 4 0 が形成された基板の上に、第 4 のフォトリソグラフィにより、コンタクトホール 2 9 a , 3 8 s , 3 8 d の形成箇所を開くようにレジストパターンを形成する。そして、このレジストパターンをマスクとしてゲート絶縁膜 1 6 及びエッチングストップパ層 4 0 をフッ素系ガスを用いた R I E でパターニングし、図 1 8 に示すように、コンタクトホール 3 8 s , 3 8 d とコンタクトホール 2 9 a を構成する開口 2 9 a 1 を形成する。

【 0 0 9 1 】

< 第 5 パターニング工程 >

続いて、実施形態 1 の第 4 パターニング工程と同様の工程を行う。エッチングストップパ層 4 0 は、酸化物半導体層 1 8 s 1 のチャネル保護膜として機能するので、R I E による上

10

20

30

40

50

記積層導電膜のパターニング時に、酸化物半導体層 18s1 のチャンネル領域 18c がプラズマダメージを受けないようにすることができる。また、このとき、第 1 酸化物半導体層 18s11 は、第 2 酸化物半導体層 18s12 で被覆され、かつ酸化物半導体層 18s1 は、エッチングストップ層 40 で被覆されていることから、塩素系ガスのプラズマ（プラズマ処理）により第 1 酸化物半導体層 18s11 が還元されるのを軽減することができる。

【0092】

< 第 6 パターニング工程（保護絶縁膜成膜工程及びアニール処理工程）>

続いて、実施形態 1 の第 5 パターニング工程（保護絶縁膜成膜工程及びアニール処理工程）と同様の工程を行う。このとき、第 1 酸化物半導体層 18s11 は、第 2 酸化物半導体層 18s12 で被覆され、かつ酸化物半導体層 18s1 は、エッチングストップ層 40 で被覆されていることから、プラズマ CVD 法による保護絶縁膜 28 の成膜時の水素プラズマ（プラズマ処理）により第 1 酸化物半導体層 18s11 が還元されるのを軽減することができる。また、酸化シリコンからなるエッチングストップ層 40 は例えば窒化シリコン膜よりも酸素の透過率が一般的に高いので、このときのアニール処理により、酸化物半導体層 18s1 のチャンネル領域 18c に当該アニール処理の酸素が有効に供給される。この結果、酸化物半導体層 18s1 に潜在的に存在する酸素欠損による格子欠陥が修復され、当該半導体層 18s1 の特性をより安定化させることができる。

10

【0093】

< 第 7 ~ 第 9 パターニング工程 >

そして、実施形態 1 の第 6 ~ 第 8 パターニング工程と同様の工程を行うことによって、図 16 に示す TFT 基板 10 を製造することができる。

20

【0094】

この実施形態によると、酸化物半導体層 18s1 は、第 1 酸化物半導体層 18s11 と、第 1 酸化物半導体層 18s11 を覆うように設けられた第 2 酸化物半導体層 18s12 とを有しているので、実施形態 1 と同様に、下層の第 1 酸化物半導体層 18s11 により各 TFT 26 において高移動度を得ることができ、上層の第 2 酸化物半導体層 18s12 により各 TFT 26 の閾値を安定化させることができる。また、酸化物半導体層 18s1 のパターニング後の工程（プラズマ処理）によって、各 TFT 26 の閾値がマイナス側にシフトしたり、各酸化物半導体層 18s1 が導電化したりすることを防止することができる。その結果、各 TFT 26 の TFT 特性を安定にすることが可能となる。

30

【0095】

実施形態 3

本実施形態では、本実施形態に特有の特徴について主に説明し、実施形態 1 ~ 2 と重複する内容については説明を省略する。また、本実施形態と実施形態 1 ~ 2 とにおいて、同一又は同様の機能を有する部材には同一の符号を付し、本実施形態において、その部材の説明は省略する。本実施形態は、以下で説明するように、ゲート電極の内側に酸化物半導体層が配置された構造である点を除いて、実施形態 1 と実質的に同じである。

【0096】

< TFT 基板 10 の構成 >

この実施形態に係る TFT 基板 10 の概略構成図を図 19 及び図 20 に示す。図 19 は、1 画素及び各配線の端子部を示す平面図である。図 20 は、図中左側から順に、図 19 の A - A 線、B - B 線における断面構造を示す断面図である。

40

【0097】

この実施形態において、TFT 基板 10 は、図 19 に示すように、ゲート電極 14gd が、酸化物半導体層 18s1 よりも大きく、且つ酸化物半導体層 18s1 全体と重なるように設けられたことを除いて、実施形態 1 に係る TFT 基板 10 と同様の平面レイアウトを有している。

【0098】

TFT 基板 10 では、図 20 に示すように、TFT 26 のチャンネル長方向において、ゲ-

50

ト電極 14 g d の幅が酸化物半導体層 18 s l の幅よりも大きい。

【0099】

- 製造方法 -

この実施形態に係る T F T 基板 10 は、実施形態 1 に係る T F T 基板 10 と同様の工程にて製造することができる。

【0100】

実施形態 4

本実施形態では、本実施形態に特有の特徴について主に説明し、実施形態 1 ~ 2 と重複する内容については説明を省略する。また、本実施形態と実施形態 1 ~ 2 とにおいて、同一又は同様の機能を有する部材には同一の符号を付し、本実施形態において、その部材の説明は省略する。本実施形態は、以下で説明するように、ゲート電極の内側に酸化物半導体層が配置された構造である点を除いて、実施形態 2 と実質的に同じである。

10

【0101】

< T F T 基板 10 の構成 >

この実施形態に係る T F T 基板 10 の概略構成図を図 2 1 及び図 2 2 に示す。図 2 1 は、1 画素及び各配線の端子部を示す平面図である。図 2 2 は、図中左側から順に、図 2 1 の A - A 線、B - B 線における断面構造を示す断面図である。

【0102】

この実施形態において、T F T 基板 10 は、図 2 1 に示すように、ゲート電極 14 g d が、酸化物半導体層 18 s l よりも大きく、且つ酸化物半導体層 18 s l 全体と重なるように設けられたことを除いて、実施形態 2 に係る T F T 基板 10 と同様の平面レイアウトを有している。

20

【0103】

T F T 基板 10 では、図 2 2 に示すように、T F T 26 のチャネル長方向において、ゲート電極 14 g d の幅が酸化物半導体層 18 s l の幅よりも大きい。

【0104】

- 製造方法 -

この実施形態に係る T F T 基板 10 は、実施形態 2 に係る T F T 基板 10 と同様の工程にて製造することができる。

【0105】

なお、上記実施形態では、ソース電極 24 s d 及びドレイン電極 24 d d が、第 1 導電層としてモリブデン層 21 s , 21 d、第 2 導電層としてアルミニウム層 22 s , 22 d、及び第 3 導電層としてモリブデン層 23 s , 23 d を採用した積層構造 (M o / A l / M o) である場合を例示したが、本発明はこれに限らない。

30

【0106】

すなわち、第 1 導電層 21 s , 21 d は、モリブデン (M o) に代えて、窒化モリブデン (M o N) やモリブデンを主成分とする合金、その他、クロム (C r)、ニオブ (N b)、タンタル (T a) 若しくはタングステン (W)、これを主成分とする合金、又はこれらの窒化物若しくは酸化物などの高融点金属からなってもよく、第 5 族又は第 6 族の金属元素、これを主成分とする合金、又はこれらの窒化物若しくは酸化物からなっても構わない。また、第 1 導電層 21 s , 21 d は、モリブデン (M o) に代えて、チタン (T i) や窒化チタン (T i N)、酸化チタン (T i O)、チタン (T i) を主成分とする合金などの高融点金属からなってもよく、その他、第 4 族の金属元素、これを主成分とする合金、又はこれらの窒化物若しくは酸化物からなっても構わない。

40

【0107】

また、第 2 導電層 22 s , 22 d は、アルミニウム (A l) に代えて、銅 (C u) や銀 (A g) からなってもよく、その他の比抵抗が $5 \mu \cdot \text{cm}$ 以下の低抵抗な金属材料からなっても構わない。

【0108】

また、第 3 導電層 23 s , 23 d は、モリブデン (M o) に代えて、窒化モリブデン (M

50

o N) やモリブデンを主成分とする合金、その他、クロム (Cr)、ニオブ (Nb)、タンタル (Ta) 若しくはタングステン (W)、これを主成分とする合金、又はこれらの窒化物若しくは酸化物などの高融点金属からなっているとしてもよく、第 5 族又は第 6 族の金属元素、これを主成分とする合金、又はこれらの窒化物若しくは酸化物からなっているとしても構わない。また、第 3 導電層 23s, 23d は、モリブデン (Mo) に代えて、チタン (Ti) や窒化チタン (TiN)、酸化チタン (TiO)、チタン (Ti) を主成分とする合金などの高融点金属からなっているとしてもよく、その他、第 4 族の金属元素、これを主成分とする合金、又はこれらの窒化物若しくは酸化物からなっているとしても構わない。

【0109】

また、上記実施形態では、In - Ga - Zn - O 系の酸化物半導体層を用いた TFT を例示したが、本発明は、インジウムシリコン亜鉛酸化物 (In - Si - Zn - O) 系、インジウムアルミニウム亜鉛酸化物 (In - Al - Zn - O) 系、スズシリコン亜鉛酸化物 (Sn - Si - Zn - O) 系、スズアルミニウム亜鉛酸化物 (Sn - Al - Zn - O) 系、スズガリウム亜鉛酸化物 (Sn - Ga - Zn - O) 系、ガリウムシリコン亜鉛酸化物 (Ga - Si - Zn - O) 系、ガリウムアルミニウム亜鉛酸化物 (Ga - Al - Zn - O) 系、インジウム銅亜鉛酸化物 (In - Cu - Zn - O) 系、スズ銅亜鉛酸化物 (Sn - Cu - Zn - O) 系、インジウムスズガリウム酸化物 (In - Sn - Ga - O) 系、インジウムスズ亜鉛酸化物 (In - Sn - Zn - O) 系、インジウムスズガリウム亜鉛酸化物 (In - Sn - Ga - Zn - O) 系、スズ酸化物 (Zn - O) 系、インジウム酸化物 (In - O) 系などの他の酸化物半導体層を用いた TFT を備えた TFT 基板にも適用することができる。また、これらの異なる系統を併用した TFT を備えた TFT 基板にも適用することができる。

10

20

【0110】

また、上記実施形態では、第 1 酸化物半導体層 18s11 及び第 2 酸化物半導体層 18s12 がそれぞれ単層である例を挙げて説明したが、各酸化物半導体層 18s11, 18s12 は複数の酸化物半導体層から構成されるものであっても構わない。

【0111】

また、上記実施形態では、TFT 基板製造工程において、保護絶縁膜 28 を成膜した後であって該保護絶縁膜 28 にコンタクトホールを形成する前にアニール処理を行うとしたが、当該アニール処理は、保護絶縁膜 28 にコンタクトホールを形成した後であっても構わない。

30

【0112】

また、上記各実施形態では、透過型の液晶表示装置 S を構成する TFT 基板 10 を例に挙げて説明したが、本発明はこれに限らず、本発明の TFT 基板 10 は、反射型又は透過反射両用型の液晶表示装置や、有機 EL (Electro Luminescence) 表示装置などの他の各種表示装置、及びそれらの製造方法にも適用することができる。

【0113】

[付記]

本発明の第 1 の態様は、ベース基板 (12) と、前記ベース基板 (12) 上に設けられたゲート電極 (14gd)、前記ゲート電極 (14gd) を覆うように設けられたゲート絶縁膜 (16)、前記ゲート絶縁膜 (16) 上に前記ゲート電極 (14gd) に重なるように設けられた半導体層 (18s1)、並びに、各々一部が前記半導体層 (18s1) に接続されるように、且つ前記半導体層 (18s1) 上で互いに対向するように設けられたソース電極 (24sd) 及びドレイン電極 (24dd) を有する TFT (26) とを備えた TFT 基板 (10) であって、前記半導体層 (18s1) は、第 1 酸化物半導体からなる第 1 半導体層 (18s11) と、前記第 1 半導体層 (18s11) を覆うように設けられた第 2 酸化物半導体からなる第 2 半導体層 (18s12) とを有するものであってもよい。

40

【0114】

上記の構成によると、半導体層 (18s1) は、第 1 半導体層 (18s11) と、第 1 半

50

導体層(18s11)を覆うように設けられた第2半導体層(18s12)とを有するので、下層の第1半導体層(18s11)によりTF T(26)において高移動度を得ることができ、上層の第2半導体層(18s12)によりTF T(26)の閾値を安定化させることができる。また、半導体層(18s1)のパターニング後の工程(プラズマ処理)によって、TF T(26)の閾値がマイナス側にシフトしたり、半導体層(18s1)が導電化したりすることを防止することができる。その結果、TF T(26)のTF T特性を安定にすることが可能となる。

【0115】

本発明の第2の態様は、本発明の第1の態様のTF T基板(10)において、前記第1酸化物半導体及び前記第2酸化物半導体は、各々、インジウム、ガリウム、亜鉛及び酸素から構成され、前記第1酸化物半導体は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きく、前記第2酸化物半導体は、ガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きいものであってもよい。

10

【0116】

上記の構成によると、本発明の作用効果が具体的に奏されることとなる。

【0117】

本発明の第3の態様は、液晶表示装置(S)であって、本発明の第1又は第2の態様のTF T基板(10)と、前記TF T基板(10)に対向して配置された対向基板(50)と、前記TF T基板(10)と前記対向基板(50)との間に設けられた液晶層(52)とを備えるものであってもよい。

20

【0118】

上記の構成によると、第1又は第2の態様のTF T基板(10)は、TF T特性の安定化が可能であるので、液晶表示装置(S)の歩留まりを向上することができる。

【0119】

本発明の第4の態様は、TF T基板(10)の製造方法であって、ベース基板(12)上に導電膜を成膜し、前記導電膜を第1のフォトマスクを用いてパターニングすることにより、ゲート電極(14gd)を形成する第1パターニング工程と、前記ゲート電極(14gd)を覆うようにゲート絶縁膜(16)を成膜するゲート絶縁膜成膜工程と、前記ゲート絶縁膜(16)上に第1酸化物半導体からなる第1半導体膜を成膜し、前記第1半導体膜を第2のフォトマスクを用いてパターニングすることにより、第1半導体層(18s11)を形成する第2パターニング工程と、前記第1半導体層(18s11)を覆うように第2酸化物半導体からなる第2半導体膜を成膜し、前記第2半導体膜を第3のフォトマスクを用いてパターニングすることにより、前記第1半導体層(18s11)を覆うように第2半導体層(18s12)を形成する第3パターニング工程と、前記第1半導体層(18s11)及び前記第2半導体層(18s12)を覆うように導電膜を成膜し、第4のフォトマスクを用いて、前記導電膜をドライエッチングでパターニングすることにより、ソース電極(24sd)及びドレイン電極(24dd)を形成する第4パターニング工程とを含むものであってもよい。

30

【0120】

上記の製造方法によると、第1半導体層(18s11)を覆うように第2半導体層(18s12)を形成するので、下層の第1半導体層(18s11)によりTF T(26)において高移動度を得ることができ、上層の第2半導体層(18s12)によりTF T(26)の閾値を安定化させることができる。また、第1半導体層(18s11)及び第2半導体層(18s12)のパターニング後の工程(プラズマ処理)によって、TF T(26)の閾値がマイナス側にシフトしたり、第1半導体層(18s11)及び第2半導体層(18s12)が導電化したりすることを防止することができる。その結果、TF T(26)のTF T特性の安定化が可能なTF T基板(10)を製造することができる。

40

【0121】

本発明の第5の態様は、本発明の第4の態様のTF T基板(10)の製造方法において、前記第1酸化物半導体及び前記第2酸化物半導体は、各々、インジウム、ガリウム、亜鉛

50

及び酸素から構成され、前記第 1 酸化物半導体は、インジウムの組成比がガリウム及び亜鉛の各組成比よりも大きく、前記第 2 酸化物半導体は、ガリウムの組成比がインジウム及び亜鉛の各組成比よりも大きいものであってもよい。

【 0 1 2 2 】

上記の製造方法によると、本発明の作用効果が具体的に奏されることとなる。

【 0 1 2 3 】

以上に示した本発明の各態様は、本発明の要旨を逸脱しない範囲において適宜組み合わせられてもよい。

【 符号の説明 】

【 0 1 2 4 】

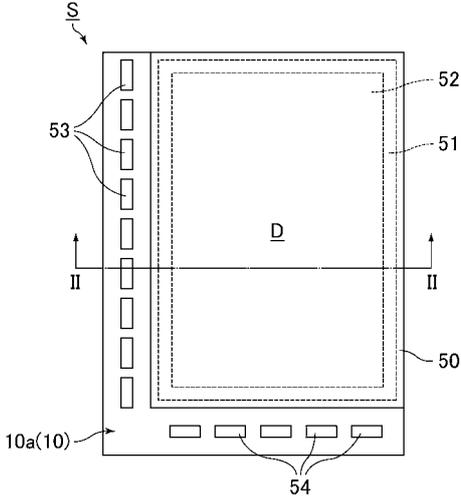
- 1 0 : T F T 基板 (薄膜トランジスタ基板)
- 1 2 : 絶縁性基板 (ベース基板)
- 1 4 g d : ゲート電極
- 1 6 : ゲート絶縁膜
- 1 8 s 1 : 酸化物半導体層 (半導体層)
- 1 8 s 1 1 : 第 1 酸化物半導体層 (第 1 半導体層)
- 1 8 s 1 2 : 第 2 酸化物半導体層 (第 2 半導体層)
- 2 0 a , 2 0 b , 2 9 a , 2 9 b , 3 8 s , 3 8 d : コンタクトホール
- 2 4 s d : ソース電極
- 2 4 d d : ドレイン電極
- 2 1 s , 2 1 d : モリブデン層 (第 1 導電層)
- 2 2 s , 2 2 d : アルミニウム層 (第 2 導電層)
- 2 3 s , 2 3 d : モリブデン層 (第 3 導電層)
- 2 6 : T F T (薄膜トランジスタ)
- 2 8 , 3 2 , 3 6 : 保護絶縁膜
- 3 0 c d : 共通電極 (透明導電層)
- 3 0 p d : 画素電極 (透明導電層)
- 3 4 : 接続電極
- 4 0 : エッチングストップパ層
- 5 0 : 対向基板
- 5 2 : 液晶層
- S : 液晶表示装置

10

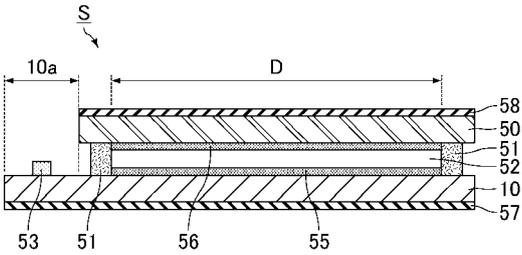
20

30

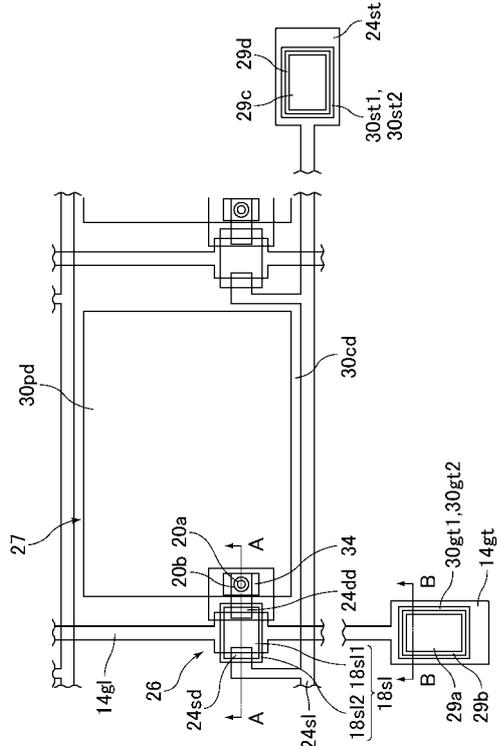
【 図 1 】



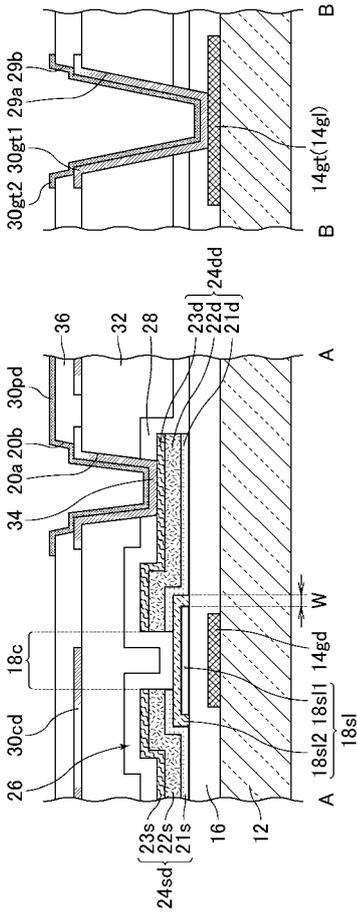
【 図 2 】



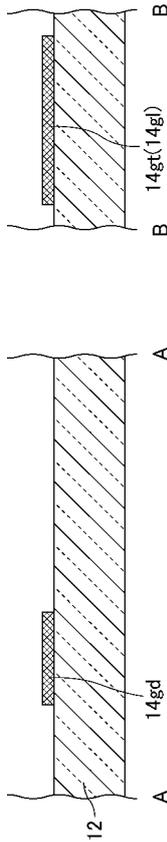
【 図 3 】

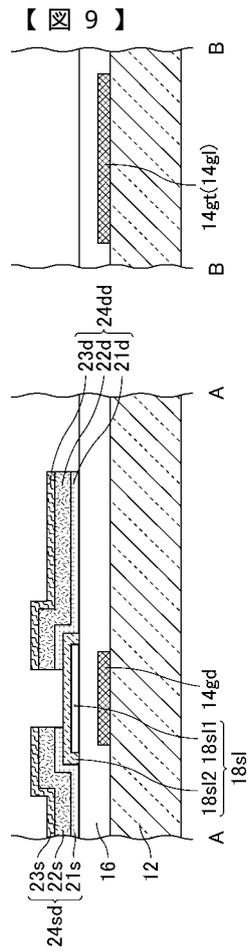
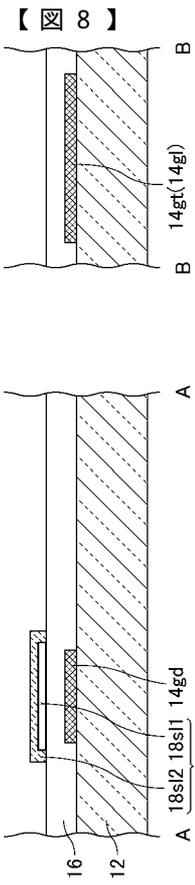
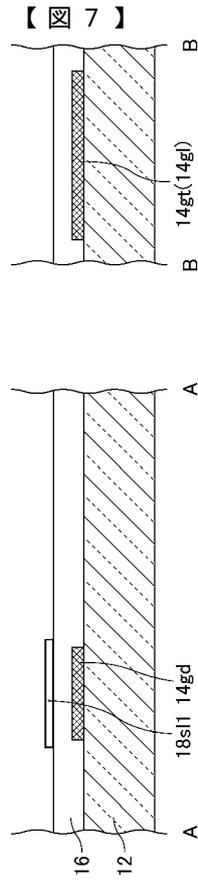
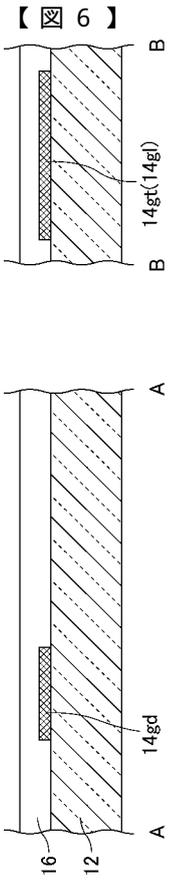


【 図 4 】

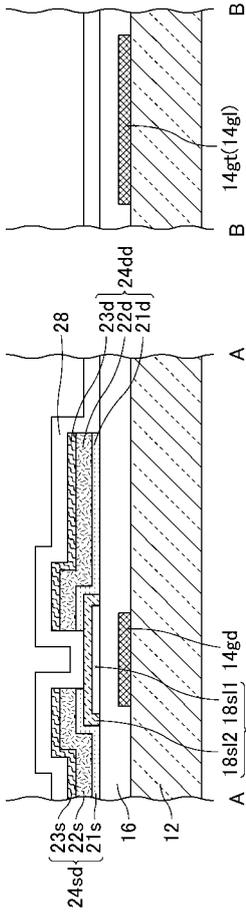


【 図 5 】

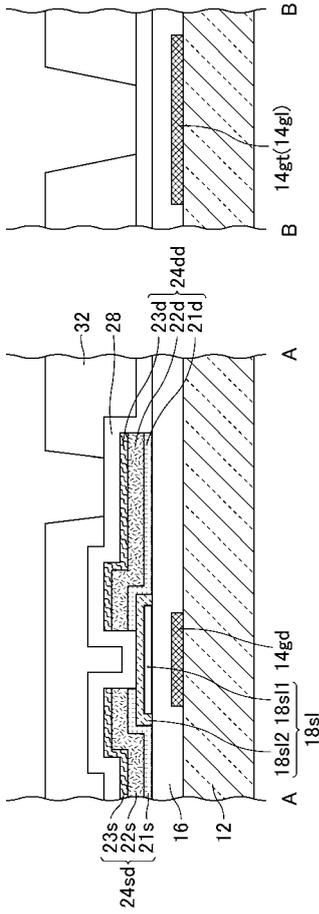




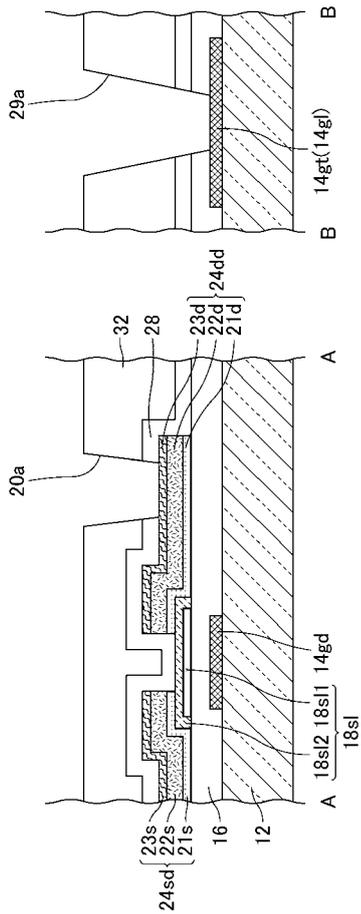
【図 10】



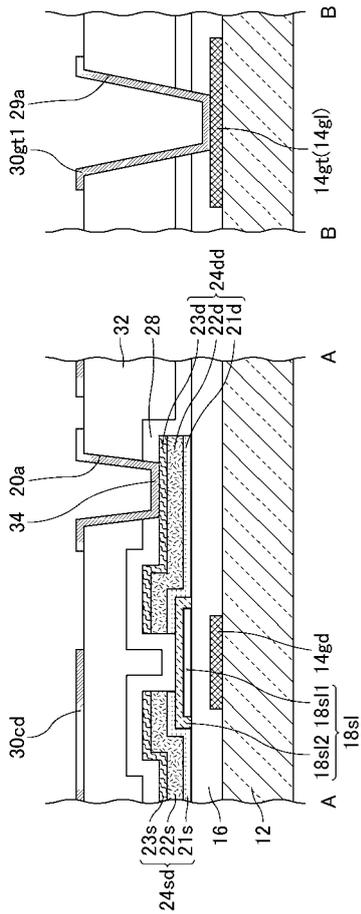
【図 11】



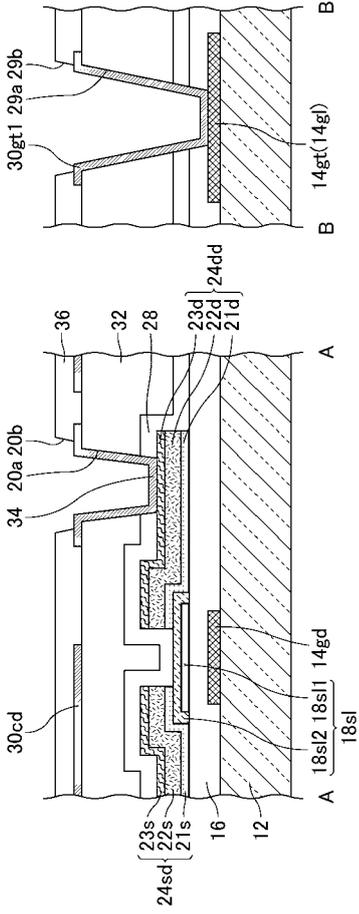
【図 12】



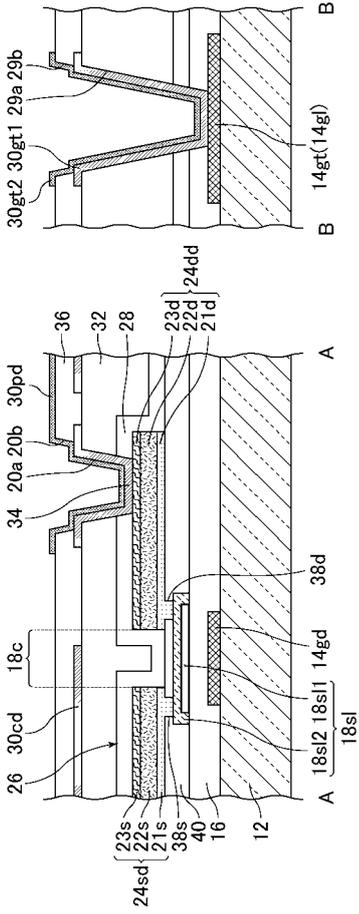
【図 13】



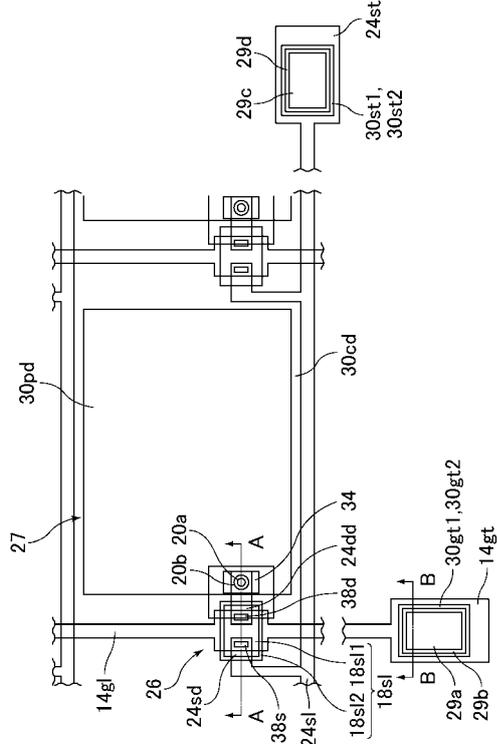
【 図 1 4 】



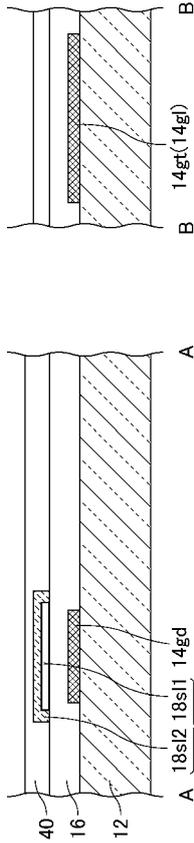
【 図 1 6 】



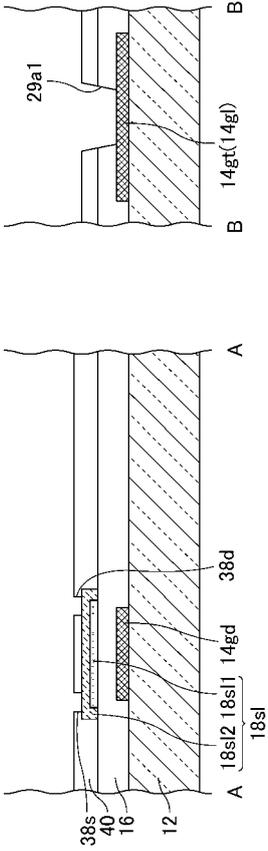
【 図 1 5 】



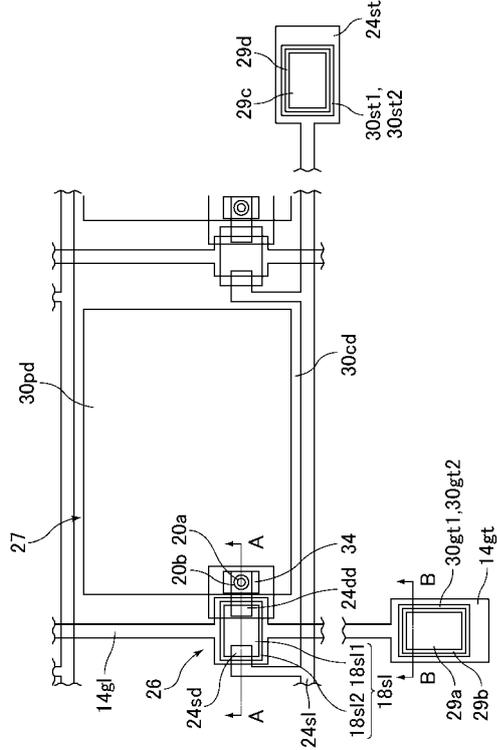
【 図 1 7 】



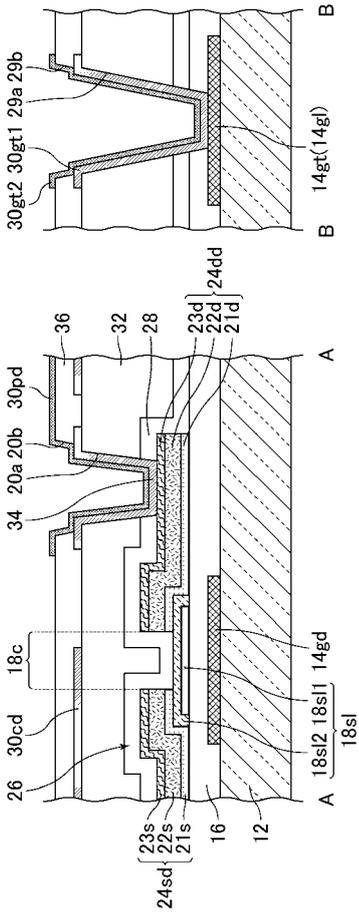
【 図 18 】



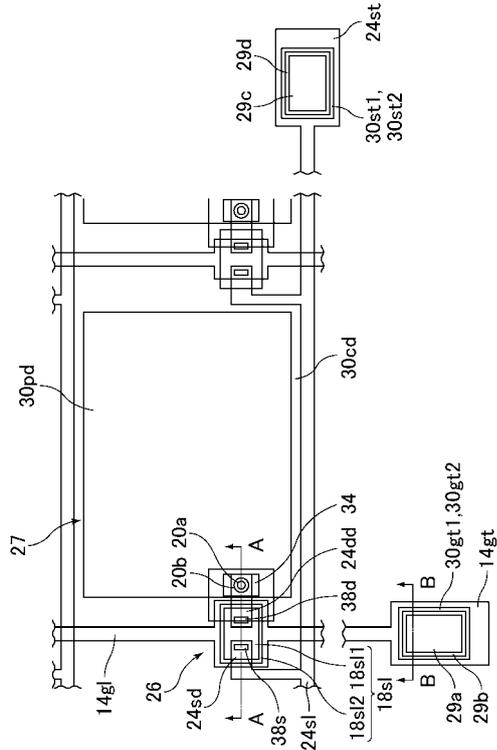
【 図 19 】



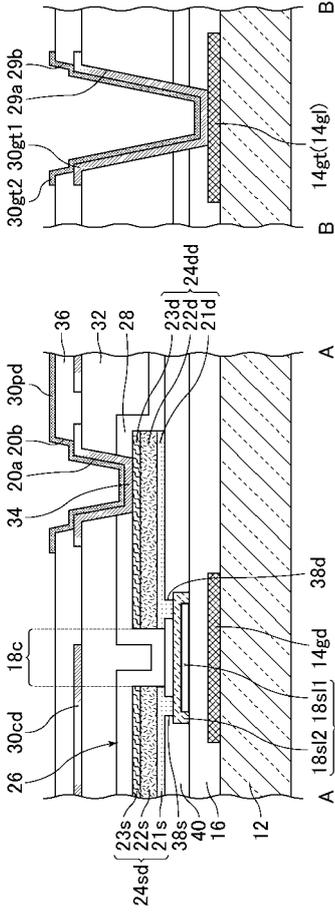
【 図 20 】



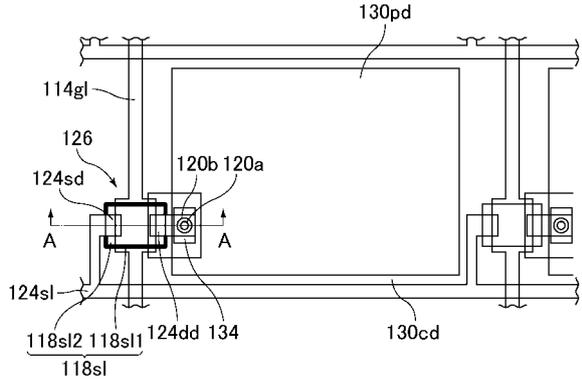
【 図 21 】



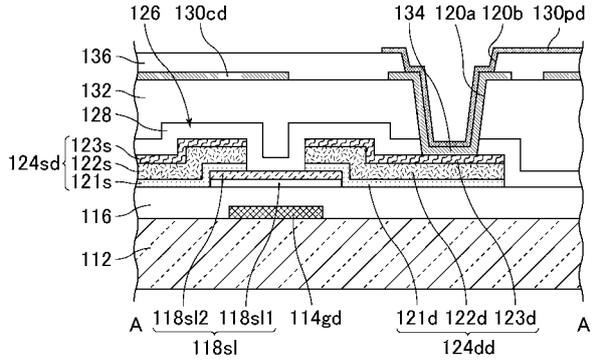
【 図 2 2 】



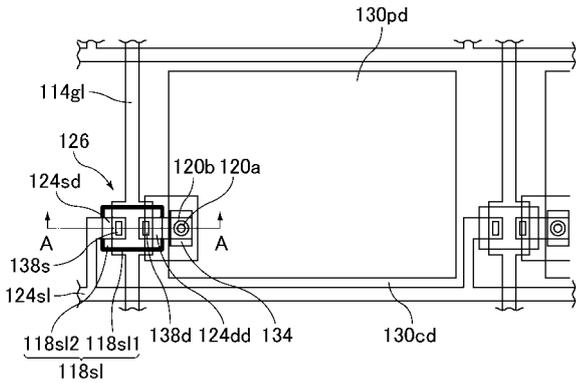
【 図 2 3 】



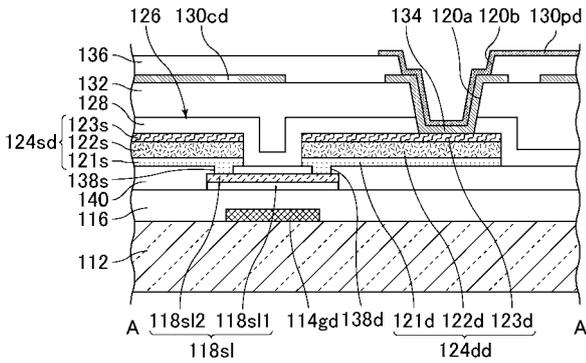
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/30 3 3 8

Fターム(参考) 2H192 AA24 BB02 BC31 CB05 CB37 CB56 CB72 CC72 DA12 EA22
EA43 EA74 FA65 HA63 HA64 HA90
5C094 AA25 AA46 AA53 BA03 BA27 BA43 FB14 GB10
5F110 AA01 AA08 BB01 CC07 DD02 EE03 EE04 EE06 EE14 EE24
EE44 FF02 FF03 FF09 FF30 GG01 GG07 GG19 GG22 GG23
GG25 GG43 HK01 HK02 HK03 HK04 HK06 HK07 HK22 HK33
HL01 HL02 HL03 HL04 HL06 HL07 HL12 HL23 NN03 NN04
NN23 NN24 NN27 NN35 NN36 NN40 NN73 QQ05