



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년07월24일  
 (11) 등록번호 10-1880445  
 (24) 등록일자 2018년07월16일

(51) 국제특허분류(Int. Cl.)  
 H01L 33/22 (2010.01)  
 (21) 출원번호 10-2011-0069824  
 (22) 출원일자 2011년07월14일  
 심사청구일자 2016년06월30일  
 (65) 공개번호 10-2013-0009040  
 (43) 공개일자 2013년01월23일  
 (56) 선행기술조사문헌  
 KR1020080040359 A\*  
 KR100762003 B1\*  
 KR100986318 B1\*  
 KR1020090018451 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 엘지이노텍 주식회사  
 서울특별시 중구 후암로 98 (남대문로5가)  
 (72) 발명자  
 강대성  
 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
 최낙준  
 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
 (뒷면에 계속)  
 (74) 대리인  
 허용득

전체 청구항 수 : 총 5 항

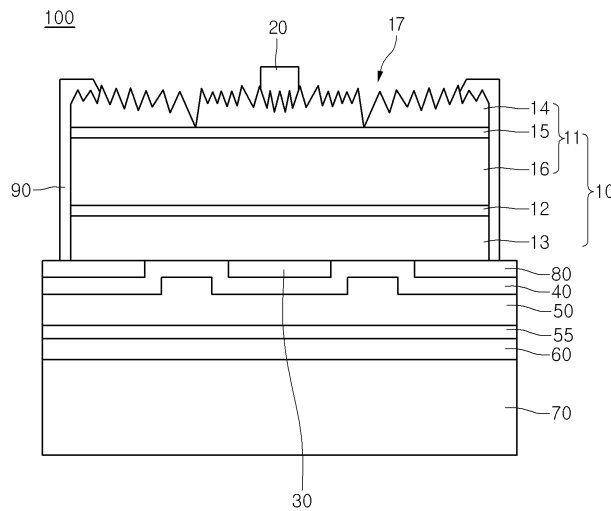
심사관 : 김동우

(54) 발명의 명칭 **발광소자, 발광소자 제조방법, 발광소자 패키지, 및 라이트 유닛**

**(57) 요약**

실시 예에 따른 발광소자는, 상부 표면에 요철이 제공되고 PEC 식각 제어층을 포함하는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 아래에 활성층; 상기 활성층 아래에 제2 도전형 반도체층; 상기 제2 도전형 반도체층에 전기적으로 연결된 반사전극; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 을 포함한다.

**대표도** - 도1



(72) 발명자

**정성훈**

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

**한영훈**

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

**손성진**

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

**명세서**

**청구범위**

**청구항 1**

상부 표면에 불규칙 요철이 제공되고, PEC 식각 제어층을 포함하는 제1 도전형 반도체층;

상기 제1 도전형 반도체층 아래에 활성층;

상기 활성층 아래에 제2 도전형 반도체층;

상기 제2 도전형 반도체층에 전기적으로 연결된 반사전극;

상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극;

상기 제2 도전형 반도체층과 상기 반사전극 사이에 배치된 아이솔레이션층;

상기 제2 도전형 반도체층과 상기 반사전극 사이에 배치되며, 상기 제1 전극과 수직 방향에서 중첩되어 배치된 전류차단층;

상기 제1 도전형 반도체층의 측면, 상기 활성층의 측면, 상기 제2 도전형 반도체층의 측면에 모두 접촉되며, 제1 영역이 상기 아이솔레이션층의 상부 면에 직접 접촉되어 배치된 보호층;

을 포함하고,

상기 보호층의 제2 영역이 상기 제1 도전형 반도체층에 제공된 상기 불규칙 요철의 상부 면에 직접 접촉되어 배치되고,

상기 제1 도전형 반도체층은 상기 불규칙 요철이 제공된 제1 반도체층, 상기 제1 반도체층 아래에 배치된 상기 PEC 식각 제어층, 상기 PEC 식각 제어층과 상기 활성층 사이에 배치된 제2 반도체층을 포함하고,

상기 제1 도전형 반도체층에 제공된 상기 불규칙 요철은 제1 영역과 제2 영역을 포함하고,

상기 제1 영역은 서로 다른 높이를 갖는 복수의 철부와 상기 제1 반도체층의 상부 면을 노출시키는 복수의 요부를 포함하고,

상기 제2 영역은 서로 다른 높이를 갖는 복수의 철부와 상기 PEC 식각 제어층의 상부 면을 노출시키는 요부를 포함하고,

상기 PEC 식각 제어층은 n형 도펀트와 p형 도펀트를 모두 포함하고, 활성화된 도핑 농도가 0인 발광소자.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서, 상기 PEC 식각 제어층은 AIN층을 포함하는 발광소자.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

기판 위에 제1 반도체층, PEC 식각 제어층, 제2 반도체층을 포함하는 제1 도전형 반도체층을 형성하는 단계;

상기 제1 도전형 반도체층 위에 활성층을 형성하는 단계;

상기 활성층 위에 제2 도전형 반도체층을 형성하는 단계;  
 상기 제2 도전형 반도체층 위에 전류차단층과 아이솔레이션층을 형성하는 단계;  
 상기 전류차단층과 상기 아이솔레이션층 위에 반사전극을 형성하는 단계;  
 상기 반사전극 위에 지지부재를 형성하는 단계;  
 상기 기판을 제거하여 상기 제1 도전형 반도체층을 노출하는 단계;  
 노출된 상기 제1 도전형 반도체층에 PEC 식각을 수행하여 상기 제1 도전형 반도체층의 상부 표면에 불규칙 요철을 형성하는 단계;  
 를 포함하고,  
 상기 제1 도전형 반도체층은 상기 불규칙 요철이 제공된 제1 반도체층, 상기 제1 반도체층 아래에 배치된 상기 PEC 식각 제어층, 상기 PEC 식각 제어층과 상기 활성층 사이에 배치된 제2 반도체층을 포함하고,  
 상기 제1 도전형 반도체층에 제공된 상기 불규칙 요철은 제1 영역과 제2 영역을 포함하고,  
 상기 제1 영역은 서로 다른 높이를 갖는 복수의 철부와 상기 제1 반도체층의 상부 면을 노출시키는 복수의 요부를 포함하고,  
 상기 제2 영역은 서로 다른 높이를 갖는 복수의 철부와 상기 PEC 식각 제어층의 상부 면을 노출시키는 요부를 포함하고,  
 상기 PEC 식각 제어층은 n형 도펀트와 p형 도펀트를 모두 포함하고, 활성화된 도핑 농도가 0인 발광소자 제조방법.

**청구항 7**

몸체;  
 상기 몸체 위에 배치되며, 제1항 또는 제3항에 의한 발광소자;  
 상기 발광소자에 전기적으로 연결된 제1 리드 전극 및 제2 리드 전극;  
 을 포함하는 발광소자 패키지.

**청구항 8**

기판;  
 상기 기판 위에 배치되며, 제1항 또는 제3항에 의한 발광소자;  
 상기 발광소자로부터 제공되는 빛이 지나가는 광학 부재;  
 를 포함하는 라이트 유닛.

**발명의 설명**

**기술 분야**

[0001] 실시 예는 발광소자, 발광소자 제조방법, 발광소자 패키지 및 라이트 유닛에 관한 것이다.

**배경 기술**

[0002] 발광소자의 하나로서 발광 다이오드(LED: Light Emitting Diode)가 많이 사용되고 있다. 발광 다이오드는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선, 자외선과 같은 빛의 형태로 변환한다.

[0003] 최근, 발광소자의 광 효율이 증가됨에 따라 표시장치, 조명기기를 비롯한 다양한 분야에 사용되고 있다.

[0004] 발광소자의 광 추출 효율을 향상시키기 위한 방안의 하나로서, 발광구조물의 상부 표면에 요철을 형성하는 방안이 제시되고 있다. 발광구조물의 상부 표면에 요철을 형성하는 방안 중에서 PEC(Photo Electrochemical) 식각 방법이 이용되고 있다. 그런데, PEC 식각 방법을 이용하여 발광구조물에 대한 식각을 수행함에 있어, 발광구조

물을 이루는 활성층까지 과식각이 진행되는 경우들이 발생되고 있다. 이에 따라, PEC 식각 방법을 이용하면서도 활성층이 식각되어 손상되는 것을 방지할 수 있는 방안에 대한 연구가 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 실시 예는 PEC 식각 방법을 이용하여 발광구조물에 요철을 형성하고, 발광구조물을 이루는 활성층이 손상되는 것을 방지할 수 있는 발광소자, 발광소자 제조방법, 발광소자 패키지, 라이트 유닛을 제공한다.

**과제의 해결 수단**

[0006] 실시 예에 따른 발광소자는, 상부 표면에 요철이 제공되고, PEC 식각 제어층을 포함하는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 아래에 활성층; 상기 활성층 아래에 제2 도전형 반도체층; 상기 제2 도전형 반도체층에 전기적으로 연결된 반사전극; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 을 포함한다.

[0007] 실시 예에 따른 발광소자 제조방법은, 기판 위에 PEC 식각 제어층을 포함하는 제1 도전형 반도체층을 형성하는 단계; 상기 제1 도전형 반도체층 위에 활성층을 형성하는 단계; 상기 활성층 위에 제2 도전형 반도체층을 형성하는 단계; 상기 제2 도전형 반도체층 위에 반사전극을 형성하는 단계; 상기 반사전극 위에 지지부재를 형성하는 단계; 상기 기판을 제거하는 단계; 상기 노출된 상기 제1 도전형 반도체층에 PEC 식각을 수행하여 상기 제1 도전형 반도체층의 상부 표면에 요철을 형성하는 단계; 를 포함한다.

[0008] 실시 예에 따른 발광소자 패키지는, 몸체; 상기 몸체 위에 배치된 발광소자; 상기 발광소자에 전기적으로 연결된 제1 리드 전극 및 제2 리드 전극; 을 포함하고, 상기 발광소자는, 상부 표면에 요철이 제공되고, PEC 식각 제어층을 포함하는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 아래에 활성층; 상기 활성층 아래에 제2 도전형 반도체층; 상기 제2 도전형 반도체층에 전기적으로 연결된 반사전극; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 을 포함한다.

[0009] 실시 예에 따른 라이트 유닛은, 기판; 상기 기판 위에 배치된 발광소자; 상기 발광소자로부터 제공되는 빛이 지나가는 광학 부재; 를 포함하고, 상기 발광소자는, 상부 표면에 요철이 제공되고, PEC 식각 제어층을 포함하는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 아래에 활성층; 상기 활성층 아래에 제2 도전형 반도체층; 상기 제2 도전형 반도체층에 전기적으로 연결된 반사전극; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 을 포함한다.

**발명의 효과**

[0010] 실시 예에 따른 발광소자, 발광소자 제조방법, 발광소자 패키지, 라이트 유닛은, PEC 식각 방법을 이용하여 발광구조물에 요철을 형성하고, 발광구조물을 이루는 활성층이 손상되는 것을 방지할 수 있는 장점이 있다.

**도면의 간단한 설명**

- [0011] 도 1은 실시 예에 따른 발광소자를 나타낸 도면이다.
- 도 2 내지 도 7은 실시 예에 따른 발광소자 제조방법을 나타낸 도면이다.
- 도 8은 실시 예에 따른 발광소자 패키지를 나타낸 도면이다.
- 도 9는 실시 예에 따른 표시장치를 나타낸 도면이다.
- 도 10은 실시 예에 따른 표시장치의 다른 예를 나타낸 도면이다.
- 도 11은 실시 예에 따른 조명 시스템을 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

- [0013] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- [0014] 이하, 첨부된 도면을 참조하여 실시 예들에 따른 발광소자, 발광소자 패키지, 라이트 유닛 및 발광소자 제조방법에 대해 상세히 설명하도록 한다.
- [0015] 도 1은 실시 예에 따른 발광소자를 나타낸 도면이다.
- [0016] 실시 예에 따른 발광소자(100)는, 도 1에 도시된 바와 같이, 발광구조물(10), 전극(20), 반사전극(50)을 포함할 수 있다.
- [0017] 상기 발광구조물(10)은 제1 도전형 반도체층(11), 활성층(12), 제2 도전형 반도체층(13)을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은 제1 반도체층(14), PEC 식각 제어층(15), 제2 반도체층(16)을 포함할 수 있다. 상기 제1 반도체층(14)의 상부 표면에 요철(17)이 제공될 수 있다.
- [0018] 예로써, 상기 제1 도전형 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 또한 상기 제1 도전형 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 n형 반도체층으로 형성될 수도 있다. 상기 제1 반도체층(14)과 상기 제2 반도체층(16) 같은 도전형 반도체층으로 구현될 수 있다.
- [0019] 상기 제1 도전형 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은, 예를 들어 GaN, AlN, AlGa<sub>n</sub>, InGa<sub>n</sub>, InN, InAlGa<sub>n</sub>, AlIn<sub>n</sub>, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다.
- [0020] 상기 활성층(12)은 상기 제1 도전형 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(13)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0021] 상기 활성층(12)은 예로서  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 활성층(12)이 상기 다중 양자 우물 구조로 구현된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 구현될 수 있으며, 예를 들어, InGa<sub>n</sub> 우물층/GaN 장벽층의 주기로 구현될 수 있다.
- [0022] 상기 제2 도전형 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은, 예를 들어 GaN, AlN, AlGa<sub>n</sub>, InGa<sub>n</sub>, InN, InAlGa<sub>n</sub>, AlIn<sub>n</sub>, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0023] 한편, 상기 제1 도전형 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 도전형 반도체층(13) 아래에는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있다. 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 도전형 반도체층(11) 및 상기 제2 도전형 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0024] 또한, 상기 제1 도전형 반도체층(11)과 상기 활성층(12) 사이에는 제1 도전형 InGa<sub>n</sub>/GaN 슈퍼래티스 구조 또는 InGa<sub>n</sub>/InGa<sub>n</sub> 슈퍼래티스 구조가 형성될 수도 있다. 또한, 상기 제2 도전형 반도체층(13)과 상기 활성층(12) 사이에는 제2 도전형의 AlGa<sub>n</sub>층이 형성될 수도 있다.
- [0025] 상기 PEC 식각 제어층(15)은 상기 제1 반도체층(14)과 상기 제2 반도체층(16) 사이에 배치될 수 있다. 상기 제1 반도체층(14)의 상부 표면에는 요철(17)이 제공될 수 있다. 상기 PEC 식각 제어층(15)의 일부 영역은 상기 요철(17)에 의하여 노출될 수 있다. 상기 요철(17)은 추후 설명될 PEC 식각 방법에 의하여 형성될 수 있다. 상기 PEC 식각 제어층(15)은 PEC 식각 수행 중에 상기 제2 반도체층(16)이 식각되는 것을 방지하는 기능을 수행할 수 있다. 이에 따라 PEC 식각에 의하여 상기 활성층(12)이 손상되는 것을 방지할 수 있게 된다. 이와 같이 실시 예

에 의하면 PEC 식각을 이용하여 상기 요철(17)을 형성함에 있어, 상기 활성층(12)이 손상되는 것을 방지할 수 있게 되어 발광소자의 광 효율을 향상시킬 수 있게 된다.

- [0026] 상기 PEC 식각 제어층(15)은 절연층을 포함할 수 있다. 상기 PEC 식각 제어층(15)은 예로서 AlN층을 포함할 수 있다. 상기 PEC 식각 제어층(15)은 PEC 식각 수행 중에 식각이 되지 않는 층으로 구현될 수 있다. 이에 따라 상기 PEC 식각 제어층(15) 하부에 위치한 상기 제2 반도체층(16) 및 상기 활성층(12)이 PEC 식각되는 것을 방지할 수 있게 된다.
- [0027] 상기 PEC 식각 제어층(15)은 캐리어 농도가 0인 층으로 구현될 수 있다. PEC 식각 시에 전자 교환에 따른 식각이 수행되는데, 상기 PEC 식각 제어층(15)이 캐리어 농도가 0으로 구현됨에 따라 상기 제2 반도체층(16) 및 상기 활성층(12)에 PEC 과식각이 진행되는 것을 방지할 수 있게 된다. 즉, 상기 PEC 식각 제어층(15)은 활성화된 도핑 농도가 0인 층으로 표현될 수 있다. 예로서, 상기 제1 도전형 반도체층(11)이 n형 반도체층으로 구현되는 경우, 상기 PEC 식각 제어층(15)은 전자 농도 만큼의 정공을 제공할 수 있는 p형 도핑을 통하여 구현될 수도 있다. 예를 들어 p형 도핑으로 Mg 도펀트가 이용될 수 있다. 또한, 상기 PEC 식각 제어층(15)은 상기 제1 도전형 반도체층(11)에 비하여 에너지 밴드 갭이 큰 물질로 구현될 수 있다. 이에 따라 PEC 식각 시에 상기 PEC 식각 제어층(15)이 식각되는 것을 방지할 수 있게 된다.
- [0028] 상기 제1 반도체층(14)의 상부 표면에 상기 요철(17)이 제공될 수 있다. 예로서, 상기 요철(17)은 PEC 식각에 의하여 구현될 수 있다. 상기 제1 반도체층(14)이 GaN층인 경우, 상기 요철(17)이 형성된 면은 N면(N-face)일 수 있다.
- [0029] 상기 발광구조물(10) 아래에 오믹접촉층(40)과 상기 반사전극(50)이 배치될 수 있다. 상기 발광구조물(10) 위에 상기 전극(20)이 배치될 수 있다. 상기 전극(20)과 상기 반사전극(50)은 상기 발광구조물(10)에 전원을 제공할 수 있다. 상기 오믹접촉층(40)은 상기 발광구조물(10)과 오믹 접촉이 되도록 형성될 수 있다. 또한 상기 반사전극(50)은 상기 발광구조물(10)로부터 입사되는 빛을 반사시켜 외부로 추출되는 광량을 증가시키는 기능을 수행할 수 있다.
- [0030] 상기 오믹접촉층(40)은 예컨대 투명 도전성 산화막층으로 형성될 수 있다. 상기 오믹접촉층(40)은 예로서 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO 중에서 선택된 적어도 하나의 물질로 형성될 수 있다.
- [0031] 상기 반사전극(50)은 고 반사율을 갖는 금속 재료로 형성될 수 있다. 예컨대 상기 반사전극(50)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 또한, 상기 반사전극(50)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 예를 들어, 실시 예에서 상기 반사전극(50)은 Ag, Al, Ag-Pd-Cu 합금, 또는 Ag-Cu 합금 중 적어도 어느 하나를 포함할 수 있다.
- [0032] 상기 발광구조물(10)과 상기 오믹접촉층(40) 사이에 전류차단층(CBL: Current Blocking Layer)(30)이 배치될 수 있다. 상기 전류차단층(30)은 상기 전극(20)과 수직 방향으로 적어도 일부가 중첩되는 영역에 형성될 수 있으며, 이에 따라 상기 전극(20)과 상기 반사전극(40) 사이의 최단 거리로 전류가 집중되는 현상을 완화하여 실시 예에 따른 발광 소자의 발광 효율을 향상시킬 수 있다.
- [0033] 상기 전류차단층(30)은 전기 절연성을 갖거나, 상기 발광구조물(10)과 쇼트키 접촉을 형성하는 재질을 이용하여 형성될 수 있다. 상기 전류차단층(30)은 산화물, 질화물 또는 금속으로 형성될 수 있다. 상기 전류차단층(30)은, 예를 들어, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>x</sub>, Ti, Al, Cr 중 적어도 하나를 포함할 수 있다.
- [0034] 상기 전류차단층(30)은 상기 발광구조물(10) 아래의 제1 영역에 배치될 수 있으며, 상기 오믹접촉층(40)은 상기 발광구조물(10) 아래의 제2 영역 및 상기 전류차단층(30) 아래에 배치될 수 있다. 상기 오믹접촉층(40)은 상기 발광구조물(10)과 상기 반사전극(50) 사이에 배치될 수 있다. 또한 상기 오믹접촉층(40)은 상기 전류차단층(30)과 상기 반사전극(50) 사이에 배치될 수 있다.

- [0035] 상기 발광구조물(10)과 상기 오믹접촉층(40) 사이에 아이솔레이션층(80)이 더 배치될 수 있다. 상기 아이솔레이션층(80)은 상기 발광구조물(10)의 하부 둘레 및 상기 오믹접촉층(40) 위에 배치될 수 있다. 상기 아이솔레이션층(80)은 예를 들어, 전기 절연성을 갖는 재질 또는 상기 발광 구조물(10)에 비해 낮은 전기 전도성을 갖는 재질로 형성될 수 있다. 상기 아이솔레이션층(80)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 아이솔레이션층(80)은  $\text{SiO}_2$ ,  $\text{Si}_x\text{O}_y$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Si}_x\text{N}_y$ ,  $\text{SiO}_x\text{N}_y$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ , ITO, AZO, ZnO 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 아이솔레이션층(80)은 상기 전류차단층(30)과 같은 물질로 형성될 수 있으며, 또한 서로 다른 물질로 형성될 수도 있다. 상기 아이솔레이션층(80)은 채널층으로 지칭될 수도 있다.
- [0036] 상기 반사전극(50) 아래에 확산장벽층(55), 본딩층(60), 전도성 지지부재(70)가 배치될 수 있다.
- [0037] 상기 확산장벽층(55)은 상기 본딩층(60)이 제공되는 공정에서 상기 본딩층(60)에 포함된 물질이 상기 반사전극(50) 방향으로 확산되는 것을 방지하는 기능을 수행할 수 있다. 상기 확산장벽층(55)은 상기 본딩층(60)에 포함된 주석(Sn) 등의 물질이 상기 반사전극(50) 등에 영향을 미치는 것을 방지할 수 있다. 상기 확산장벽층(55)은 Cu, Ni, Ti-W, W, Pt 물질 중에서 적어도 하나를 포함할 수 있다.
- [0038] 상기 본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함할 수 있다. 상기 전도성 지지부재(70)는 실시 예에 따른 발광 소자를 지지하며, 외부 전극과 전기적으로 연결되어 상기 발광구조물(10)에 전원을 제공할 수 있다. 상기 전도성 지지부재(70)는 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있다.
- [0039] 상기 발광구조물(10) 위에는 보호층(90)이 더 배치될 수 있다. 상기 보호층(90)은 산화물 또는 질화물로 구현될 수 있다. 상기 보호층(90)은 예를 들어,  $\text{SiO}_2$ ,  $\text{SiO}_x$ ,  $\text{SiO}_x\text{N}_y$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Al}_2\text{O}_3$  와 같이 투광성 및 절연성을 갖는 재질로 형성될 수 있다. 상기 보호층(90)은 상기 발광구조물(10)의 측면에 제공될 수 있다. 또한 상기 보호층(90)은 상기 발광구조물(10)의 측면뿐만 아니라 상부에도 제공될 수 있다.
- [0040] 이상의 설명에서는 상기 발광구조물(10)의 상부에 전극(20)이 배치되고 상기 발광구조물(10)의 하부에 반사전극(50)이 배치된 수직형 구조의 발광 소자를 기준으로 설명하였다. 그러나, 본 실시 예에 따른 발광소자는 상기 발광구조물(10)을 이루는 제1 도전형 반도체층(11)에 전기적으로 연결된 제1전극 및 상기 발광구조물(10)을 이루는 제2 도전형 반도체층(12)에 전기적으로 연결된 제2전극의 위치 및 형상은 다양하게 변형될 수 있다. 또한, 본 실시 예에 따른 발광 소자는 제1전극 및 제2전극이 동일 방향으로 노출된 수평형 구조의 발광소자에도 적용될 수 있다.
- [0041] 그러면 도 2 내지 도 7을 참조하여 실시 예에 따른 발광소자 제조방법을 설명하기로 한다.
- [0042] 실시 예에 따른 발광 소자 제조방법에 의하면, 도 2에 도시된 바와 같이, 성장기판(5) 위에 상기 제1 도전형 반도체층(11), 상기 활성층(12), 상기 제2 도전형 반도체층(13)을 형성한다. 상기 제1 도전형 반도체층(11), 상기 활성층(12), 상기 제2 도전형 반도체층(13)은 발광구조물(10)로 정의될 수 있다.
- [0043] 상기 성장기판(5)은 예를 들어, 사파이어 기판( $\text{Al}_2\text{O}_3$ ), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1 도전형 반도체층(11)과 상기 성장기판(5) 사이에는 버퍼층이 더 형성될 수 있다.
- [0044] 상기 제1 도전형 반도체층(11)은 제1 반도체층(14), PEC 식각 제어층(15), 제2 반도체층(16)을 포함할 수 있다. 상기 제1 반도체층(14), 상기 PEC 식각 제어층(15), 상기 제2 반도체층(16)은 순차적으로 성장될 수 있다.
- [0045] 상기 PEC 식각 제어층(15)은 추후 설명될 PEC 식각 수행 중에 상기 제2 반도체층(16)이 식각되는 것을 방지하는 기능을 수행할 수 있다. 이에 따라 PEC 식각에 의하여 상기 활성층(12)이 손상되는 것을 방지할 수 있게 된다.
- [0046] 상기 PEC 식각 제어층(15)은 절연층을 포함할 수 있다. 상기 PEC 식각 제어층(15)은 예로서 AlN층을 포함할 수 있다. 상기 PEC 식각 제어층(15)은 PEC 식각 수행 중에 식각이 되지 않는 층으로 구현될 수 있다.
- [0047] 상기 PEC 식각 제어층(15)은 캐리어 농도가 0인 층으로 구현될 수 있다. PEC 식각 시에 전자 교환에 따른 식각이 수행되는데, 상기 PEC 식각 제어층(15)이 캐리어 농도가 0으로 구현됨에 따라 상기 제2 반도체층(16) 및 상기 활성층(12)에 PEC 과식각이 진행되는 것을 방지할 수 있게 된다. 즉, 상기 PEC 식각 제어층(15)은 활성화된 도핑 농도가 0인 층으로 표현될 수 있다. 예로서, 상기 제1 도전형 반도체층(11)이 n형 반도체층으로 구현되는



경우, 상기 PEC 식각 제어층(15)은 전자 농도 만큼의 정공을 제공할 수 있는 p형 도핑을 통하여 구현될 수도 있다. 예를 들어 p형 도핑으로 Mg 도펀트가 이용될 수 있다. 또한, 상기 PEC 식각 제어층(15)은 상기 제1 도전형 반도체층(11)에 비하여 에너지 밴드 갭이 큰 물질로 구현될 수 있다. 이에 따라 PEC 식각 시에 상기 PEC 식각 제어층(15)이 식각되는 것을 방지할 수 있게 된다.

[0048] 예로써, 상기 제1 도전형 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 또한 상기 제1 도전형 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 n형 반도체층으로 형성될 수도 있다.

[0049] 상기 제1 도전형 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제1 도전형 반도체층(11)은, 예를 들어 InAlGaN, GaN, AlGaN, AlInN, InGaN, AlN, InN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.

[0050] 상기 활성층(12)은 상기 제1 도전형 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(13)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.

[0051] 상기 활성층(12)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 활성층(12)이 상기 다중 양자 우물 구조로 형성된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 형성될 수 있으며, 예를 들어, InGaN 우물층/GaN 장벽층의 주기로 형성될 수 있다.

[0052] 상기 제2 도전형 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제2 도전형 반도체층(13)은, 예를 들어 InAlGaN, GaN, AlGaN, InGaN, AlInN, AlN, InN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.

[0053] 한편, 상기 제1 도전형 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 도전형 반도체층(13) 위에는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있으며, 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 도전형 반도체층(11) 및 상기 제2 도전형 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0054] 또한, 상기 제1 도전형 반도체층(11)과 상기 활성층(12) 사이에는 제1 도전형 InGaN/GaN 슈퍼래티스 구조 또는 InGaN/InGaN 슈퍼래티스 구조가 형성될 수도 있다. 또한, 상기 제2 도전형 반도체층(13)과 상기 활성층(12) 사이에는 제2 도전형의 AlGaN층이 형성될 수도 있다.

[0055] 이어서, 도 3에 도시된 바와 같이, 상기 제2 도전형 반도체층(13) 위에 전류차단층(30)을 형성하고, 상기 제2 도전형 반도체층(13) 위에 아이솔레이션층(80)을 형성한다. 상기 전류차단층(30)과 상기 아이솔레이션층(80)은 선택적으로 형성될 수 있다. 상기 전류차단층(30)과 상기 아이솔레이션층(80)은 동시에 형성될 수도 있으며, 또한 순차적으로 형성될 수도 있다.

[0056] 상기 전류차단층(30)은 전기 절연성을 갖거나, 상기 발광구조물(10)과 쇼트키 접촉을 형성하는 재질을 이용하여 형성될 수 있다. 상기 전류차단층(30)은 산화물, 질화물 또는 금속으로 형성될 수 있다. 상기 전류차단층(30)은, 예를 들어,  $SiO_2$ ,  $SiO_x$ ,  $SiO_xN_y$ ,  $Si_3N_4$ ,  $Al_2O_3$ ,  $TiO_x$ , Ti, Al, Cr 중 적어도 하나를 포함할 수 있다. 상기 아이솔레이션층(80)은 예를 들어, 전기 절연성을 갖는 재질 또는 상기 발광 구조물(10)에 비해 낮은 전기 전도성을 갖는 재질로 형성될 수 있다. 상기 아이솔레이션층(80)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 아이솔레이션층(80)은  $SiO_2$ ,  $Si_xO_y$ ,  $Si_3N_4$ ,  $Si_xN_y$ ,  $SiO_xN_y$ ,  $Al_2O_3$ ,  $TiO_2$ , ITO, AZO, ZnO 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 아이솔레이션층(80)은 상기 전류차단층(30)과 같은 물질로 형성될 수 있으며, 또한 서로 다른 물질로 형성될 수도 있다. 상기 아이솔레이션층(80)

0)은 채널층으로 지칭될 수도 있다.

- [0057] 그리고, 도 4에 도시된 바와 같이, 상기 전류차단층(30) 및 상기 아이솔레이션층(80) 위에 오믹접촉층(40)을 형성한다.
- [0058] 상기 오믹접촉층(40)은 상기 발광구조물(10)과 오믹 접촉이 되도록 형성될 수 있다. 상기 오믹접촉층(40)은 예컨대 투명 도전성 산화막층으로 형성될 수 있다. 상기 오믹접촉층(40)은 예로서 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO 중에서 선택된 적어도 하나의 물질로 형성될 수 있다.
- [0059] 이어서, 도 5에 도시된 바와 같이, 상기 오믹접촉층(40) 위에 반사전극(50), 확산장벽층(55), 본딩층(60) 및 전도성 지지부재(70)를 형성한다.
- [0060] 상기 반사전극(50)은 고 반사율을 갖는 금속 재질로 형성될 수 있다. 예컨대 상기 반사전극(50)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 또한, 상기 반사전극(50)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 예를 들어, 실시 예에서 상기 반사전극(50)은 Ag, Al, Ag-Pd-Cu 합금, 또는 Ag-Cu 합금 중 적어도 어느 하나를 포함할 수 있다.
- [0061] 상기 확산장벽층(55)은 상기 본딩층(60)이 제공되는 공정에서 상기 본딩층(60)에 포함된 물질이 상기 반사전극(50) 방향으로 확산되는 것을 방지하는 기능을 수행할 수 있다. 상기 확산장벽층(55)은 상기 본딩층(60)에 포함된 주석(Sn) 등의 물질이 상기 반사전극(50) 등에 영향을 미치는 것을 방지할 수 있다. 상기 확산장벽층(55)은 Cu, Ni, Ti-W, W, Pt 물질 중에서 적어도 하나를 포함할 수 있다.
- [0062] 상기 본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함할 수 있다. 상기 전도성 지지부재(70)는 실시 예에 따른 발광 소자를 지지하며, 외부 전극과 전기적으로 연결되어 상기 발광구조물(10)에 전원을 제공할 수 있다. 상기 전도성 지지부재(70)는 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있다.
- [0063] 다음으로 상기 발광구조물(10)로부터 상기 성장기판(5)을 제거한다. 하나의 예로서, 상기 성장기판(5)은 레이저 리프트 오프(LLO: Laser Lift Off) 공정에 의해 제거될 수 있다. 레이저 리프트 오프 공정(LLO)은 상기 성장기판(5)의 하면에 레이저를 조사하여, 상기 성장기판(5)과 상기 발광구조물(10)을 서로 박리시키는 공정이다.
- [0064] 그리고, 도 6에 도시된 바와 같이, 상기 제1 도전형 반도체층(11)의 상부 표면에 요철(17)을 형성한다. 상기 제1 도전형 반도체층(11)의 상부 표면에 형성되는 상기 요철(17)은 예로서 PEC 식각 공정에 의하여 형성될 수 있다.
- [0065] 상기 PEC 식각 제어층(15)은 상기 제1 반도체층(14)과 상기 제2 반도체층(16) 사이에 배치될 수 있다. 상기 제1 반도체층(14)의 상부 표면에는 요철(17)이 제공될 수 있다. 상기 PEC 식각 제어층(15)의 일부 영역은 상기 요철(17)에 의하여 노출될 수 있다. 상기 PEC 식각 제어층(15)은 PEC 식각 수행 중에 상기 제2 반도체층(16)이 식각되는 것을 방지하는 기능을 수행할 수 있다. 이에 따라 PEC 식각에 의하여 상기 활성층(12)이 손상되는 것을 방지할 수 있게 된다. 이와 같이 실시 예에 의하면 PEC 식각을 이용하여 상기 요철(17)을 형성함에 있어, 상기 활성층(12)이 손상되는 것을 방지할 수 있게 되어 발광소자의 광 효율을 향상시킬 수 있게 된다.
- [0066] 상기 PEC 식각 제어층(15)은 절연층을 포함할 수 있다. 상기 PEC 식각 제어층(15)은 예로서 AlN층을 포함할 수 있다. 상기 PEC 식각 제어층(15)은 PEC 식각 수행 중에 식각이 되지 않는 층으로 구현될 수 있다. 이에 따라 상기 PEC 식각 제어층(15) 하부에 위치한 상기 제2 반도체층(16) 및 상기 활성층(12)이 PEC 식각되는 것을 방지할 수 있게 된다.
- [0067] 상기 PEC 식각 제어층(15)은 캐리어 농도가 0인 층으로 구현될 수 있다. PEC 식각 시에 전자 교환에 따른 식각이 수행되는데, 상기 PEC 식각 제어층(15)이 캐리어 농도가 0으로 구현됨에 따라 상기 제2 반도체층(16) 및 상기 활성층(12)에 PEC 과식각이 진행되는 것을 방지할 수 있게 된다. 즉, 상기 PEC 식각 제어층(15)은 활성화된

도핑 농도가 0인 층으로 표현될 수 있다. 예로서, 상기 제1 도전형 반도체층(11)이 n형 반도체층으로 구현되는 경우, 상기 PEC 식각 제어층(15)은 전자 농도 만큼의 정공을 제공할 수 있는 p형 도핑을 통하여 구현될 수도 있다. 예를 들어 p형 도핑으로 Mg 도펀트가 이용될 수 있다. 또한, 상기 PEC 식각 제어층(15)은 상기 제1 도전형 반도체층(11)에 비하여 에너지 밴드 갭이 큰 물질로 구현될 수 있다. 이에 따라 PEC 식각 시에 상기 PEC 식각 제어층(15)이 식각되는 것을 방지할 수 있게 된다.

- [0068] 상기 제1 반도체층(14)의 상부 표면에 상기 요철(17)이 제공될 수 있다. 상기 제1 반도체층(14)이 GaN층인 경우, 상기 요철(17)이 형성된 면은 N면(N-face) 일 수 있다.
- [0069] 또한, 상기 발광구조물(10)의 개별 칩의 경계를 따라 아이솔레이션(isolation) 에칭을 실시하여, 복수개의 발광 소자를 개별 발광 소자 단위로 구분할 수 있다. 상기 아이솔레이션 에칭은 예를 들어, ICP(Inductively Coupled Plasma)와 같은 건식 식각에 의해 실시될 수 있으나, 이에 대해 한정하지는 않는다. 또한, 여기서는 PEC 식각을 수행하고 아이솔레이션 에칭을 수행하는 것을 기반으로 설명하였으나, 그 공정 순서는 다양하게 변경될 수도 있다.
- [0070] 도 7을 참조하면, 상기 발광구조물(10)의 적어도 측면에 보호층(90)을 형성할 수 있다. 상기 보호층(90)은 상기 발광구조물(10)이 외부 전극이나 상기 전극(20) 등과 전기적으로 쇼트되는 것을 방지할 수 있다.
- [0071] 상기 보호층(90)은 산화물 또는 질화물로 구현될 수 있다. 상기 보호층(90)은 예를 들어, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub> 와 같이 투광성 및 절연성을 갖는 재질로 형성될 수 있다. 상기 보호층(90)은 예를 들어, 전자빔 증착, PECVD, 스퍼터링과 같은 증착 방식에 의해 형성될 수 있다.
- [0072] 다음으로 상기 발광구조물(10)에 전기적으로 연결된 전극(20)을 형성한다. 상기 전극(20)은 상기 반사전극(50)과 함께 상기 발광구조물(10)에 전원을 제공하며, 상기 전류차단층(31)과 적어도 일부가 수직 방향으로 중첩되도록 형성될 수 있다. 이상에서 설명된 상기 전극(20) 형성 공정과 상기 보호층(90) 형성 공정은 공정 설계에 따라 그 순서 및 방법이 다양하게 변형될 수 있다.
- [0073] 도 8은 실시 예에 따른 발광소자가 적용된 발광소자 패키지를 나타낸 도면이다.
- [0074] 도 8을 참조하면, 실시 예에 따른 발광소자 패키지는 몸체(120)와, 상기 몸체(120)에 배치된 제1 리드전극(131) 및 제2 리드전극(132)과, 상기 몸체(120)에 제공되어 상기 제1 리드전극(31) 및 제2 리드전극(32)과 전기적으로 연결되는 실시 예에 따른 발광소자(100)와, 상기 발광소자(100)를 포위하는 몰딩부재(140)를 포함한다.
- [0075] 상기 몸체(120)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광소자(100)의 주위에 경사면이 형성될 수 있다.
- [0076] 상기 제1 리드전극(131) 및 제2 리드전극(132)은 서로 전기적으로 분리되며, 상기 발광소자(100)에 전원을 제공한다. 또한, 상기 제1 리드전극(131) 및 제2 리드전극(132)은 상기 발광소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시킬 수 있으며, 상기 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0077] 상기 발광소자(100)는 상기 몸체(120) 위에 배치되거나 상기 제1 리드전극(131) 또는 제2 리드전극(132) 위에 배치될 수 있다.
- [0078] 상기 발광소자(100)는 상기 제1 리드전극(131) 및 제2 리드전극(132)과 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다.
- [0079] 상기 몰딩부재(140)는 상기 발광소자(100)를 포위하여 상기 발광소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(140)에는 형광체가 포함되어 상기 발광소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0080] 실시 예에 따른 발광소자 또는 발광소자 패키지는 복수 개가 기판 위에 어레이될 수 있으며, 상기 발광소자 패키지의 광 경로 상에 광학 부재인 렌즈, 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 상기 라이트 유닛은 탑뷰 또는 사이드 뷰 타입으로 구현되어, 휴대 단말기 및 노트북 컴퓨터 등의 표시 장치에 제공되거나, 조명장치 및 지시 장치 등에 다양하게 적용될 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자 또는 발광소자 패키지를 포함하는 조명 장치로 구현될 수 있다. 예를 들어, 조명 장치는 램프, 가로등, 전광판, 전조등을 포함할 수 있다.
- [0081] 실시 예에 따른 발광소자는 라이트 유닛에 적용될 수 있다. 상기 라이트 유닛은 복수의 발광소자가 어레이된 구조를 포함하며, 도 9 및 도 10에 도시된 표시 장치, 도 11에 도시된 조명 장치를 포함할 수 있다.

- [0082] 도 9를 참조하면, 실시 예에 따른 표시 장치(1000)는 도광판(1041)과, 상기 도광판(1041)에 빛을 제공하는 발광 모듈(1031)과, 상기 도광판(1041) 아래에 반사 부재(1022)와, 상기 도광판(1041) 위에 광학 시트(1051)와, 상기 광학 시트(1051) 위에 표시 패널(1061)과, 상기 도광판(1041), 발광 모듈(1031) 및 반사 부재(1022)를 수납하는 바텀 커버(1011)를 포함할 수 있으나, 이에 한정되지 않는다.
- [0083] 상기 바텀 커버(1011), 반사시트(1022), 도광판(1041), 광학 시트(1051)는 라이트 유닛(1050)으로 정의될 수 있다.
- [0084] 상기 도광판(1041)은 빛을 확산시켜 면광원화 시키는 역할을 한다. 상기 도광판(1041)은 투명한 재질로 이루어지며, 예를 들어, PMMA(polymethyl metaacrylate)와 같은 아크릴 수지 계열, PET(polyethylene terephthalate), PC(poly carbonate), COC(cycloolefin copolymer) 및 PEN(polyethylene naphthalate) 수지 중 하나를 포함할 수 있다.
- [0085] 상기 발광모듈(1031)은 상기 도광판(1041)의 적어도 일 측면에 빛을 제공하며, 궁극적으로는 표시 장치의 광원으로써 작용하게 된다.
- [0086] 상기 발광모듈(1031)은 적어도 하나가 제공될 수 있으며, 상기 도광판(1041)의 일 측면에서 직접 또는 간접적으로 광을 제공할 수 있다. 상기 발광 모듈(1031)은 기판(1033)과 위에서 설명된 실시 예에 따른 발광소자(100)를 포함할 수 있다. 상기 발광소자(100)는 상기 기판(1033) 위에 소정 간격으로 어레이될 수 있다.
- [0087] 상기 기판(1033)은 회로패턴을 포함하는 인쇄회로기판(PCB, Printed Circuit Board)일 수 있다. 다만, 상기 기판(1033)은 일반 PCB 뿐 아니라, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 등을 포함할 수도 있으며, 이에 대해 한정하지는 않는다. 상기 발광소자(100)는 상기 바텀 커버(1011)의 측면 또는 방열 플레이트 위에 제공될 경우, 상기 기판(1033)은 제거될 수 있다. 여기서, 상기 방열 플레이트의 일부는 상기 바텀 커버(1011)의 상면에 접촉될 수 있다.
- [0088] 그리고, 상기 다수의 발광소자(100)는 빛이 방출되는 출사면이 상기 도광판(1041)과 소정 거리 이격되도록 탑재될 수 있으며, 이에 대해 한정하지는 않는다. 상기 발광소자(200)는 상기 도광판(1041)의 일측면인 입광부에 광을 직접 또는 간접적으로 제공할 수 있으며, 이에 대해 한정하지는 않는다.
- [0089] 상기 도광판(1041) 아래에는 상기 반사 부재(1022)가 배치될 수 있다. 상기 반사 부재(1022)는 상기 도광판(1041)의 하면으로 입사된 빛을 반사시켜 위로 향하게 함으로써, 상기 라이트 유닛(1050)의 휘도를 향상시킬 수 있다. 상기 반사 부재(1022)는 예를 들어, PET, PC, PVC 레진 등으로 형성될 수 있으나, 이에 대해 한정하지는 않는다. 상기 반사 부재(1022)는 상기 바텀 커버(1011)의 상면일 수 있으며, 이에 대해 한정하지는 않는다.
- [0090] 상기 바텀 커버(1011)는 상기 도광판(1041), 발광모듈(1031) 및 반사 부재(1022) 등을 수납할 수 있다. 이를 위해, 상기 바텀 커버(1011)는 상면이 개구된 박스(box) 형상을 갖는 수납부(1012)가 구비될 수 있으며, 이에 대해 한정하지는 않는다. 상기 바텀 커버(1011)는 탑 커버와 결합될 수 있으며, 이에 대해 한정하지는 않는다.
- [0091] 상기 바텀 커버(1011)는 금속 재질 또는 수지 재질로 형성될 수 있으며, 프레스 성형 또는 압출 성형 등의 공정을 이용하여 제조될 수 있다. 또한 상기 바텀 커버(1011)는 열 전도성이 좋은 금속 또는 비 금속 재료를 포함할 수 있으며, 이에 대해 한정하지는 않는다.
- [0092] 상기 표시 패널(1061)은 예컨대, LCD 패널로서, 서로 대향되는 투명한 재질의 제1 및 제2 기판, 그리고 제1 및 제2 기판 사이에 개재된 액정층을 포함한다. 상기 표시 패널(1061)의 적어도 일면에는 편광판이 부착될 수 있으며, 이러한 편광판의 부착 구조로 한정하지는 않는다. 상기 표시 패널(1061)은 광학 시트(1051)를 통과한 광에 의해 정보를 표시하게 된다. 이러한 표시 장치(1000)는 각 종 휴대 단말기, 노트북 컴퓨터의 모니터, 랩탑 컴퓨터의 모니터, 텔레비전 등에 적용될 수 있다.
- [0093] 상기 광학 시트(1051)는 상기 표시 패널(1061)과 상기 도광판(1041) 사이에 배치되며, 적어도 한 장의 투광성 시트를 포함한다. 상기 광학 시트(1051)는 예컨대 확산 시트, 수평 및 수직 프리즘 시트, 및 휘도 강화 시트 등과 같은 시트 중에서 적어도 하나를 포함할 수 있다. 상기 확산 시트는 입사되는 광을 확산시켜 주고, 상기 수평 또는/및 수직 프리즘 시트는 입사되는 광을 표시 영역으로 집광시켜 주며, 상기 휘도 강화 시트는 손실되는 광을 재사용하여 휘도를 향상시켜 준다. 또한 상기 표시 패널(1061) 위에는 보호 시트가 배치될 수 있으며, 이에 대해 한정하지는 않는다.
- [0094] 여기서, 상기 발광 모듈(1031)의 광 경로 상에는 광학 부재로서, 상기 도광판(1041), 및 광학 시트(1051)를 포

함할 수 있으며, 이에 대해 한정하지는 않는다.

- [0095] 도 10은 실시 예에 따른 표시 장치의 다른 예를 나타낸 도면이다.
- [0096] 도 10을 참조하면, 표시 장치(1100)는 바텀 커버(1152), 상기에 개시된 발광소자(100)가 어레이된 기관(1020), 광학 부재(1154), 및 표시 패널(1155)을 포함한다.
- [0097] 상기 기관(1020)과 상기 발광소자(100)는 발광 모듈(1060)로 정의될 수 있다. 상기 바텀 커버(1152), 적어도 하나의 발광 모듈(1060), 광학 부재(1154)는 라이트 유닛으로 정의될 수 있다.
- [0098] 상기 바텀 커버(1152)에는 수납부(1153)를 구비할 수 있으며, 이에 대해 한정하지는 않는다.
- [0099] 여기서, 상기 광학 부재(1154)는 렌즈, 도광판, 확산 시트, 수평 및 수직 프리즘 시트, 및 휘도 강화 시트 등에서 적어도 하나를 포함할 수 있다. 상기 도광판은 PC 재질 또는 PMMA(Poly methy methacrylate) 재질로 이루어질 수 있으며, 이러한 도광판은 제거될 수 있다. 상기 확산 시트는 입사되는 광을 확산시켜 주고, 상기 수평 및 수직 프리즘 시트는 입사되는 광을 표시 영역으로 집광시켜 주며, 상기 휘도 강화 시트는 손실되는 광을 재사용하여 휘도를 향상시켜 준다.
- [0100] 상기 광학 부재(1154)는 상기 발광 모듈(1060) 위에 배치되며, 상기 발광 모듈(1060)로부터 방출된 광을 먼 광원하거나, 확산, 집광 등을 수행하게 된다.
- [0101] 도 11은 실시 예에 따른 조명 장치의 사시도이다.
- [0102] 도 11을 참조하면, 조명 장치(1500)는 케이스(1510)와, 상기 케이스(1510)에 설치된 발광모듈(1530)과, 상기 케이스(1510)에 설치되며 외부 전원으로부터 전원을 제공받는 연결 단자(1520)를 포함할 수 있다.
- [0103] 상기 케이스(1510)는 방열 특성이 양호한 재질로 형성될 수 있으며, 예를 들어 금속 재질 또는 수지 재질로 형성될 수 있다.
- [0104] 상기 발광 모듈(1530)은 기관(1532)과, 상기 기관(1532)에 제공되는 실시 예에 따른 발광소자(100)를 포함할 수 있다. 상기 발광소자(100)는 복수 개가 매트릭스 형태 또는 소정 간격으로 이격 되어 어레이될 수 있다.
- [0105] 상기 기관(1532)은 절연체에 회로 패턴이 인쇄된 것일 수 있으며, 예를 들어, 일반 인쇄회로기판(PCB: Printed Circuit Board), 메탈 코어(Metal Core) PCB, 연성(Flexible) PCB, 세라믹 PCB, FR-4 기관 등을 포함할 수 있다.
- [0106] 또한, 상기 기관(1532)은 빛을 효율적으로 반사하는 재질로 형성되거나, 표면이 빛이 효율적으로 반사되는 컬러, 예를 들어 백색, 은색 등의 코팅층될 수 있다.
- [0107] 상기 기관(1532)에는 적어도 하나의 발광소자(100)가 배치될 수 있다. 상기 발광소자(100) 각각은 적어도 하나의 LED(Light Emitting Diode) 칩을 포함할 수 있다. 상기 LED 칩은 적색, 녹색, 청색 또는 백색의 유색 빛을 각각 발광하는 유색 발광 다이오드 및 자외선(UV, UltraViolet)을 발광하는 UV 발광 다이오드를 포함할 수 있다.
- [0108] 상기 발광모듈(1530)은 색감 및 휘도를 얻기 위해 다양한 발광소자(100)의 조합을 가지도록 배치될 수 있다. 예를 들어, 고 연색성(CRI)을 확보하기 위해 백색 발광 다이오드, 적색 발광 다이오드 및 녹색 발광 다이오드를 조합하여 배치할 수 있다.
- [0109] 상기 연결 단자(1520)는 상기 발광모듈(1530)과 전기적으로 연결되어 전원을 공급할 수 있다. 상기 연결 단자(1520)는 소켓 방식으로 외부 전원에 결합되지만, 이에 대해 한정하지는 않는다. 예를 들어, 상기 연결 단자(1520)는 핀(pin) 형태로 형성되어 외부 전원에 삽입되거나, 배선에 의해 외부 전원에 연결될 수도 있는 것이다.
- [0110] 실시 예는 상기 발광소자(200)가 패키징된 후 상기 기관에 탑재되어 발광 모듈로 구현되거나, LED 칩 형태로 탑재되어 패키징하여 발광 모듈로 구현될 수 있다.
- [0111] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

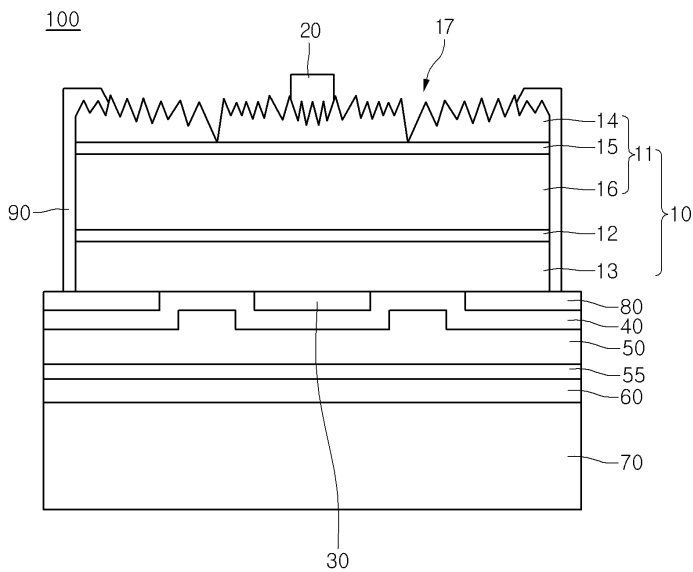
[0112] 또한, 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

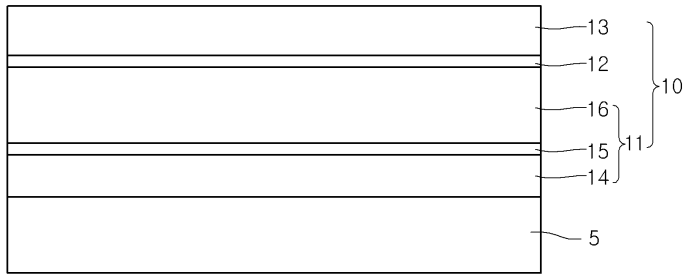
- |        |                |                   |
|--------|----------------|-------------------|
| [0113] | 10... 발광구조물    | 11... 제1 도전형 반도체층 |
|        | 12... 활성층      | 13... 제2 도전형 반도체층 |
|        | 14... 제1 반도체층  | 15... PEC 식각 제어층  |
|        | 16... 제2 반도체층  | 17... 요철          |
|        | 20... 전극       | 30... 전류차단층       |
|        | 40... 오믹접촉층    | 50... 반사전극        |
|        | 55... 확산장벽층    | 60... 본딩층         |
|        | 70... 전도성 지지부재 | 80... 아이솔레이션층     |
|        | 90... 보호층      |                   |

**도면**

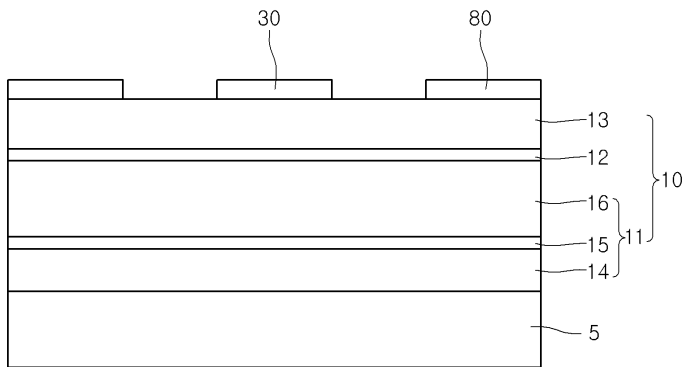
**도면1**



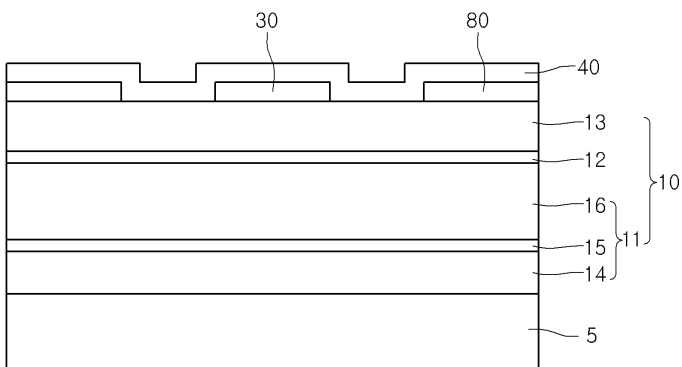
도면2



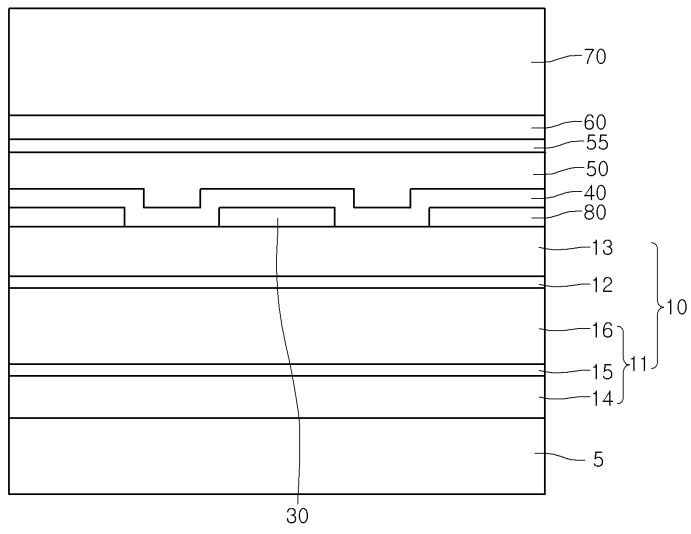
도면3



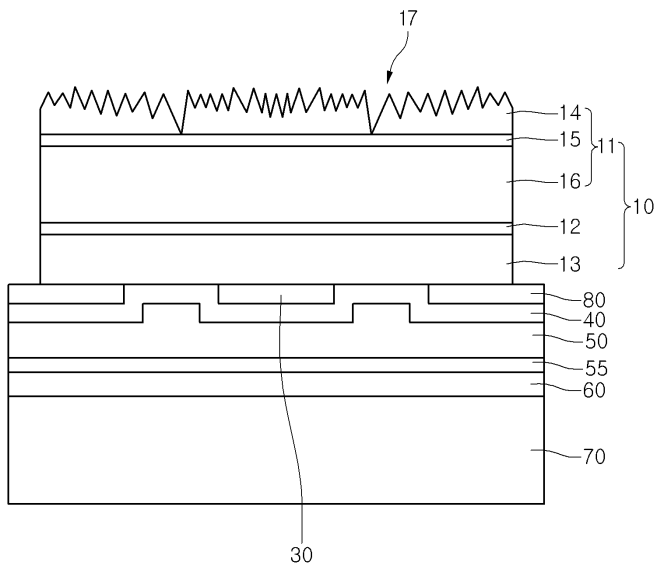
도면4



도면5

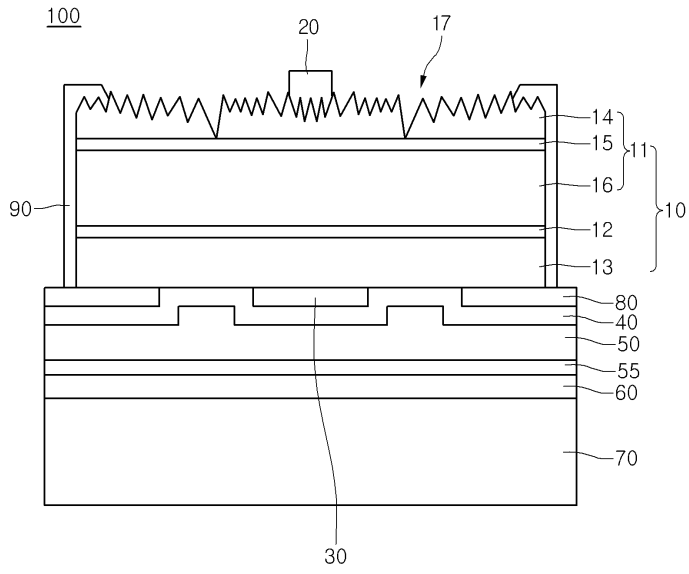


도면6

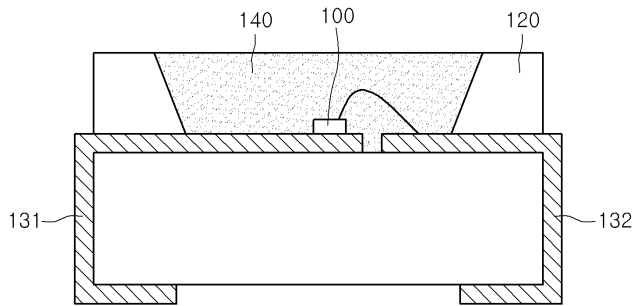




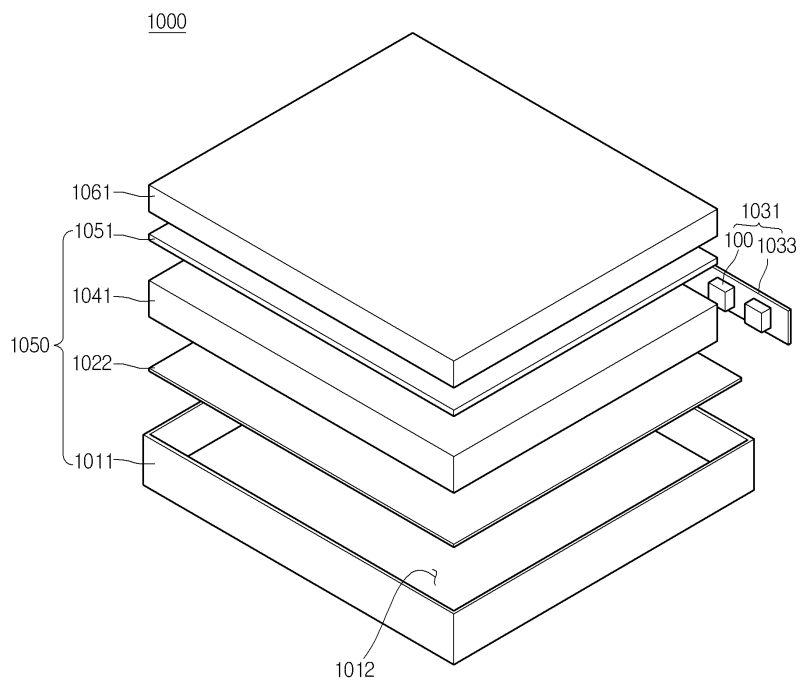
도면7



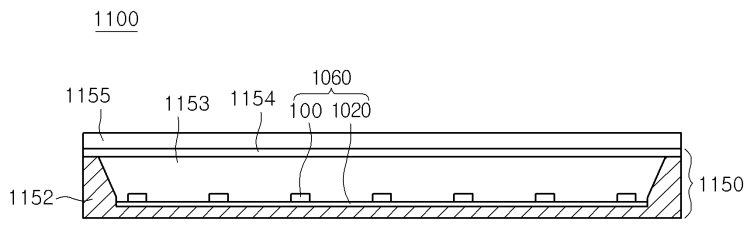
도면8



도면9



도면10



도면11

