



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I503949 B

(45) 公告日：中華民國 104 (2015) 年 10 月 11 日

(21) 申請案號：100142395

(22) 申請日：中華民國 100 (2011) 年 11 月 18 日

(51) Int. Cl. : **H01L27/02 (2006.01)**

(71) 申請人：林崇榮 (中華民國) LIN, CHRONGJUNG (TW)

新竹市關東路 23 巷 25 號 8 樓之 2

金雅琴 (中華民國) KING, YACHIN (TW)

臺北市中山區長安東路 2 段 230 號 3 樓之 4

(72) 發明人：林崇榮 LIN, CHRONGJUNG (TW)；金雅琴 KING, YACHIN (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

US 7820996B2

US 2008/0211036A1

US 2009/0039332A1

US 2010/0258779A1

US 2011/0026297A1

審查人員：姚真華

申請專利範圍項數：19 項 圖式數：4 共 20 頁

(54) 名稱

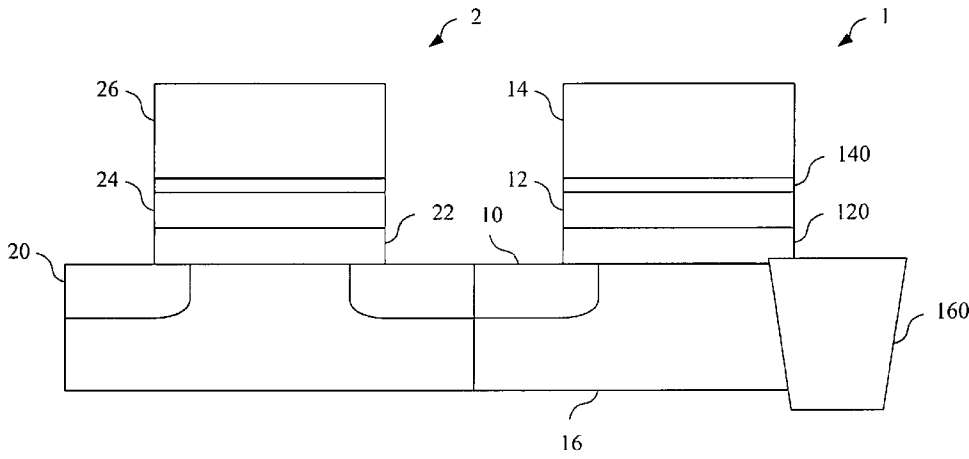
可變且可逆之電阻式記憶儲存單元及記憶儲存模組

VARIABLE AND REVERSIBLE RESISTIVE MEMORY STORAGE ELEMENT AND MEMORY STORAGE MODULE HAVING THE SAME

(57) 摘要

一種記憶儲存模組，包含：選擇閘極單元以及可變且可逆之電阻式記憶儲存單元。選擇閘極單元包含二源/汲極區。電阻式記憶儲存單元包含：第一電極、第一高介電係數介電層以及第二電極。第一電極係為離子佈植區，且離子佈植區為選擇閘極單元之二源/汲極區其中之一。第一高介電係數介電層位於第一電極上，用以作阻值變化。第二電極為第一金屬閘極，且位於高介電係數介電層上。

A variable and reversible resistive memory storage element and a memory storage module having the same are provided. The memory storage module comprises a select gate element and the resistive memory storage element. The select gate element comprises two source/drain regions. The resistive memory storage module comprises a first electrode, a high-k dielectric layer and a second electrode. The first electrode is a semiconductor doping area, which is one of the two source/drain regions of the select gate element. The high-k dielectric layer is formed on the first electrode to provide a variable resistance. The second electrode is a first metal gate formed on the high-k dielectric layer.



第3圖

- 1 . . . 電阻式記憶儲存單元
- 10 . . . 第一電極
- 12 . . . 高介電係數介電層
- 120 . . . 介電氧化層
- 14 . . . 第二電極
- 140 . . . 阻障層
- 16 . . . 基板
- 160 . . . 隔離區
- 2 . . . 選擇閘極單元
- 20 . . . 源/汲極區
- 22 . . . 介電氧化層
- 24 . . . 高介電係數介電層
- 26 . . . 金屬閘極

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100142395

※申請日：100.11.18

※IPC 分類：H01L 27/02 (2006.01)

一、發明名稱：(中文/英文)

可變且可逆之電阻式記憶儲存單元及記憶儲存模組
VARIABLE AND REVERSIBLE RESISTIVE MEMORY
STORAGE ELEMENT AND MEMORY STORAGE MODULE
HAVING THE SAME

二、中文發明摘要：

一種記憶儲存模組，包含：選擇閘極單元以及可變且可逆之電阻式記憶儲存單元。選擇閘極單元包含二源/汲極區。電阻式記憶儲存單元包含：第一電極、第一高介電係數介電層以及第二電極。第一電極係為離子佈植區，且離子佈植區為選擇閘極單元之二源/汲極區其中之一。第一高介電係數介電層位於第一電極上，用以作阻值變化。第二電極為第一金屬閘極，且位於高介電係數介電層上。

三、英文發明摘要：

A variable and reversible resistive memory storage element and a memory storage module having the same are provided. The memory storage module comprises a select gate element and the resistive memory storage element. The select gate element comprises two source/drain regions. The

resistive memory storage module comprises a first electrode, a high-k dielectric layer and a second electrode. The first electrode is a semiconductor doping area, which is one of the two source/drain regions of the select gate element. The high-k dielectric layer is formed on the first electrode to provide a variable resistance. The second electrode is a first metal gate formed on the high-k dielectric layer.

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-------------|-------------|
| 1：電阻式記憶儲存單元 | 10：第一電極 |
| 12：高介電係數介電層 | 120：介電氧化層 |
| 14：第二電極 | 140：阻障層 |
| 16：基板 | 160：隔離區 |
| 2：選擇閘極單元 | 20：源/汲極區 |
| 22：介電氧化層 | 24：高介電係數介電層 |
| 26：金屬閘極 | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本揭示內容是有關於一種記憶儲存元件，且特別是有關於一種記憶儲存模組及其電阻式記憶儲存單元。

【先前技術】

近年來由於工商發達、社會進步，相對提供之產品亦主要針對便利、確實、經濟實惠為主旨，因此，當前開發之產品亦比以往更加進步，而得以貢獻社會。在關於半導體記憶元件方面，近年來業者不斷地開發出整合度更高且低耗電之產品，使得作業與功效可達到事半功倍之運作。

當電流關掉後，儲存在記憶體裡面的資料不會消失者，這類型的記憶體稱為非揮發性記憶體。非揮發性記憶體中，依記憶體內的資料是否能在使用電腦時隨時改寫為標準，又可分為二大類產品，即唯讀記憶體（ROM）和快閃記憶體（Flash）。

然而，傳統之分離閘極快閃記憶體與堆疊型閘極快閃記憶體，都有一相同的特徵，即它們都具有多晶矽所組成的漂浮閘（floating gate）。因漂浮閘之電荷容易移動，導致一種群體漏電（Group Leakage）的機制。在長時間讀取時，會產生所謂之不可靠的錯誤位元，可靠性的問題會一一浮現。

由此可見，上述現有的漂浮閘極非揮發性記憶體，顯然仍存在不便與缺陷，而亟待加以進一步改進。為了取代漂浮閘極非揮發性記憶體，相關領域莫不費盡心思來研發

新一代的非揮發性記憶體，但長久以來一直未見適用的元件被發展完成。因此，如何提供一種可靠的非揮發性記憶體，實屬當前重要研發課題之一，亦成爲當前相關領域極需改進的目標。

【發明內容】

因此，本揭示內容之一態樣是在提供一種電阻式記憶儲存單元，具有可變且可逆之阻值。電阻式記憶儲存單元包含：第一電極、高介電係數介電層以及第二電極。第一電極為離子佈植區。高介電係數介電層位於第一電極上，用以作阻值變化。第二電極為金屬閘極，且位於高介電係數介電層上。第二電極之材質包含銅 (Cu)、鋁 (Al)、銅鋁合金、鈦 (Ti) 等或其組合。

依據本揭示內容一實施例，高介電係數介電層為金屬氧化層，其材質包含二氧化鈦 (HfO_2)、過氧化鋇 (SrO_2) 等或其組合。

依據本揭示內容另一實施例，電阻式記憶儲存單元更包含介電氧化層 (interfacial layer)，其中介電氧化層之介電係數小於高介電係數介電層之介電係數。介電氧化層之材質包含二氧化矽 (SiO_2)、氮氧化矽 (SiON) 等或其組合。

依據本揭示內容又一實施例，電阻式記憶儲存單元更包含阻障層 (barrier layer)，位於高介電係數介電層以上及第二電極之間。該阻障層之材質包含氮化鈦 (TiN)、氮化鉭 (TaN) 等或其組合。

依據本揭示內容再一實施例，電阻式記憶儲存單元是

藉由施加閘極電壓於第二電極特定時間以進行初始化 (forming)。

依據本揭示內容更具有之一實施例，電阻式記憶儲存單元更包含基板，離子佈植區係形成於基板中，且高介電係數介電層接觸基板及離子佈植區。基板為矽基板、絕緣層上覆矽 (Silicon on Insulator; SOI) 或藍寶石基底上矽 (Silicon on Sapphire; SOS)。

本揭示內容之一態樣是在提供一種記憶儲存模組，包含：選擇閘極單元以及電阻式記憶儲存單元。選擇閘極單元包含二源/汲極區。電阻式記憶儲存單元包含：第一電極、第一高介電係數介電層以及第二電極。第一電極係為離子佈植區，且離子佈植區為選擇閘極單元之二源/汲極區其中之一。第一高介電係數介電層位於第一電極上，用以作阻值變化。第二電極為第一金屬閘極，且位於高介電係數介電層上。第二電極之材質包含銅 (Cu)、鋁 (Al)、銅鋁合金、鈦 (Ti) 等或其組合。

依據本揭示內容一實施例，其中選擇閘極結構更包含：第二高介電係數介電層以及第二金屬閘極。第二高介電係數介電層位於二源/汲極區上。第二金屬閘極位於第二高介電係數介電層上。

依據本揭示內容另一實施例，高介電係數介電層為金屬氧化層，其材質包含二氧化鈦 (HfO_2)、過氧化鋇 (SrO_2) 等或其組合。

依據本揭示內容又一實施例，電阻式記憶儲存單元更包含介電氧化層 (interfacial layer)，其中介電氧化層之介

電係數小於高介電係數介電層之介電係數。介電氧化層之材質包含二氧化矽 (SiO_2)、氮氧化矽 (SiON) 等或其組合。

依據本揭示內容再一實施例，電阻式記憶儲存單元更包含阻障層 (barrier layer)，位於高介電係數介電層以及第二電極間。該阻障層之材質包含氮化鈦 (TiN)、氮化鉭 (TaN) 等或其組合。

依據本揭示內容更具有之一實施例，電阻式記憶儲存單元是藉由施加閘極電壓於第二電極特定時間以進行初始化 (forming)。

依據本揭示內容再具有之一實施例，電阻式記憶儲存單元更包含基板，離子佈植區係形成於基板中，且高介電係數介電層接觸基板及離子佈植區。基板為矽基板、絕緣層上覆矽 (Silicon on Insulator; SOI) 或藍寶石基底上矽 (Silicon on Sapphire; SOS)。

應用本揭示內容之優點係在於藉由內嵌式的設計，不需要額外的光罩及製程，即可形成電阻式記憶儲存單元之結構，而輕易地達到上述之目的。

【實施方式】

請參照第 1A 圖。第 1A 圖為本揭示內容一實施例中，一個電阻式記憶儲存單元 1 之示意圖。電阻式記憶儲存單元 1 具有可變且可逆之阻值。電阻式記憶儲存單元 1 包含：第一電極 10、高介電係數介電層 12 以及第二電極 14。

第一電極 10 為一個離子佈植區。於一實施例中，電阻式記憶儲存單元 1 包含一個基板 16。基板 16 於不同之實

施例中可為矽基板、絕緣層上覆矽 (Silicon on Insulator ; SOI) 或藍寶石基底上矽 (Silicon on Sapphire ; SOS)。第一電極 10，即前述之離子佈植區是形成於基板 16 中。於本實施例中，基板 16 更包含一個隔離區 160。高介電係數介電層 12 形成於隔離區 160 及離子佈植區間的基板 16 上方，並與隔離區 160 及離子佈植區接觸。於另一實施例中，基板 16 之結構亦可以如第 1B 圖所示，包含另一個離子佈植區 162。高介電係數介電層 12 形成於離子佈植區 162 及第一電極 10 之離子佈植區間的基板 16 上方，並與離子佈植區 162 及第一電極 10 之離子佈植區接觸。

高介電係數介電層 12 於一實施例中，為具有高介電係數的金屬氧化層，其材質包含如二氧化鈦 (HfO_2)、過氧化鋇 (SrO_2) 等或其組合。於其他實施例中，亦可能包含其他高介電係數之材質。需注意的是，「高介電係數」一詞係指介電係數高於如二氧化矽或氮氧化矽的介電係數。一般常見用以形成閘極介電層的材質為二氧化矽或氮氧化矽，但在元件尺寸逐漸隨製程演進而縮小的情形下，厚度隨之降低的二氧化矽介電層將使漏電流情形加劇而影響元件的效能。如二氧化鈦 (HfO_2)、過氧化鋇 (SrO_2) 或其組合之高介電係數材料，在相同的等效厚度之下 (Equivalent Oxide Thickness ; EOT)，其漏電流明顯低於 SiO_2 ，故可利用較厚的高介電係數材料取代傳統的二氧化矽或氮氧化矽薄膜，來達成元件所需要的電性條件。

於本實施例中，為使高介電係數介電層 12 與其下的基板 16 及第一電極 10 有最佳的電性連接，可於高介電係數

介電層 12 與基板 16 及第一電極 10 間形成如第 1A 圖所示之介電氧化層 120。介電氧化層 120 之介電係數小於高介電係數係數層 12 之介電係數，於一實施例中，介電氧化層 120 之材質包含二氧化矽 (SiO_2)、氮氧化矽 (SiON) 或其組合。於其他實施例中，亦可能包含其他材質。

第二電極 14 為金屬閘極，且位於高介電係數介電層 12 上。金屬閘極與高介電係數介電層 12 間的熱穩定性、費米能階夾止效應等方面均具有較多晶矽為佳的表現，且其低阻抗之特性，對於元件的高頻操作特性亦有改善之效。為能夠在閘極介電層介面提供正確適當的功函數值，同時與閘極介電層間需有良好的熱穩定性以確保在元件製程中可以保有穩定的特性，第二電極 14 之材質可包含銅 (Cu)、鋁 (Al)、銅鋁合金、鈦 (Ti) 或其組合。於一實施例中，電阻式記憶儲存單元 1 更包含阻障層 140，以分隔高介電係數介電層 12 以及第二電極 14。阻障層 140 之材質包含氮化鈦 (TiN)、氮化鉭 (TaN) 等或其組合。

請參照第 2A 圖，為第 1A 圖中所示的電阻式記憶儲存單元 1 之等效電路示意圖。因此，第 1A 圖中所示的電阻式記憶儲存單元 1，其等效電路將為如第 2A 圖所示之可變且可逆之電阻。上述實施例之電阻式記憶儲存單元 1 之結構，可與傳統之製程結合，不需要額外的光罩或是額外的記憶體製程，亦不需改變其對應之熱循環 (thermal cycle) 製程，因此可以節省成本及面積。

請參照第 3 圖。第 3 圖為本揭示內容一實施例中，一個記憶儲存模組 3 之示意圖。記憶儲存模組 3 包含一個如

第 1A 圖所示之電阻式記憶儲存單元 1 以及一個選擇閘極單元 2。

選擇閘極單元 2 之結構與電阻式記憶儲存單元 1 近似，包含兩個源/汲極區 20、介電氧化層 22、高介電係數介電層 24 以及金屬閘極 26。於本實施例中，電阻式記憶儲存單元 1 的第一電極 10，實質上即相當於選擇閘極單元 2 中兩個源/汲極區 20 的其中之一。因此，記憶儲存模組 3 之等效電路將如第 2B 圖所示，電阻式記憶儲存單元 1 以及選擇閘極單元 2 將等效為一個可變電阻及一個閘極電晶體相串聯之結構。

於一實施例中，電阻式記憶儲存單元 1 是藉由施加閘極電壓於第二電極 14 一個特定時間以進行初始化。舉例來說，可藉由施加並維持 100 微秒至 100 秒的 4 伏特閘極電壓（於第二電極 14 上）來進行初始化，以使其自初始的高電阻狀態成為低電阻狀態。於其他實施例中，可依結構設計之變動而施以不同時間或強度的閘極電壓來進行初始化（forming）。

請參照第 4 圖。第 4 圖為本揭示內容一實施例中，電阻式記憶儲存單元 1 之電流及電壓特性圖。於一實施例中，在第 2B 圖中的 G2 端，亦即選擇閘極單元 2 之金屬閘極 26 上施以選擇閘極電壓（如 2.5 伏特）後，可由第 2B 圖中的 G1 端，即電阻式記憶儲存單元 1 的閘極電壓來控制電阻式記憶儲存單元 1 的操作。舉例來說，當第 2B 圖之 SD1 端（選擇閘極單元 2 的源/汲極區）維持 0 伏特電壓準位，SD2 端亦將維持 0 伏特。此時如電阻式記憶儲存單元

1 位於高電阻狀態 (High Resistance State ; HRS) 下，於 G1 端施以 2 伏特閘極電壓，將可使電阻式記憶儲存單元 1 轉換至低電阻狀態 (Low Resistance State ; LRS)，這個過程稱為設定 (set)。而在低電阻狀態下於 G1 端施以 1.2 伏特閘極電壓，將可使電阻式記憶儲存單元 1 由轉換至高電阻狀態，這個過程稱為重置 (reset)。故此時電阻式記憶儲存單元 1 之源/汲極電流將小於電阻式記憶儲存單元 1 位於低電阻狀態時的源/汲極電流。藉由上述施於電阻式記憶儲存單元 1 之高低閘極電壓的控制操作，即可造成其電阻狀態之改變，進而達到記憶儲存之功效。

綜上所述，本揭示內容之電阻式記憶儲存單元之結構，可與傳統之製程結合，不需要額外的光罩或是額外的記憶體製程，亦不需改變其對應之熱循環製程，因此可以節省成本及面積。

雖然本揭示內容已以實施方式揭露如上，然其並非用以限定本揭示內容，任何熟習此技藝者，在不脫離本揭示內容之精神和範圍內，當可作各種之更動與潤飾，因此本揭示內容之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本揭示內容之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1A 圖為本揭示內容一實施例中，一個電阻式記憶儲存單元之示意圖；

第 1B 圖為本揭示內容另一實施例中，一個電阻式記憶儲存單元之示意圖；

第 2A 圖為第 1A 圖中所示的電阻式記憶儲存單元之等效電路示意圖；

第 2B 圖為第 3 圖中所示的記憶儲存模組之等效電路示意圖；

第 3 圖為本揭示內容一實施例中，一個記憶儲存模組之示意圖；以及

第 4 圖為本揭示內容一實施例中，電阻式記憶儲存單元之電流及電壓特性圖。

【主要元件符號說明】

1：電阻式記憶儲存單元	10：第一電極
12：高介電係數介電層	120：介電氧化層
14：第二電極	140：阻障層
16：基板	160：隔離區
162：離子佈植區	2：選擇閘極單元
20：源/汲極區	22：介電氧化層
24：高介電係數介電層	26：金屬閘極
3：記憶儲存模組	

七、申請專利範圍：

1. 一種電阻式記憶儲存單元，具有一可變且可逆之阻值，包含：

一第一電極，係為一離子佈植區；

一高介電係數介電層，位於該第一電極上，用以作阻值變化；

一介電氧化層 (interfacial layer)，其中該介電氧化層之介電係數小於該高介電係數介電層之介電係數；以及

一第二電極，係為一金屬閘極，且位於該高介電係數介電層上。

2. 如請求項 1 所述之電阻式記憶儲存單元，其中該高介電係數介電層為一金屬氧化層，其材質包含二氧化鈦 (HfO_2)、過氧化鋇 (SrO_2) 或其組合。

3. 如請求項 2 所述之電阻式記憶儲存單元，其中該介電氧化層之材質包含二氧化矽 (SiO_2)、氮氧化矽 (SiON) 或其組合。

4. 如請求項 1 所述之電阻式記憶儲存單元，更包含一阻障層 (barrier layer)，位於該高介電係數介電層以上及該第二電極之間。

5. 如請求項 4 所述之電阻式記憶儲存單元，其中該

阻障層之材質包含氮化鈦 (TiN)、氮化鉭 (TaN) 或其組合。

6. 如請求項 1 所述之電阻式記憶儲存單元，其中該第二電極之材質包含銅 (Cu)、鋁 (Al)、銅鋁合金、鈦 (Ti) 或其組合。

7. 如請求項 1 所述之電阻式記憶儲存單元，是藉由施加一閘極電壓於該第二電極一特定時間以進行初始化 (forming)。

8. 如請求項 1 所述之電阻式記憶儲存單元，更包含一基板，該離子佈植區係形成於該基板中，且該高介電係數介電層接觸該基板及該離子佈植區。

9. 如請求項 8 所述之電阻式記憶儲存單元，其中該基板為一矽基板、一絕緣層上覆矽 (Silicon on Insulator; SOI) 或一藍寶石基底上矽 (Silicon on Sapphire; SOS)。

10. 一種記憶儲存模組，包含：

一選擇閘極單元，包含二源/汲極區；以及

一電阻式記憶儲存單元，包含：

一第一電極，係為一離子佈植區，且該離子佈植區為該選擇閘極單元之該二源/汲極區其中之一；

一第一高介電係數介電層，位於該第一電極上，用以作阻值變化；

一介電氧化層 (interfacial layer)，其中該介電氧化層之介電係數小於該高介電係數介電層之介電係數；以及

一第二電極，係為一第一金屬閘極，且位於該高介電係數介電層上。

11. 如請求項 10 所述之記憶儲存模組，其中該選擇閘極結構更包含：

一第二高介電係數介電層，位於該二源/汲極區上；以及

一第二金屬閘極，且位於該第二高介電係數介電層上。

12. 如請求項 10 所述之記憶儲存模組，其中該電阻式記憶儲存單元更包含一介電氧化層，其中該介電氧化層之介電係數小於該第一高介電係數介電層之介電係數。

13. 如請求項 12 所述之記憶儲存模組，其中該介電氧化層之材質包含二氧化矽 (SiO_2)、氮氧化矽 (SiON) 或其組合。

14. 如請求項 10 所述之記憶儲存模組，其中該電阻式記憶儲存單元更包含一阻障層，位於該第一高介電係數介

電層以上及該第二電極之間。

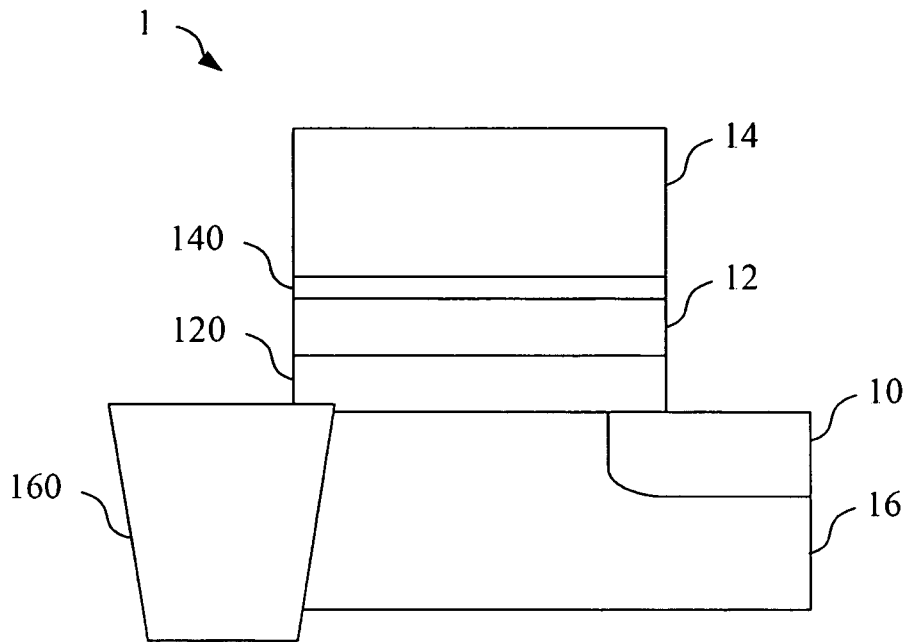
15. 如請求項 14 所述之記憶儲存模組，其中該阻障層之材質包含氮化鈦 (TiN)、氮化鉭 (TaN) 或其組合。

16. 如請求項 10 所述之記憶儲存模組，其中該第二電極之材質包含銅 (Cu)、鋁 (Al)、銅鋁合金、鈦 (Ti) 或其組合。

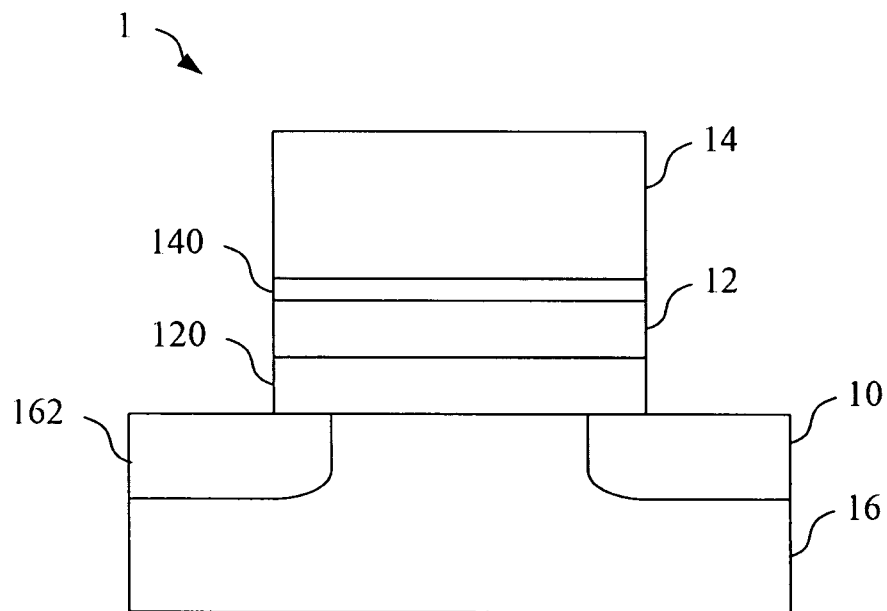
17. 如請求項 10 所述之記憶儲存模組，其中該電阻式記憶儲存單元是藉由施加一閘極電壓於該第二電極一特定時間以進行初始化 (forming)。

18. 如請求項 10 所述之記憶儲存模組，更包含一基板，該選擇閘極單元之該二源/汲極區係形成於該基板中，且該第一高介電係數介電層接觸該基板及該二源/汲極區其中之一。

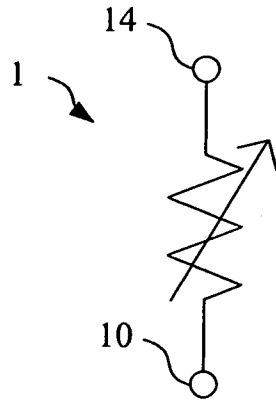
19. 如請求項 18 所述之記憶儲存模組，其中該基板為一矽基板、一絕緣層上覆矽或一藍寶石基底上矽。



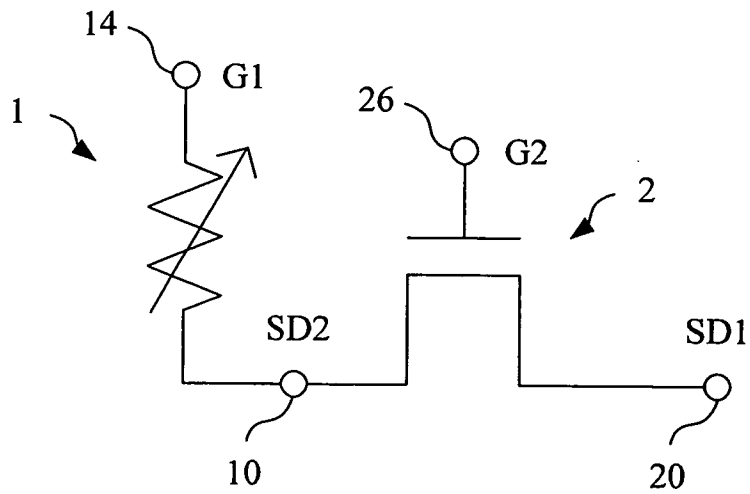
第1A圖



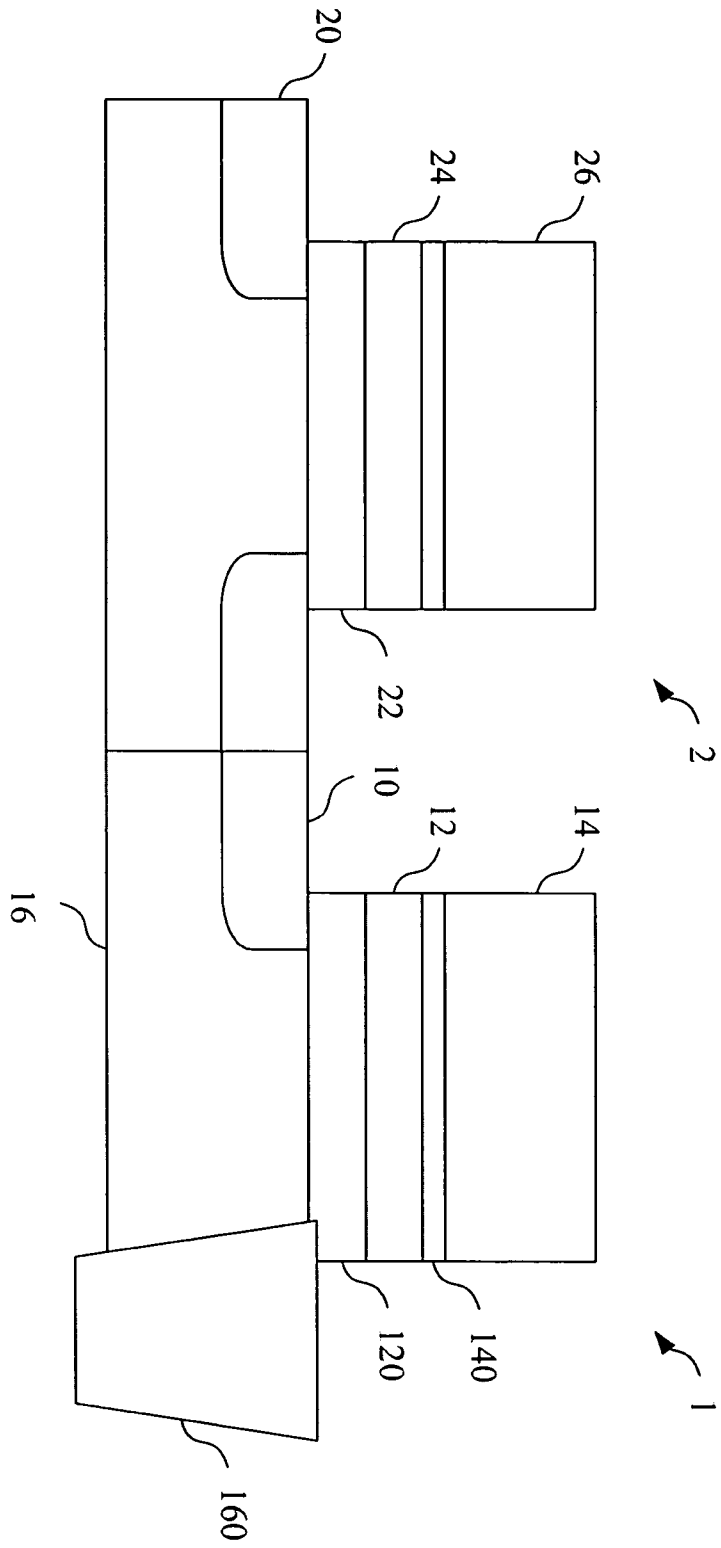
第1B圖



第2A圖

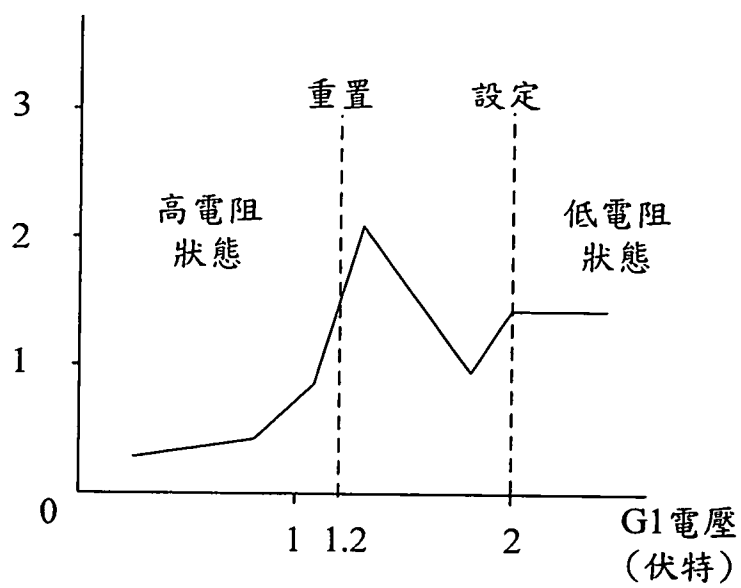


第2B圖



第3圖

源/汲極電流
(任意單位)



第4圖