

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : **2 638 913**
(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **89 14700**

⑤1 Int Cl⁸ : H 03 F 3/30.

①2 **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 9 novembre 1989.

③0 Priorité : US, 10 novembre 1988, n° 269 867.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 19 du 11 mai 1990.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : *BURR-BROWN CORPO-
RATION.* — US.

⑦2 Inventeur(s) : Thomas R. Anderson.

⑦3 Titulaire(s) :

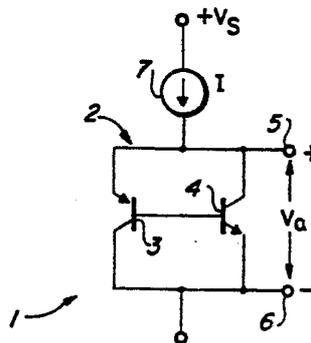
⑦4 Mandataire(s) : Rinuy, Santarelli.

⑤4 Procédé et circuit pour produire une tension de référence.

⑤7 L'invention concerne les circuits de génération de tension
de polarisation de haute précision.

Un circuit destiné à produire une tension de référence
comprend un transistor NPN 4 dont l'émetteur est connecté à
une première borne 6 et le collecteur est connecté à une
seconde borne 5, et un transistor PNP 3 dont l'émetteur est
connecté à la seconde borne, la base est connectée à la base
du transistor NPN et le collecteur est connecté à la seconde
borne. Une source de courant 7 est connectée à la première
ou la seconde borne pour imposer la circulation d'un courant
qui se divise entre les deux transistors. Le circuit produit
une tension de référence égale à la somme de la tension V_{BE} PNP
et de la tension V_{BE} NPN.

Application à la polarisation de circuits d'attaque
symétriques.



FR 2 638 913 - A1

D

La présente invention concerne des circuits de génération de tension de polarisation de haute précision, et en particulier des circuits utiles dans la polarisation de circuits d'attaque symétriques, de circuits suiveurs du type en losange, de certains circuits de décalage de niveau et de certains circuits de commutation à diodes.

Il existe un certain nombre de circuits bien connus pour polariser des circuits d'attaque symétriques qui contiennent un transistor NPN de rappel au potentiel haut et un transistor PNP de rappel au potentiel bas, ayant chacun leur émetteur connecté au même conducteur de sortie. La figure 2A représente un tel circuit de polarisation, dans lequel un transistor PNP connecté en diode, 43, est branché en série avec un transistor NPN branché en diode, 44. Cette paire de transistors connectés en série est branchée entre la base du transistor NPN de rappel au potentiel haut 12 et la base du transistor PNP de rappel au potentiel bas 13. Le courant traversant la source de courant 42 circule dans les deux transistors 43 et 44, en produisant une tension V_b égale à $V_{BE}(43)$ plus $V_{BE}(44)$ entre les conducteurs 5 et 6, qui sont connectés aux bases du transistor NPN 12 et du transistor PNP 13. La tension d'entrée V_{ENTREE} est appliquée au conducteur 6. Le circuit de l'art antérieur de la figure 2A exige que les transistors connectés en diode fonctionnent avec une tension collecteur-base égale à zéro. Pour le fonctionnement linéaire du circuit, il est essentiel que la jonction collecteur-base interne ne devienne jamais polarisée notablement en sens direct. Ceci exige que la résistance de collecteur interne soit faible, ce qui exige à son tour une aire d'émetteur relativement grande et une aire de contact de collecteur relativement grande, pour empêcher que la tension de polarisation base-collecteur directe interne ne dépasse environ 200 millivolts. La polarisation directe interne de la jonction collecteur-base augmente également la capacité de la jonction collecteur-base,

ce qui contribue à une dégradation de la largeur de bande du circuit.

La figure 2B montre une autre technique connue utilisant un transistor NPN à charge d'émetteur 52 pour attaquer la base du transistor PNP de rappel au potentiel bas 13, et un transistor PNP à charge d'émetteur 54 pour attaquer la base du transistor NPN de rappel au potentiel haut 12. Sur la figure 2B, la différence entre les tensions de sortie du transistor NPN à charge d'émetteur 52 et du transistor PNP à charge d'émetteur 54 fournit une tension V_d qui est égale à la somme de $V_{BE}(54)$ et $V_{BE}(52)$, pour polariser les transistors de sortie 12 et 13. Ce circuit dissipe davantage de puissance que ce qui est souhaitable, du fait que des sources de courant I séparées sont nécessaires pour les deux transistors à charge d'émetteur.

La figure 2C décrit l'utilisation d'un circuit appelé "multiplicateur de V_{BE} ", à titre de circuit de polarisation connecté entre la base du transistor NPN de rappel au potentiel haut 12 et celle du transistor PNP de rappel au potentiel bas 13. Le circuit multiplicateur de V_{BE} produit entre les conducteurs 5 et 6 une tension V_c qui est égale à la tension V_{BE} du transistor NPN 62, multipliée par une quantité qui est fonction des valeurs R de résistances 64 et 65. Cependant, le circuit multiplicateur de V_{BE} ne commande pas le courant de polarisation de façon précise, du fait que le courant dans le transistor multiplicateur de V_{BE} est commandé à la fois par la tension base-émetteur du transistor multiplicateur de V_{BE} , 62, et par la valeur des deux résistances 64 et 65.

Le brevet des E.U.A. n° 4 317 081 (Kobayashi) décrit un amplificateur de puissance symétrique à une seule sortie dans lequel la base du transistor PNP Q9 est connectée à la base d'un transistor NPN Q10. L'émetteur de Q9 est connecté au collecteur de Q10 et l'émetteur de Q10 est connecté au collecteur de Q9. Une résistance R5 est connectée

entre la base et l'émetteur de Q9 et une résistance R6 est connectée entre la base et l'émetteur de Q10. Ce circuit est utilisé entre un circuit de polarisation 12 et un circuit de sortie symétrique complémentaire Q7, Q8, pour améliorer les performances en haute fréquence, en déchargeant la charge qui est stockée dans les transistors de sortie Q7, Q8. Le circuit de polarisation 12 applique une tension de polarisation aux bases du circuit de sortie symétrique Q7, Q8, et entre les deux résistances R5 et R6 et les transistors Q9 et Q10. Ce circuit présente l'inconvénient qui consiste en ce que les résistances R5 et R6 exigent une aire de puce élevée, et en ce que leurs valeurs sont commandées par des paramètres de processus différents de ceux qui commandent les tensions V_{BE} des transistors Q9 et Q10. Par conséquent, un déséquilibre dans les valeurs de ces résistances entraînerait de grandes différences dans les courants qui circulent dans les deux transistors, entraînant ainsi des variations indésirables importantes, qui dépendent du processus de fabrication, dans la tension de polarisation que produit le circuit.

Un but de l'invention est donc de procurer un circuit de polarisation destiné à produire une tension égale à la somme d'une tension V_{BE} de transistor PNP et d'une tension V_{BE} de transistor NPN, qui utilise une aire minimale d'une puce de semiconducteur, qui a une capacité minimale et une faible impédance dynamique, et qui ne dépend pas de variations de la valeur d'une résistance quelconque.

Un autre but de l'invention est de procurer un circuit perfectionné utile pour produire un courant de polarisation indépendant du processus de fabrication, dans un étage de transistors de sortie symétrique complémentaire.

Brièvement, et conformément à l'un de ses modes de réalisation, l'invention procure un circuit destiné à produire une tension de référence, comprenant un transistor NPN dont l'émetteur est connecté à une première borne et

dont le collecteur est connecté à une seconde borne, et un transistor PNP dont l'émetteur est connecté à la seconde borne, dont la base est connectée exclusivement à la base du transistor NPN et dont le collecteur est connecté à la première borne. Une source de courant est connectée à la première borne ou à la seconde borne, pour imposer la circulation d'un courant qui se divise en un courant circulant dans le transistor PNP et en un autre courant circulant dans le transistor NPN. Le circuit produit une tension de référence égale à la somme de la tension V_{BE} de transistor PNP et de la tension V_{BE} de transistor NPN, qui suit de façon précise des variations des courants de saturation du transistor PNP et du transistor NPN. Le circuit est utile pour produire une tension de polarisation de deux V_{BE} entre la base d'un transistor NPN de rappel au potentiel haut et la base d'un transistor PNP de rappel au potentiel bas, ayant une connexion d'émetteur commune à une borne de sortie. Le circuit produit un courant de polarisation de repos constant dans le transistor NPN de rappel au potentiel haut et dans le transistor PNP de rappel au potentiel bas, qui est pratiquement indépendant de variations des courants de saturation du transistor PNP et du transistor NPN. La tension $2V_{BE}$ qui est produite peut également être utile dans certaines applications de décalage de niveau, dans lesquelles une faible impédance dynamique et une capacité minimale sont exigées.

L'invention sera mieux comprise à la lecture de la description qui va suivre de modes de réalisation, et en se référant aux dessins annexés dans lesquels :

la figure 1A est un schéma d'une configuration du circuit de tension de référence de la présente invention;

la figure 1B est un schéma d'une autre configuration du circuit de tension de référence de la présente invention;

les figures 2A-2C sont des schémas de circuits de

l'art antérieur;

la figure 3 est un schéma d'un étage de circuit de sortie qui utilise le circuit de référence de tension de la figure 1;

5 la figure 4 est un schéma d'un circuit suiveur en losange utilisant deux des circuits de tension de référence des figures 1A et 1B;

les figures 5A et 5B sont des schémas de circuit qui sont utiles pour analyser le circuit de la figure 1 et
10 pour le comparer avec l'art antérieur; et

la figure 6 est un schéma de circuit d'un autre mode de réalisation de l'invention.

Sur la figure 1A, une configuration de base du circuit de tension de référence de l'invention est désignée
15 par la référence 1 et elle comprend une source de courant 7 qui est connectée entre $+V_S$ et un conducteur 5, et elle produit un courant I. L'émetteur d'un transistor PNP 3 est connecté au conducteur 5 et son collecteur est connecté au conducteur 6. Le collecteur d'un transistor NPN 4 est con-
20 necté au conducteur 5, sa base est connectée à la base du transistor 3, et son émetteur est connecté au transistor 6. Lorsque le courant I entre dans le conducteur 5, il est divisé entre les transistors 3 et 4, et il produit une tension V_a égale à $V_{BE3} + V_{BE4}$, en désignant par V_{BE3} la va-
25 leur de la tension base-émetteur du transistor PNP 3 et par V_{BE4} la valeur de la tension base-émetteur du transistor NPN 4.

Sur la figure 1B, une autre configuration 1A du circuit de tension de référence de l'invention est identi-
30 que à celle de la figure 1A, à l'exception du fait que la source de courant 7A est connectée entre un conducteur de tension d'alimentation négative sur lequel est appliquée une tension de $-V_S$ volts. Pour le circuit 1 comme pour le circuit 1A, le circuit de source de courant 7 ou 7A peut
35 être n'importe quel circuit de source de courant bien connu

approprié, ou même une résistance. Les circuits 1 et 1A se distinguent du brevet 4 317 081 précité par l'omission de résistances entre les bases des transistors 3 et 4 et les conducteurs 5 et 6, et également par la connexion d'une source de courant en série avec la connexion en parallèle des transistors 3 et 4, au lieu du branchement d'un circuit de tension de polarisation entre ces derniers.

Pour le circuit de la figure 1A ou celui de la figure 1B, on peut voir que V_a est donnée par l'équation :

$$10 \quad (1) \quad V_A + V_{TH} \ln \left(\frac{I_n}{I_{sn}} \right) + V_{TH} \ln \left(\frac{I_p}{I_{sp}} \right)$$

dans laquelle V_{TH} est égale à $(kT)/q$. On peut réarranger l'équation (1) pour donner l'équation :

$$(2) \quad V_a = V_{TH} \ln \left(\frac{I_n I_p}{I_{sn} I_{sp}} \right)$$

Dans les équations 1 et 2, I_n est la fraction du courant I qui circule dans le transistor NPN 4, et I_p est le courant qui circule dans le transistor PNP 3. I_{sn} est le courant de saturation du transistor NPN 4 et I_{sp} est le courant de saturation du transistor PNP 3.

L'expression pour la tension V_b du circuit de référence de tension de l'art antérieur de la figure 2A, comprenant une source de courant 42, un transistor connecté en diode 43 et un transistor connecté en diode 44, est donnée par l'équation :

$$(3) \quad V_b = V_{TH} \ln \left(\frac{I^2}{I_{sn} I_{sp}} \right)$$

25 Pour comparer V_b à V_a , on peut supposer pour simplifier que le courant I se divise de façon égale entre le transistor PNP 3 et le transistor NPN 4, dans les circuits des figures 1A et 1B. Si on fait cette hypothèse, on est

conduit à l'équation suivante pour V_a :

$$(4) \quad V_a = V_{TH} \ln \left[\frac{\left(\frac{I}{2}\right)^2}{I_{sn} I_{sp}} \right]$$

On peut donc voir que si V_a et V_b sont égales, le courant qui circule dans le transistor PNP 3 et le transistor NPN 4 de la figure 1A ou de la figure 1B peut être égal à la moitié du courant qui circule dans les transistors connectés en diodes 43 et 44 de la figure 2A. En supposant que le courant I des figures 1A et 2A ait la même valeur, et en supposant également une valeur égale de V_a et V_b , les aires d'émetteur (et donc les courants de saturation inverses) des transistors 3 et 4 de la figure 1A peuvent être respectivement égales à la moitié des aires d'émetteur des transistors 43 et 44 de la figure 2A. Ceci peut conduire à des gains notables en ce qui concerne l'aire de puce de circuit intégré. La réduction de la taille nécessaire du transistor PNP 3 et du transistor NPN 4 pour produire une valeur de V_a conduit à une réduction d'un facteur de 2 des capacités collecteur-base. Ceci peut augmenter notablement la largeur de bande du circuit.

Un autre avantage des circuits des figures 1A et 1B par rapport au circuit de polarisation 43, 44 de la figure 2A, consiste en ce que dans ce dernier, les collecteurs et les bases des transistors connectés en diodes sont connectés ensemble. Par conséquent, la capacité de jonction collecteur-base présente sa valeur maximale, tandis que dans les circuits de polarisation des figures 1A et 1B les jonctions collecteur-base sont polarisées en inverse sous une tension d'environ 0,7 volt, ce qui réduit notablement les capacités de jonction collecteur-base, et procure ainsi de meilleures performances dynamiques du circuit, en comparaison avec le circuit de la figure 2A. En outre, pour une valeur donnée du courant I dans le circuit de la figure 2A,

les transistors 43 et 44 doivent être suffisamment grands pour que leur résistance de collecteur interne soit suffisamment faible pour empêcher une polarisation interne en sens direct des jonctions collecteur-base des transistors 5 connectés en diodes 43 et 44, lorsque le courant I les traverse. Une polarisation en sens direct des jonctions collecteur-base entraînerait un stockage de charge excessif dans les régions de base, ce qui dégraderait de façon importante les performances dynamiques. En outre, si la polarisation en sens direct de la jonction collecteur-base interne du transistor connecté en diode 43 ou 44 devient supérieure à environ 200 millivolts, la tension V_B n'aura plus sa valeur correcte, et par conséquent le courant de polarisation dans le transistor NPN de rappel au potentiel haut 12 et dans le transistor PNP de rappel au potentiel bas 23 n'aura plus sa valeur correcte. Cette condition conduit à une distorsion indésirable de la tension de sortie V_{SORTIE} . Pour éviter ces problèmes si on utilise le circuit de la figure 2A, il peut être nécessaire d'augmenter considérablement à la fois les aires d'émetteur et les aires de contact de collecteur des transistors 43 et 44, ce qui augmente encore davantage la taille de la puce et dégrade encore davantage les performances dynamiques.

En considérant la figure 3, on voit le circuit de 25 la figure 1B avec le conducteur 5 connecté à la base du transistor NPN de rappel au potentiel haut 12 et le conducteur 6 connecté à la base du transistor PNP de rappel au potentiel bas 13. Le collecteur du transistor 13 est connecté à $-V_{EE}$, et la source de courant 7A est connectée entre le conducteur 6 et $-V_{EE}$. Le collecteur du transistor de 30 rappel au potentiel haut 12 est connecté à $+V_{CC}$. La base d'un transistor NPN à charge d'émetteur 11 est connectée par le conducteur 8 à une tension d'entrée V_{IN} , et son émetteur est connecté au conducteur 5, tandis que son collecteur est connecté à $+V_{CC}$. 35

Le circuit de la figure 3 dissipe de la puissance dans un seul transistor à charge d'émetteur, au lieu de deux, comme l'exige le circuit de la figure 2B pour maintenir un courant de polarisation présélectionné dans les 5 transistors de sortie 12 et 13. (Il faut noter que dans le circuit de la figure 2B, les transistors à charge d'émetteur 52 et 53 doivent avoir une taille physique double de celle des transistors 3 et 4 de la figure 3, pour le même courant I. Ceci conduit à de plus grandes capacités parasitiques collecteur-base, qui limitent la largeur de bande du 10 circuit de la figure 2B.)

Le circuit de la figure 3 procure un très bon moyen pour polariser un étage de sortie NPN, PNP symétrique, du fait que la taille physique des transistors 3 et 4 15 qui sont nécessaires pour produire une certaine valeur de courant de polarisation dans les transistors de sortie 12 et 13, est égale à la moitié de celle correspondant à n'importe quel circuit de polarisation antérieur connu dans lequel circule le même courant total I. De plus, le circuit 20 de la figure 3 assure l'isolation entre V_{ENTREE} et V_{SORTIE} tout aussi efficacement que le circuit de la figure 2B, mais avec seulement la moitié de la dissipation de puissance et la moitié de la capacité parasite collecteur-base. Les caractéristiques de courant de saturation des transistors 3 et 4 coïncident de façon précise avec les caractéristiques des transistors de sortie respectifs 12 et 13. 25 Par conséquent, un ajustement de résistances par laser ou une opération similaire n'est pas nécessaire pour régler le courant de polarisation de repos qui circule dans les transistors 12 et 13, du fait qu'une correspondance ou une proportion précise entre les caractéristiques géométriques des transistors NPN 4 et 12 et des transistors PNP 3 et 13 peut être obtenue aisément au stade de la conception du dessin du circuit intégré. Le transistor 11 sur la figure 3 peut 30 être un très petit dispositif, de façon à minimiser les ef-

fets de capacité collecteur-base non linéaire sur le noeud d'entrée 8.

Il faut noter que si le transistor à charge d'émetteur 11 est supprimé, la tension V_{IN} peut être appliquée au conducteur 5.

L'expression pour la tension de polarisation V_C que produit le circuit multiplicateur de V_{BE} de la figure 2C est donnée par l'équation :

$$(5) \quad V_C = 2V_{TH} \ln \left[\frac{I}{I_{SN}} \right]$$

10 dans laquelle I_{SN} est le courant de saturation du transistor NPN 62. (On notera que sur les figures 2A-2C, les courants de base des transistors de sortie 12 et 13 sont supposés négligeables.)

Du fait que le courant dans le transistor NPN 52 est commandé à la fois par la tension V_{BE} du transistor 62 et par la valeur de R, c'est-à-dire la valeur des résistances 64 et 65, il est très difficile d'obtenir une coïncidence suffisamment bonne entre V_C et les caractéristiques des transistors de sortie 12 et 13 pour produire le courant de polarisation de repos désiré dans les transistors de sortie 12 et 13, sans effectuer un ajustement par laser ou sans régler de toute autre manière la valeur des résistances 54 et/ou 55.

On peut donc voir aisément qu'un avantage important du circuit de polarisation des figures 1A et 1B, par rapport au circuit multiplicateur de V_{BE} de la figure 2C, consiste en ce qu'un tel réglage ou ajustement par laser n'est jamais nécessaire pour les circuits de polarisation des figures 1A et 1B, du fait que le courant de polarisation de repos qui traverse les transistors de sortie 12 et 13 sera défini en établissant une relation de coïncidence ou un certain rapport entre le transistor PNP de rappel au potentiel haut 12 et le transistor NPN 14 et, de façon similaire, en établissant une relation de coïncidence ou un

certain rapport entre le transistor PNP de rappel au niveau bas 13 et le transistor PNP 3, si le circuit de la figure 1A ou 1B est utilisé pour fournir le courant de polarisation pour le circuit de sortie symétrique 12, 13.

5 Les équations (3) et (4) ci-dessus supposent que le courant I se divise de façon égale entre le transistor PNP 3 et le transistor NPN 4. Cependant, si cette hypothèse n'est pas valide, on peut baser des équations exactes sur le circuit qui est représenté sur la figure 5A pour le circuit de polarisation à transistors connectés en diode du type décrit ci-dessus, et sur le circuit représenté sur la figure 5B pour le circuit de polarisation de la présente invention. Pour la connexion en série du transistor PNP connecté en diode 43 et du transistor NPN connecté en diode 15 44 de la figure 5A, la tension V_A est donnée par l'équation :

$$(6) \quad V_A = \frac{kT}{q} \ln \left[\frac{I^2}{I_{sp} I_{sn}} \right]$$

Pour le circuit de la figure 5B, V_B est donnée par l'équation :

$$20 (7) \quad V_B = V_{TH} \ln \left(\frac{I_{Ep}}{I_{sp}} \right) + V_{TH} \ln \left(\frac{I_{En}}{I_{sn}} \right)$$

Du fait que les électrodes de base sont seulement connectées l'une à l'autre, les courants de base sont égaux, c'est-à-dire :

$$(8) \quad I_{Bp} = I_{Bn}$$

25 Du fait que $I_{Bp} = \frac{I_{Ep}}{\beta_p + 1}$ et $I_{Bn} = \frac{I_{En}}{\beta_n + 1}$, en désignant par β_p et β_n les rapports entre le courant de collecteur et le courant de base pour les transistors respectifs PNP et NPN, et du fait que β_p et β_n sont supérieurs à 1, il en résulte que :

$$(9) \quad \frac{I_{Ep}}{\beta_p + 1} = \frac{I_{En}}{\beta_n + 1}$$

et

$$(10) \quad \frac{I_{Ep}}{I_{En}} \approx \frac{\beta_p}{\beta_n}$$

La figure 5B montre que :

$$5 \quad (11) \quad 2I = I_{Ep} + I_{Cn} = I_{En} + I_{Cp}$$

Du fait que $I_{Cn} \approx I_{En}$, on a :

$$(12) \quad 2I \approx I_{Ep} + I_{En}$$

Du fait que d'après l'équation (10), $I_{Ep} = \frac{\beta_p I_{En}}{\beta_n}$, il en résulte que :

$$10 \quad (13) \quad 2I = I_{En} \left(1 + \frac{\beta_p}{\beta_n} \right) = I_{En} \left(\frac{\beta_p + \beta_n}{\beta_n} \right).$$

En substituant $I_{Ep} = \frac{I_{En} \beta_p}{\beta_n}$ dans l'équation (7), on obtient :

$$(14) \quad V_B = V_{TH} \ln \left[\frac{1}{I_{sp} I_{sn}} \left(\frac{\beta_p I_{En}^2}{\beta_n} \right) \right]$$

Du fait que d'après l'équation (13), $I_{En} = \frac{\beta_n 2I}{\beta_p + \beta_n}$, la substitution de cette valeur de I_{En} dans l'équation (14) conduit à :

$$(15) \quad V_B = V_{TH} \ln \left[\frac{1}{I_{sp} I_{sn}} \left(\frac{\beta_p \beta_n^2 4I}{\beta_n (\beta_p + \beta_n)^2} \right) \right]$$

Par conséquent :

$$(16) \quad V_B = V_{TH} \ln \left[\frac{I^2 \beta_n}{I_{sp} I_{sn} (\beta_p + \beta_n)^2} \right]$$

Si β_n est fixé égal à $k \beta_p$, l'équation (16) devient :

$$(17) \quad V_B = V_{TH} \ln \left[\frac{I^2 4k}{I_{sp} I_{sn} (1+k)^2} \right]$$

On peut développer cette expression pour donner :

$$5 (18) \quad V_B = V_{TH} \ln \left[\frac{I^2}{I_{sp} I_{sn}} \right] + V_{TH} \ln \left[\frac{4k}{(1+k)^2} \right]$$

en désignant par k le rapport entre β_n et β_p .

Si k est égal à 1, c'est-à-dire si β_n et β_p sont égaux, le second terme de l'équation (18) est égal à zéro. Cependant, lorsque β_p et β_n sont inégaux, le second terme n'est pas
10 égal à zéro. Par exemple, si $\beta_p = 50$ et $\beta_n = 500$, le second terme de l'équation (18) est égal à -28,5 millivolts à la température ambiante.

La figure 6 montre une variante des parties de circuit de $2V_{BE}$ des figures 1A et 1B, dans laquelle la base
15 et le collecteur d'un transistor PNP 41 sont connectés aux bases des transistors 3 et 4, et son émetteur est connecté au conducteur 5. La base et le collecteur d'un transistor NPN 42 sont connectés aux bases des transistors 3 et 4, et son émetteur est connecté au conducteur 6. Comme sur les
20 figures 1A et 1B, aucune résistance n'est connectée entre les bases des transistors 3 et 4 et à l'un ou l'autre des conducteurs 5 et 6. Les aires d'émetteur des transistors 81 et 82 sont égales à x . L'aire d'émetteur du transistor 3 est égale à Mx et l'aire d'émetteur du transistor 4 est

égale à N_x .

On peut voir que les transistors 81 et 82 imposent une condition selon laquelle les courants I_3 et I_4 sont indépendants de β_n et β_p , et sont commandés par les valeurs de M et N . On peut comprendre ceci en notant que les transistors 81 et 3 forment un premier circuit miroir de courant dans lequel I_3 est égal à MI_5 , et les transistors 82 et 4 forment un second circuit miroir de courant dans lequel I_4 est égal à NI_5 .

La figure 4 montre une forme modifiée d'un circuit de type suiveur en losange dans lequel les circuits de polarisation des figures 1A et 1B sont utilisés pour assurer des tensions collecteur-base uniformes et constantes (c'est-à-dire indépendantes de V_{ENTREE}) sur les transistors d'acheminement de signal 22, 24, 26 et 29. Ceci conduit à une valeur faible pour la distorsion qui pourrait par ailleurs résulter de non-linéarités dans les capacités collecteur-base. Sur la figure 4, le circuit de polarisation 1 comporte une borne de sortie 5B qui est connectée aux bases des transistors NPN 23 et 25, dont les collecteurs sont connectés à $+V_{CC}$. L'autre borne de sortie 6B du circuit de polarisation 1 est connectée à la base du transistor NPN 26 et à l'émetteur du transistor PNP 24. Le collecteur du transistor 26 est connecté à l'émetteur du transistor 25. L'émetteur du transistor 26 est connecté au conducteur V_{SORTIE} 27. L'émetteur du transistor 23 est connecté au collecteur du transistor NPN 22, dont la base est connectée à la base du transistor 24 et au conducteur V_{ENTREE} 21. On peut voir que le circuit de polarisation 1 remplit la fonction d'un circuit de décalage de niveau de $2V_{BE}$, pour fournir une tension de polarisation pour les bases des transistors 23 et 25. L'émetteur du transistor 22 est connecté au conducteur 5A du circuit de polarisation 1A de la figure 1B. Le conducteur 5A est également connecté à la base du transistor PNP 29, dont l'émetteur est connecté au conduc-

teur V_{SORTIE} 27 et dont le collecteur est connecté à l'émetteur du transistor PNP 30. L'autre borne 6A du circuit de polarisation 1A est connectée à la base du transistor 30, dont le collecteur est connecté à $-V_{EE}$. Le circuit 5 de polarisation 1A remplit donc la fonction d'un circuit de décalage de niveau de $2V_{BE}$, pour fournir une tension de polarisation sur les bases des transistors 28 et 30. Ce circuit maintient constantes les tensions collecteur-base des transistors 26 et 29, et il évite donc une distorsion 10 en haute fréquence due à la non-linéarité des capacités de jonction collecteur-base de ces transistors.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Circuit destiné à produire une tension de référence entre une première borne (6) et une seconde borne (5), caractérisé en ce qu'il comprend, en combinaison :
 - 5 (a) un premier transistor (4) ayant un émetteur connecté à la première borne (6), une base, et un collecteur connecté à la seconde borne (5); (b) un second transistor (3) ayant un émetteur connecté à la seconde borne (5), une base connectée à la base du premier transistor (4) et un collecteur con-
 - 10 necté à la première borne (6); et (c) une source de courant (7) connectée à l'une des première et seconde bornes (6, 5) pour produire un premier courant dans le premier transistor (4) et un second courant dans le second transistor (3).
2. Circuit selon la revendication 1, caractérisé
15 en ce que la base du premier transistor (4) est connectée exclusivement à la base du second transistor (3).
3. Circuit selon la revendication 1, caractérisé en ce que le premier transistor (4) est un transistor NPN et le second transistor (3) est un transistor PNP.
- 20 4. Circuit selon la revendication 2, caractérisé en ce que la configuration géométrique du premier transistor (4) et la configuration géométrique du second transistor (3) sont sélectionnées de façon que le premier courant soit pratiquement égal au second courant.
- 25 5. Circuit selon la revendication 1, caractérisé en ce que la première borne (6) est connectée à une base d'un transistor PNP de rappel au potentiel bas (13) dont l'émetteur est connecté à une troisième borne (14), et la seconde borne (5) est connectée à une base d'un transistor
30 NPN de rappel au potentiel haut (12) dont l'émetteur est connecté à la troisième borne (14).
6. Circuit destiné à produire une tension de référence entre une première borne (6) et une seconde borne (5), caractérisé en ce qu'il comprend, en combinaison : (a)
35 un premier transistor (4) d'un premier type de conductivité

ayant une première électrode d'acheminement de courant qui est connectée à la première borne (6), une électrode de commande et une seconde borne d'acheminement de courant qui est connectée à la seconde borne (5); (b) un second transistor (3) d'un second type de conductivité ayant une première électrode d'acheminement de courant qui est connectée à la seconde borne (5), une électrode de commande qui est connectée à l'électrode de commande du premier transistor (4), et une seconde électrode d'acheminement de courant qui est connectée à la première borne (6); et (c) une source de courant (7) qui est connectée à l'une des première et seconde bornes (6, 5), pour produire un premier courant dans le premier transistor (4) et un second courant dans le second transistor (3).

15 7. Procédé pour produire une tension de référence entre des première et seconde bornes (5, 6), caractérisé en ce qu'il comprend les opérations suivantes : (a) on impose la circulation d'un premier courant dans la première borne (5) et dans un émetteur d'un transistor PNP (3) et un collecteur d'un transistor NPN (4); (b) on fait en sorte qu'une première partie du premier courant circule dans l'émetteur du transistor PNP (3) et on produit une tension V_{BE} PNP entre l'émetteur et une base du transistor PNP (3), sous l'effet de la première partie du premier courant; (c) 25 on fait en sorte qu'un courant de base qui sort de la base du transistor PNP (3) entre dans une base du transistor NPN (4), et on produit une tension V_{BE} NPN entre la base et un émetteur du transistor NPN (4), sous l'effet du courant de base, pour qu'une seconde partie du premier courant circule 30 de la première borne (5) vers un collecteur du transistor NPN (4); et (d) on fait en sorte qu'un courant de collecteur du transistor PNP (3) entre dans la seconde borne (6) et un courant d'émetteur du transistor NPN (4) entre dans la seconde borne (6); grâce à quoi la tension de référence 35 est égale à la somme de la tension V_{BE} PNP et de la tension

V_{BE} NPN.

8. Procédé selon la revendication 11, caractérisé en ce qu'il comprend l'opération qui consiste à utiliser la tension de référence pour produire un courant de polarisation de repos indépendant du processus de fabrication, dans un étage à transistors symétrique (12, 13), en connectant la première borne (5) à une base d'un transistor NPN de rappel au potentiel haut (12) ayant un émetteur connecté à une borne de sortie (14), et en connectant la seconde
10 borne (6) à une base d'un transistor PNP de rappel au potentiel bas (13) ayant un émetteur connecté à une borne de sortie (14), grâce à quoi le courant de polarisation de repos qui traverse le transistor NPN de rappel au potentiel haut (12) et le transistor PNP de rappel au potentiel bas
15 (13) est fondamentalement indépendant de variations induites par le processus de fabrication, dans un courant de saturation PNP et un courant de saturation NPN.

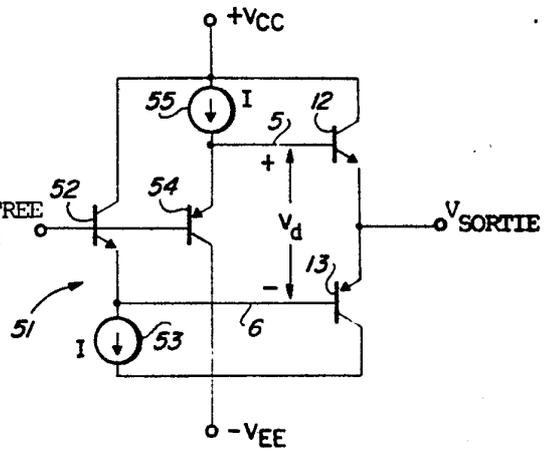
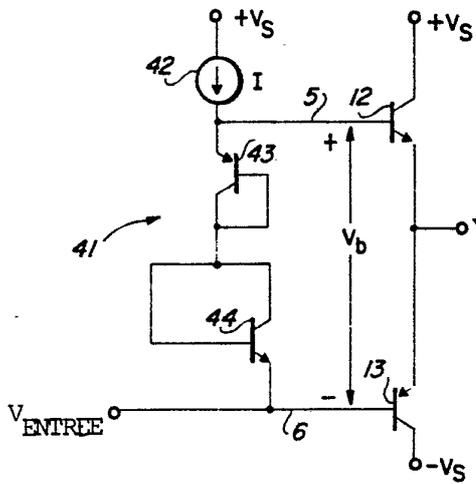
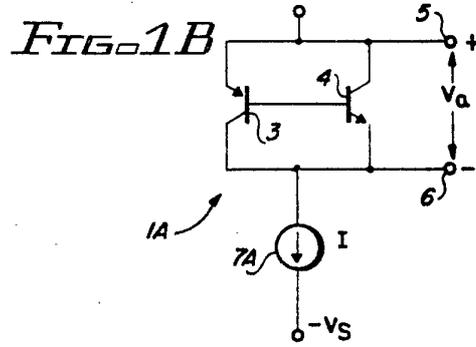
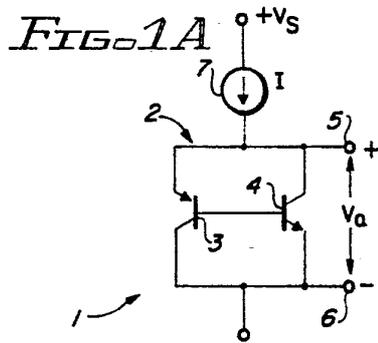


FIG. 2A

FIG. 2B

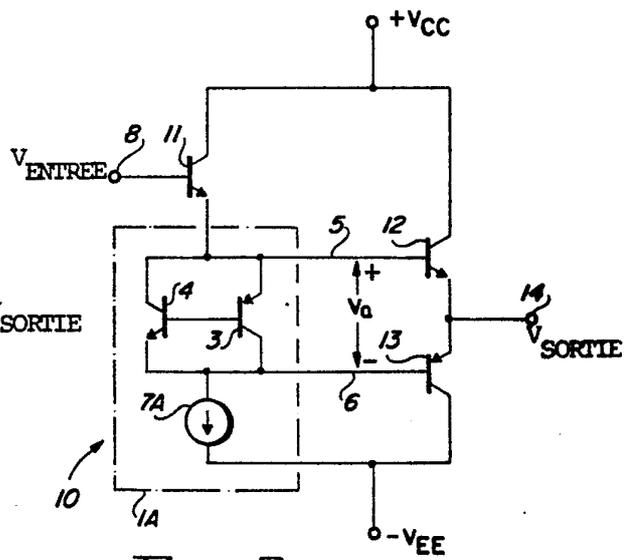
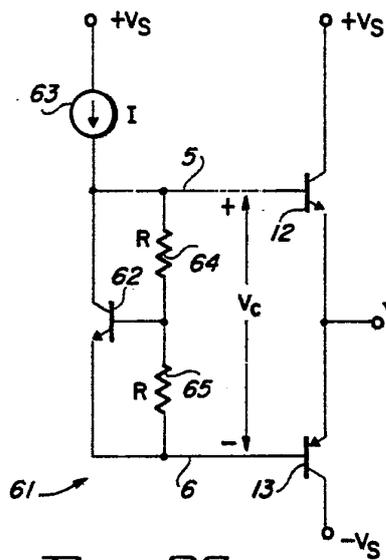


FIG. 2C

FIG. 3

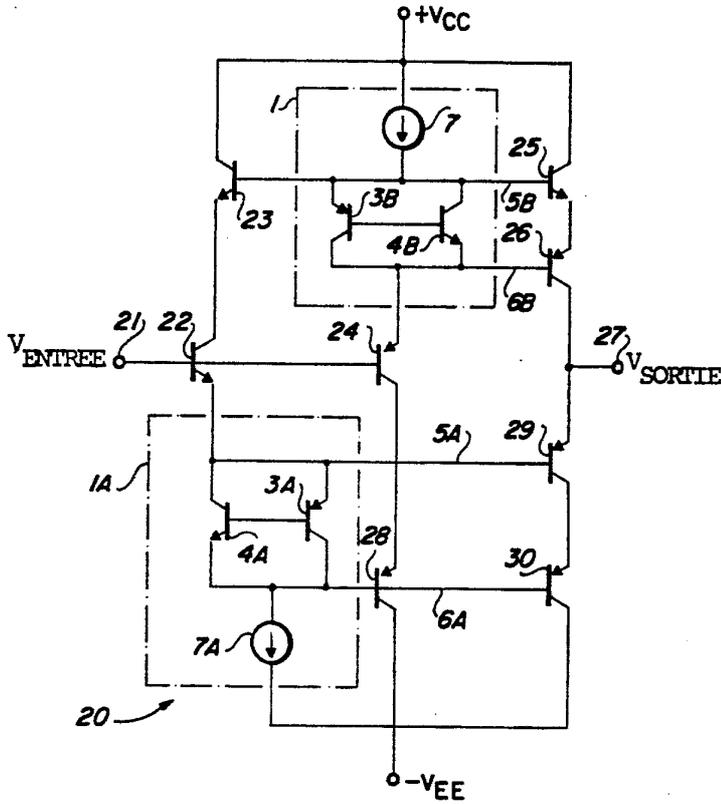


FIG. 4

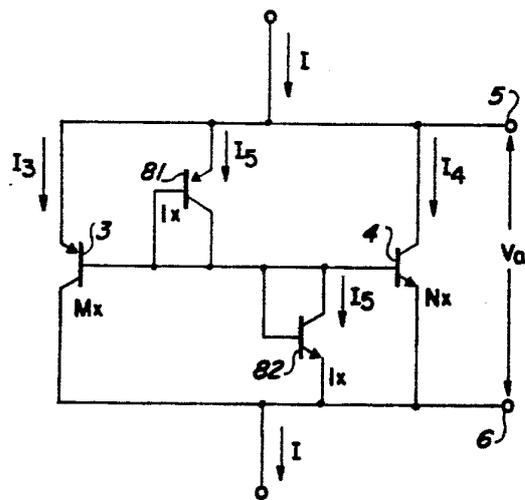


FIG. 6

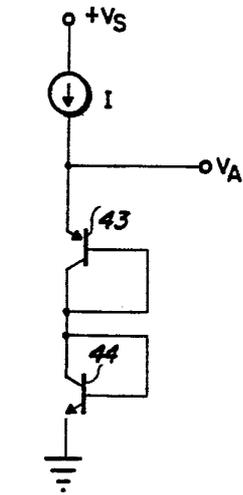


FIG. 5A

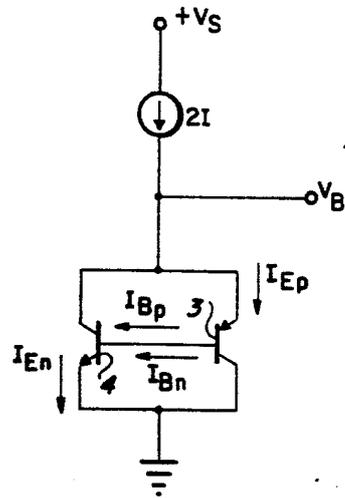


FIG. 5B