

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 982 720

21 N° d'enregistrement national : 11 60349

51 Int Cl⁸ : H 03 K 17/56 (2013.01), H 03 K 17/08

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 15.11.11.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 17.05.13 Bulletin 13/20.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA Société anonyme — FR.

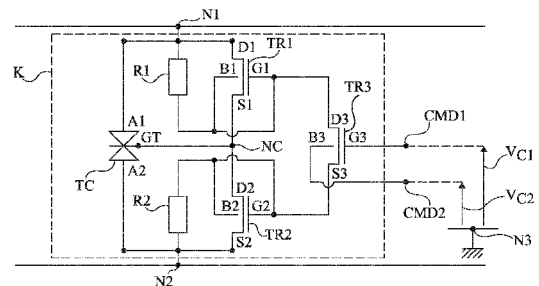
72 Inventeur(s) : GALY PHILIPPE et BOURGEAT JOHAN.

73 Titulaire(s) : STMICROELECTRONICS SA Société anonyme.

74 Mandataire(s) : CABINET BEAUMONT Société à responsabilité limitée.

54 INTERRUPTEUR DE PUISSANCE.

57 L'invention concerne un interrupteur de puissance (K) comprenant: des premier (TR1) et deuxième (TR2) transistors MOS en série entre des premier (N1) et deuxième (N2) noeuds, chacun des premier et deuxième transistors ayant sa grille (G1; G2) couplée à son substrat (B1; B2); des premiers (R1) et second (R2) éléments résistifs couplés respectivement entre la grille (G1) du premier transistor (TR1) et le premier noeud (N1), et entre la grille (G2) du deuxième transistor (TR2) et le deuxième noeud (N2); un triac (TC) couplé entre les premier (N1) et deuxième (N2) noeuds, la gâchette (GT) du triac étant couplée à un troisième noeud (NC) commun aux premier (TR1) et deuxième (TR2) transistors; et un troisième transistor (TR3) MOS ayant une première électrode de conduction (D3) couplée à la grille (G1) du premier transistor (TR1) et une deuxième électrode de conduction (S3) couplée à la grille (G2) du deuxième transistor (TR2).



FR 2 982 720 - A1



INTERRUPTEUR DE PUISSANCEDomaine de l'invention

La présente invention concerne de façon générale les circuits électroniques. Elle vise plus particulièrement le domaine des interrupteurs électroniques de puissance, c'est-à-dire des interrupteurs à commande électrique adaptés à tenir des tensions relativement élevées à l'état ouvert (bloqué) et à laisser passer des courants relativement importants à l'état fermé (passant).

Exposé de l'art antérieur

10 Il est connu d'utiliser un transistor MOS en tant qu'interrupteur de puissance, par exemple pour bloquer ou rétablir le passage d'un courant d'alimentation dans un circuit électrique. A titre d'exemple, un transistor MOS peut être utilisé pour commander une lampe ou un moteur en série avec le transistor, le tout recevant une tension d'alimentation continue ou alternative. Les transistors MOS utilisés en tant qu'interrupteurs de puissance peuvent être des composants discrets, ou des composants intégrés (par exemple dans une puce semi-conductrice réalisée en technologie CMOS).

20 Un inconvénient des interrupteurs de ce type est qu'il faut une surface semiconductrice importante pour pouvoir

réaliser un transistor MOS apte à tenir des tensions élevées et à laisser passer des courants importants.

De plus, à l'état ouvert, les transistors MOS présentent des courants de fuite non négligeables, entraînant des pertes d'énergie indésirables.

Résumé

Ainsi, un objet d'un mode de réalisation de la présente invention est de prévoir un interrupteur de puissance palliant au moins en partie certains des inconvénients des interrupteurs connus.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un interrupteur de puissance occupant, à tenue en puissance identique ou du même ordre, une surface semiconductrice plus faible que les interrupteurs à transistor MOS.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un interrupteur de puissance présentant des courants de fuite moins élevés que les interrupteurs à transistor MOS.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un interrupteur symétrique, c'est-à-dire adapté à être commandé en fermeture quel que soit le signe de la tension à ses bornes à l'état ouvert.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un interrupteur de puissance adapté à être intégré à une puce semiconductrice réalisée en technologie CMOS.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un interrupteur de puissance susceptible de servir d'élément d'évacuation du courant en cas de surtension brutale (décharge électrostatique) survenant à ses bornes.

Ainsi, un mode de réalisation de la présente invention prévoit un interrupteur de puissance comprenant : des premier et deuxième transistors MOS en série entre des premier et deuxième

noeuds, chacun des premier et deuxième transistors ayant sa grille couplée à son substrat ; des premiers et second éléments résistifs couplés respectivement entre la grille du premier transistor et le premier noeud, et entre la grille du deuxième transistor et le deuxième noeud ; un triac couplé entre les premier et deuxième noeuds, la gâchette du triac étant couplée à un troisième noeud commun aux premier et deuxième transistors ; et un troisième transistor MOS ayant une première électrode de conduction couplée à la grille du premier transistor et une deuxième électrode de conduction couplée à la grille du deuxième transistor.

Selon un mode de réalisation de la présente invention, la grille et le substrat du premier transistor ne sont pas directement connectés à l'une ou l'autre de ses électrodes de conduction, et la grille et le substrat du deuxième transistor ne sont pas directement connectés à l'une ou l'autre de ses électrodes de conduction.

Selon un mode de réalisation de la présente invention, les premier à troisième transistors sont des transistors MOS à canal N.

Selon un mode de réalisation de la présente invention, l'interrupteur comporte au moins une première borne de commande couplée à la grille du troisième transistor.

Selon un mode de réalisation de la présente invention, l'interrupteur comporte au moins une deuxième borne de commande couplée au substrat du troisième transistor.

Selon un mode de réalisation de la présente invention, l'interrupteur comporte en outre une première diode commandée dont l'anode est couplée au premier noeud et dont la cathode est couplée au troisième noeud, et une seconde diode commandée dont l'anode est couplée au deuxième noeud et dont la cathode est couplée au troisième noeud, une grille de commande de la première diode étant couplée à la grille du premier transistor, et une grille de commande de la seconde diode étant couplée à la grille du deuxième transistor.

Selon un mode de réalisation de la présente invention, le troisième transistor est commandé par application d'un signal de commande référencé par rapport à un quatrième noeud distinct des premier, deuxième et troisième noeuds.

5 Un autre mode de réalisation de la présente invention prévoit d'utiliser un transistor du type susmentionné pour commander une charge alimentée par une tension continue.

10 Un autre mode de réalisation de la présente invention prévoit d'utiliser un transistor du type susmentionné pour commander une charge alimentée par une tension alternative.

Un autre mode de réalisation de la présente invention prévoit d'utiliser un transistor du type susmentionné pour commuter des sources d'alimentation électrique.

15 Un autre mode de réalisation de la présente invention prévoit un circuit intégré réalisé en technologie CMOS, comprenant un interrupteur du type susmentionné.

Brève description des dessins

20 Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 est un schéma électrique illustrant un exemple de réalisation d'un circuit comportant un composant et un dispositif de protection de ce composant contre des décharges électrostatiques ;

la figure 2 est un schéma électrique illustrant un mode de réalisation d'un interrupteur de puissance ; et

la figure 3 est un schéma électrique illustrant une variante de réalisation de l'interrupteur de la figure 2.

30 Description détaillée

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures. De plus, seuls les éléments utiles à la compréhension de l'invention ont été représentés et seront décrits par la suite.

35 En particulier, les dispositifs utilisés pour fournir un signal

de commande à l'interrupteur n'ont pas été détaillés, les modes de réalisation décrits étant compatibles avec les dispositifs de commande usuels (photodétecteur, microcontrôleur, etc.).

La figure 1 est un schéma électrique illustrant un exemple de réalisation d'un circuit comportant un composant CMP, et un dispositif PR de protection de ce composant contre des décharges électrostatiques. Le composant CMP est connecté entre des bornes ou noeuds N1 et N2 du circuit, par exemple des bornes d'alimentation respectivement haute et basse du circuit.

Le dispositif de protection PR comporte un triac TC dont une première électrode de conduction A1 est couplée au noeud N1 et dont la deuxième électrode de conduction A2 est couplée au noeud N2. La gâchette GT du triac TC, qui est la gâchette de type N du triac dans cet exemple, est couplée à un noeud NC du dispositif PR. Dans l'exemple représenté, les bornes A1 et A2 et la gâchette GT sont directement connectées respectivement aux noeuds N1, N2 et NC.

Le dispositif PR comporte en outre des transistors TR1 et TR2 en série entre les noeuds N1 et N2. Les première et deuxième électrodes de conduction D1 et S1 du transistor TR1 sont couplées aux noeuds N1 et NC respectivement, et les première et deuxième électrodes de conduction D2 et S2 du transistor TR2 sont couplées aux noeuds NC et N2 respectivement. On notera qu'on appelle ici électrodes de conduction d'un transistor MOS les électrodes reliées aux régions de source et de drain de ce transistor. L'homme du métier sait que la structure d'un transistor MOS est symétrique vis-à-vis de ses deux électrodes de conduction et qu'en pratique, le drain est désigné comme étant l'électrode portée à un potentiel haut par rapport à un potentiel bas appliqué sur l'autre électrode qui est alors désigné comme la source. Dans l'exemple représenté, les transistors TR1 et TR2 sont des transistors MOS à canal N. De plus, dans cet exemple, les électrodes D1 et S1 sont directement connectées aux noeuds N1 et NC respectivement, et les électrodes D2 et S2 sont directement connectées aux noeuds

NC et N2 respectivement. Le transistor TR1 a sa grille G1 couplée à son substrat B1, la grille G1 et le substrat B1 n'étant pas directement connectés à l'une ou l'autre des électrodes D1 et S1. De même, le transistor TR2 a sa grille G2 couplée à son substrat B2, la grille G2 et le substrat B2 n'étant pas directement connectés à l'une ou l'autre des électrodes D2 et S2. Dans cet exemple, le transistor TR1 a sa grille G1 directement connectée à son substrat B1, et le transistor TR2 a sa grille G2 directement connectée à son substrat B2. Le dispositif PR comprend de plus un élément résistif R1 couplé entre le substrat B1 du transistor TR1 et le noeud N1, et un élément résistif R2 couplé entre le substrat B2 du transistor TR2 et le noeud N2.

Le fonctionnement du dispositif de protection PR est expliqué en détail dans la demande de brevet français 1054363 déposée le 3 juin 2010, et plus particulièrement en relation avec les figures 14 et 22 de cette demande de brevet. Le dispositif PR utilise le principe d'un fonctionnement hybride d'un transistor MOS, qui a été exposé dans l'article de P. Galy et V. Berland intitulé "Ideal Gummel curves simulation of high current gain vertical NPN BIMOS transistor", INT. J. ELECTRONICS, 1996, vol. 80 N°6, 717-726, et dont l'application à la protection d'un composant contre des décharges électrostatiques est décrite dans la demande de brevet français susmentionnée.

En présence d'une décharge électrostatique positive entre les noeuds N1 et N2, c'est-à-dire donnant lieu à une différence de potentiel positive entre les noeuds N1 et N2 (impulsion de courant allant du noeud N1 vers le noeud N2), le circuit comportant les transistors TR1 et TR2 et les résistances R1 et R2 se comporte comme un élément déclencheur ("trigger"), provoquant la fermeture du triac, ce qui permet l'évacuation de la décharge électrostatique.

Le triac TC et les transistors MOS étant des structures symétriques, le dispositif PR se comporte de façon

symétrique en présence d'une décharge électrostatique négative entre les noeuds N1 et N2, c'est-à-dire qu'il évacue la décharge avant que cette dernière n'endommage le composant CMP.

En régime établi, c'est-à-dire lorsque le composant
5 CMP est en fonctionnement, avec par exemple des potentiels d'alimentation haut et bas présents respectivement sur les noeuds N1 et N2, les électrodes D1 et S1 forment respectivement le drain et la source du transistor TR1, et les électrodes D2 et S2 forment respectivement le drain et la source du transistor
10 TR2. La résistance R1 et la jonction PN (passante) substrat-source du transistor TR1 tirent à un niveau haut le potentiel du noeud NC. La jonction PN substrat-drain du transistor TR2 est non passante puisque le potentiel du substrat B2 du transistor TR2 est tiré à un niveau bas par l'intermédiaire de la
15 résistance R2 reliée au noeud V2. Le potentiel de la grille G2 du transistor TR2 est également tiré à un niveau bas par l'intermédiaire de la résistance R2. Le transistor TR2 est donc bloqué, empêchant tout déclenchement du dispositif PR.

Du fait de la symétrie de la structure, le
20 comportement du dispositif PR est similaire si les potentiels haut et bas d'alimentation sont inversés, c'est-à-dire que le dispositif reste bloqué en régime établi.

Comme cela est expliqué dans la demande de brevet français susmentionné, le dispositif de protection PR se prête
25 particulièrement bien à une intégration dans des puces semiconductrices réalisées dans des technologies CMOS avancées, par exemple inférieures à 1 micromètre, et de façon plus significative encore dans des technologies inférieures à 65 nanomètres, par exemple les technologies 45 nanomètres et 32
30 nanomètres. En effet, ces technologies confèrent une importance plus grande au comportement bipolaire parasite du transistor MOS, ce qui favorise le fonctionnement hybride des transistors TR1 et TR2 pour un déclenchement rapide de la protection en cas de décharge électrostatique.

Selon un aspect d'un mode de réalisation, on prévoit de modifier le dispositif PR de la figure 1 pour réaliser un interrupteur de puissance susceptible d'être commandé en fermeture en régime établi.

5 La figure 2 est un schéma électrique illustrant un mode de réalisation d'un interrupteur de puissance K, c'est-à-dire un interrupteur apte à commuter des courants de l'ordre de 100 mA ou plus, connecté entre des noeuds N1 et N2 d'un circuit, les noeuds N1 et N2 pouvant être couplés, directement ou
10 indirectement (par exemple par l'intermédiaire d'une charge), à des bornes d'alimentation du circuit.

L'interrupteur K comprend les mêmes éléments que le dispositif PR de la figure 1, agencés de la même manière entre les noeuds N1 et N2, et comprend en outre un transistor MOS TR3
15 dont une première électrode de conduction D3 est couplée à la grille G1 du transistor TR1 et dont la deuxième électrode de conduction S3 est couplée à la grille G2 du transistor TR2. Dans l'exemple représenté, le transistor TR3 est un transistor à canal N. De plus, dans cet exemple, les électrodes D3 et S3 du
20 transistor TR3 sont directement connectées respectivement à la grille G1 du transistor TR1 et à la grille G2 du transistor TR2. Un premier noeud de commande CMD1 de l'interrupteur K est couplé à la grille G3 du transistor TR3 et un second noeud de commande CMD2 de l'interrupteur K est couplé au substrat B3 du transistor
25 TR3, la grille G3 et le substrat B3 n'étant pas connectés directement à l'une ou l'autre des électrodes D3 et S3.

En régime établi, par exemple lorsqu'une tension positive continue est appliquée entre les noeuds N1 et N2, si le transistor TR3 est maintenu ouvert (non passant), l'interrupteur
30 K a le même comportement que le dispositif PR de la figure 1 en régime établi, c'est-à-dire qu'il reste bloqué. Les potentiels des électrodes D3 et S3 du transistor TR3 sont tirés respectivement à un niveau haut par l'intermédiaire de la résistance R1 et à un niveau bas par l'intermédiaire de la
35 résistance R2.

Si le transistor TR3 est fermé, le potentiel de la grille G2 du transistor TR2 est ramené à un niveau haut par rapport au potentiel de la source S2 de ce transistor, qui est couplée au noeud de potentiel bas N2. Ceci entraîne la mise en
5 conduction du transistor TR2, et la circulation d'un courant entre les noeuds N1 et N2, passant par la jonction PN entre la borne A1 et la gâchette GT du triac, et par le transistor TR2. Ce courant provoque le déclenchement du triac, c'est-à-dire la mise en conduction de l'interrupteur K.

10 Une fois le triac TC déclenché, ce dernier ne se bloque que lorsque le courant qui le traverse devient inférieur à un seuil.

Si la tension d'alimentation du circuit comprenant l'interrupteur K est une tension continue, et si l'on souhaite
15 pouvoir également commander l'interrupteur K en ouverture, il faut prévoir un dispositif supplémentaire, non représenté, adapté à interrompre, au moins temporairement, la circulation du courant entre les noeuds N1 et N2. Ce dispositif supplémentaire peut être un dispositif à commande électrique, ou un
20 interrupteur mécanique.

A titre d'exemple, une application possible de l'interrupteur K est le déclenchement d'une alarme (lumineuse, sonore, ou autre) sur un évènement quelconque, par exemple la
25 détection d'un individu à l'intérieur d'un bâtiment au moyen d'un photodétecteur. Une fois déclenchée, l'alarme ne peut être arrêtée que par l'actionnement d'un interrupteur mécanique configuré pour interrompre le passage du courant dans le triac.

Si la tension d'alimentation du circuit comprenant l'interrupteur K est une tension alternative, le triac se bloque
30 automatiquement à chaque passage à zéro de la tension alternative. Il n'est donc pas nécessaire de prévoir un dispositif supplémentaire spécifique pour ouvrir le triac après que ce dernier ait été rendu passant. L'interrupteur K peut par exemple être utilisé pour commander la puissance fournie à une
35 charge en série avec l'interrupteur, le tout recevant la tension

alternative d'alimentation. L'instant de chaque alternance (positive et/ou négative) auquel l'interrupteur K est mis en conduction, détermine la puissance fournie à la charge. En particulier, un déclenchement en début d'alternance revient à
5 fournir à la charge une puissance plus importante qu'un déclenchement en fin d'alternance.

Dans l'exemple représenté, l'interrupteur K comprend deux noeuds de commande CMD1 et CMD2 permettant chacun de fermer et d'ouvrir le transistor TR3. On désigne par V_{C1} la tension de
10 commande appliquée entre le noeud CMD1 (couplé à la grille G1) et un noeud de masse N3 du circuit, et par V_{C2} la tension de commande appliquée entre le noeud CMD2 (couplé à la grille G2) et la masse N3.

Dans un premier exemple, le noeud CM2 est relié à la
15 masse N3, c'est-à-dire que la tension V_{C2} est toujours nulle, et la commande du transistor TR3 se fait en faisant varier la tension V_{C1} . Lorsque la tension V_{C1} est à un état bas (par exemple 0 volt), le transistor TR3 est non passant, et lorsque la tension V_{C1} est à un état haut (par exemple de l'ordre de 1,5
20 volt), le transistor TR3 est passant. Ceci correspond à un mode de commande classique d'un transistor MOS à canal N.

Dans un deuxième exemple, les noeuds CMD1 et CMD2 sont reliés entre eux, c'est-à-dire que les tensions V_{C1} et V_{C2} sont
25 identiques. Lorsque les tensions V_{C1} et V_{C2} sont à un état bas (par exemple 0 volt), le transistor TR3 est non passant, et lorsque les tensions V_{C1} et V_{C2} sont à un état haut (par exemple 1,5 volt), le transistor TR3 est passant. Lors de sa mise en conduction, le transistor TR3 ayant son substrat polarisé à un potentiel positif, passe par un fonctionnement hybride c'est-à-
30 dire dans lequel à la fois le transistor MOS et le transistor bipolaire parasite associé au transistor MOS sont exploités. Ceci permet une mise en conduction plus rapide du transistor par rapport à un fonctionnement MOS classique.

Dans un troisième exemple, le noeud CMD1 est relié à
35 la masse N3, c'est-à-dire que la tension V_{C1} est toujours nulle,

et la commande du transistor TR3 se fait en faisant varier la tension V_{C2} . Lorsque la tension V_{C2} est à un état bas (par exemple 0 volt), le transistor TR3 est non passant, et lorsque la tension V_{C2} est à un état haut (par exemple de l'ordre de 1,5
5 volt), le transistor bipolaire parasite du transistor TR3, dont la base, l'émetteur et le collecteur correspondent respectivement au substrat, à la source et au drain du transistor MOS, devient passant. Une différence par rapport au premier exemple (fonctionnement MOS classique), est que la commande du
10 transistor bipolaire parasite du transistor TR3 est une commande en courant (injection d'un courant base-émetteur), et non pas une commande en tension (tension positive grille-source).

Plus généralement, l'homme du métier saura choisir un mode de commande du transistor TR3 adapté aux contraintes de
15 l'application, et notamment adapté aux caractéristiques du circuit de commande (non représenté) de l'interrupteur, et de la vitesse de commutation souhaitée. Le cas échéant, l'homme du métier pourra utiliser un transistor MOS (à canal N ou à canal P) TR3 classique ne comportant qu'une unique borne de commande,
20 par exemple couplée à sa grille.

Dans l'exemple représenté, les signaux de commande V_{C1} et V_{C2} appliqués au transistor TR3 sont référencés par rapport à un noeud de masse N3 du circuit, distinct des noeuds N1 et N2. Ceci permet un fonctionnement parfaitement symétrique de
25 l'interrupteur, dans le cas où le signe de la tension entre les noeuds N1 et N2 serait inversé, ou dans le cas où le circuit ou la branche de circuit comprenant l'interrupteur K reçoit une tension d'alimentation alternative. En d'autres termes, l'utilisation d'un noeud de référence distinct des noeuds N1 et
30 N2 permet de commander l'interrupteur quel que soit le signe de la tension entre les noeuds N1 et N2.

Toutefois, si la tension d'alimentation du circuit comprenant l'interrupteur est toujours positive, ou si, dans le cas d'un circuit alimenté par une tension alternative, on
35 prévoit de ne fermer l'interrupteur K que pendant des

alternances positives, c'est-à-dire lorsqu'une tension positive est présente entre les noeuds N1 et N2, les signaux de commande du transistor TR3 peuvent être référencés par rapport au noeud N2. A l'inverse, si l'on prévoit de ne fermer l'interrupteur K
5 que lorsqu'une tension négative est présente entre les bornes N1 et N2, les signaux de commande du transistor TR3 peuvent être référencés par rapport au noeud N1.

Dans un exemple particulier de réalisation, le transistor K est réalisé en technologie CMOS 32 nanomètres, et
10 voit, en fonctionnement, une tension de l'ordre de 2 volts à ses bornes (à l'état ouvert), et est traversé par des courants de l'ordre de 300 milliampères (à l'état fermé). Les transistors TR1, TR2 et TR3 sont par exemple réalisés avec la plus petite longueur de grille disponible dans la technologie, et avec une
15 largeur de grille de l'ordre de 10 micromètres. Les résistances R1 et R2 ont par exemple une valeur de l'ordre de 1000 ohms. Le triac TC, qui est une structure double P-N-P-N, comprend par exemple deux doigts réalisés de façon intégrée au sein de deux caissons semiconducteurs. On prévoit avantageusement de réaliser
20 les transistors TR1, TR2 et TR3, et les éléments résistifs R1 et R2 au sein des deux caissons contenant le triac. Les modes de réalisation décrits ne se limitent toutefois pas à cet exemple particulier.

Un avantage du mode de réalisation décrit en relation
25 avec la figure 2 est que, à tenue en puissance identique, l'interrupteur K occupe une surface de silicium nettement plus faible qu'un interrupteur utilisant un transistor MOS comme composant de puissance. A titre d'exemple, à tenue en puissance identique, un transistor MOS occupe une surface de silicium de
30 l'ordre de 10 à 20 fois plus importante qu'un triac. De plus, la surface occupée par les transistors TR1, TR2, et TR3, qui ne sont pas des composants de puissance, est négligeable devant la surface occupée par le triac.

Un autre avantage de l'interrupteur K est que les
35 courants de fuite sont nettement réduits par rapport à un

interrupteur utilisant un transistor MOS comme composant de puissance.

Un autre avantage de l'interrupteur K est qu'il est protégé contre d'éventuelles décharges électrostatiques qui pourraient survenir à ses bornes. En effet, si une décharge électrostatique survient alors que le transistor TR3 est non passant, l'interrupteur K aura le même comportement dynamique que le dispositif PR de la figure 1, c'est-à-dire que la mise en conduction du triac TC sera automatiquement déclenchée, permettant l'évacuation de la surtension.

La figure 3 est un schéma électrique illustrant une variante de réalisation de l'interrupteur K de la figure 2. Le schéma de la figure 3 comprend les mêmes éléments que le schéma de la figure 2. Il diffère du schéma de la figure 2 en ce qu'il comprend en outre une première diode commandée GD1 dont l'anode est couplée au noeud N1 et dont la cathode est couplée au noeud NC, et une deuxième diode commandée GD2 dont l'anode est couplée au noeud N2 et dont la cathode est couplée au noeud NC. La diode GD1 comporte une grille de commande couplée à la grille G1 du transistor TR1 et la diode GD2 comporte une grille de commande couplée à la grille G2 du transistor TR2. Dans cet exemple, les anodes des diodes GD1 et GD2 sont directement connectées respectivement au noeud N1 et au noeud N2, et les cathodes des diodes GD1 et GD2 sont directement connectées au noeud NC.

Les diodes GD1 et GD2 permettent d'ajuster la sensibilité du déclenchement en cas de décharge électrostatique (lorsque le transistor TR3 est ouvert). Les diodes GD1 et GD2 permettent notamment d'éviter des déclenchements indésirables en cas de bruit parasite sur le signal vu par les noeuds N1 et N2.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art.

En particulier, les modes de réalisation décrits ne se limitent pas aux exemples d'application mentionnés ci-dessus dans lesquels l'interrupteur K est utilisé pour commander une

charge en série avec l'interrupteur, le tout recevant une tension d'alimentation continue ou alternative. L'interrupteur K peut être utilisé dans toute autre configuration, par exemple dans des systèmes de gestion d'énergie pour commuter des sources d'alimentation électrique d'un appareil comportant plusieurs sources distinctes (plusieurs batteries par exemple).

Par ailleurs, bien que les modes de réalisation décrits soient particulièrement bien adaptés à une intégration dans une puce semiconductrice réalisée en technologie CMOS, ils ne se limitent pas à ce cas particulier. L'interrupteur K pourra aussi être réalisé en utilisant des composants discrets, par exemple dans des applications de forte puissance, pour commander des charges alimentées par la tension secteur du réseau de distribution électrique.

De plus, les modes de réalisation décrits ne se limitent pas au cas où les transistors TR1, TR2 et TR3 sont des transistors MOS à canal N. L'homme de l'art saura mettre en œuvre le fonctionnement recherché en utilisant des transistors à canal P. On notera toutefois que dans les technologies CMOS avancées, les transistors à canal N présentent l'avantage d'être plus petits et plus rapides que les transistors à canal P.

REVENDICATIONS

1. Interrupteur de puissance (K) comprenant :
 - des premier (TR1) et deuxième (TR2) transistors MOS en série entre des premier (N1) et deuxième (N2) noeuds, chacun des premier et deuxième transistors ayant sa grille (G1 ; G2) 5 couplée à son substrat (B1 ; B2) ;
 - des premiers (R1) et second (R2) éléments résistifs couplés respectivement entre la grille (G1) du premier transistor (TR1) et le premier noeud (N1), et entre la grille (G2) du deuxième transistor (TR2) et le deuxième noeud (N2) ;
 - 10 un triac (TC) couplé entre les premier (N1) et deuxième (N2) noeuds, la gâchette (GT) du triac étant couplée à un troisième noeud (NC) commun aux premier (TR1) et deuxième (TR2) transistors ; et
 - un troisième transistor (TR3) MOS ayant une première 15 électrode de conduction (D3) couplée à la grille (G1) du premier transistor (TR1) et une deuxième électrode de conduction (S3) couplée à la grille (G2) du deuxième transistor (TR2).
2. Interrupteur (K) selon la revendication 1, dans lequel la grille (G1) et le substrat (B1) du premier transistor 20 (TR1) ne sont pas directement connectés à l'une ou l'autre de ses électrodes de conduction (D1, S1), et la grille (G2) et le substrat (B2) du deuxième transistor (TR2) ne sont pas directement connectés à l'une ou l'autre de ses électrodes de conduction (D2, S2).
- 25 3. Interrupteur (K) selon la revendication 1 ou 2, dans lequel les premier à troisième transistors (TR1, TR2, TR3) sont des transistors MOS à canal N.
4. Interrupteur (K) selon l'une quelconque des revendications 1 à 3, comportant au moins une première borne de 30 commande (CMD1) couplée à la grille (G3) du troisième transistor (TR3).
5. Interrupteur (K) selon la revendication 4, comportant au moins une deuxième borne de commande (CM2) couplée au substrat (B3) du troisième transistor (TR3).

6. Interrupteur (K) selon l'une quelconque des revendications 1 à 5, comportant en outre une première diode commandée (GD1) dont l'anode est couplée au premier noeud (N1) et dont la cathode est couplée au troisième noeud (NC), et une
5 seconde diode commandée (GD2) dont l'anode est couplée au deuxième noeud (N2) et dont la cathode est couplée au troisième noeud (NC), une grille de commande de la première diode étant couplée à la grille (G1) du premier transistor (TR1), et une
10 grille de commande de la seconde diode (GD2) étant couplée à la grille (G2) du deuxième transistor (TR2).

7. Interrupteur (K) selon l'une quelconque des revendications 1 à 6, dans lequel le troisième transistor (TR3) est commandé par application d'un signal de commande référencé par rapport à un quatrième noeud (N3) distinct des premier (N1),
15 deuxième (N2) et troisième (NC) noeuds.

8. Utilisation d'un interrupteur (K) selon l'une quelconque des revendications 1 à 7, pour commander une charge alimentée par une tension continue.

9. Utilisation d'un interrupteur (K) selon l'une quelconque des revendications 1 à 7, pour commander une charge alimentée par une tension alternative.
20

10. Utilisation d'un interrupteur (K) selon l'une quelconque des revendications 1 à 7, pour commuter des sources d'alimentation électrique.

25 11. Circuit intégré réalisé en technologie CMOS, comprenant un interrupteur (K) selon l'une quelconque des revendications 1 à 7.

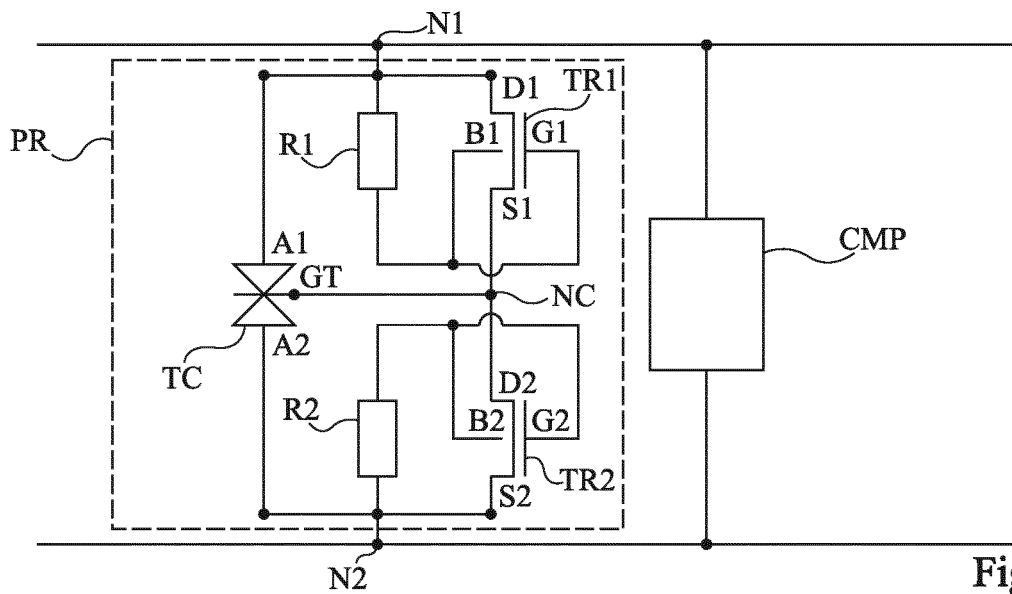


Fig 1

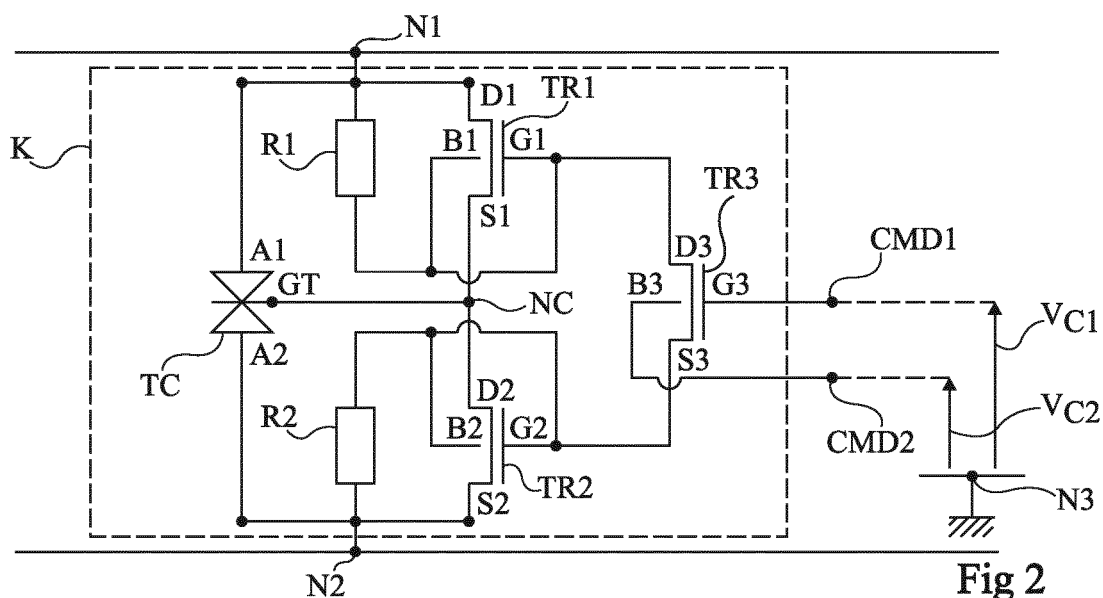


Fig 2

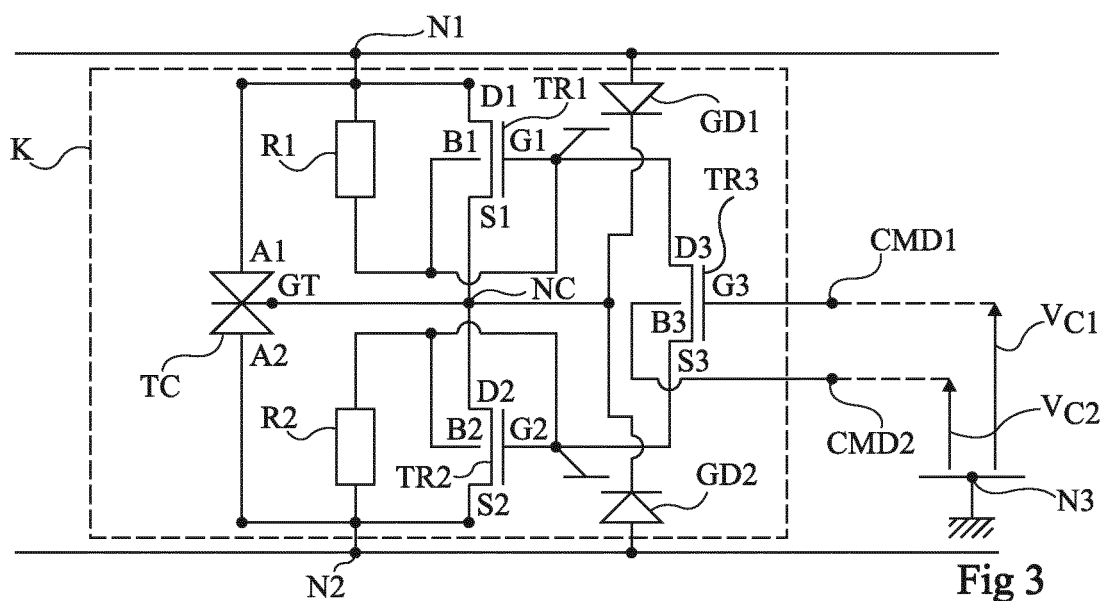


Fig 3


**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

 établi sur la base des dernières revendications
déposées avant le commencement de la recherche

 N° d'enregistrement
national

 FA 759889
FR 1160349

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	WO 2011/089179 A1 (ST MICROELECTRONICS SA [FR]; CENTRE NAT RECH SCIENT [FR]; GALY PHILIPP) 28 juillet 2011 (2011-07-28) * Without third transistor; page 10, ligne 8 - page 27, ligne 14; figure 22 * -----	1-11	H03K17/56 H03K17/08 DOMAINES TECHNIQUES RECHERCHÉS (IPC) H03K H01L
Date d'achèvement de la recherche		Examineur	
12 juillet 2012		Meulemans, Bart	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1160349 FA 759889**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **12-07-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2011089179	A1	28-07-2011	AUCUN
