

(12) 发明专利申请

(10) 申请公布号 CN 102544101 A

(43) 申请公布日 2012. 07. 04

(21) 申请号 201110419164. 4

(22) 申请日 2011. 12. 14

(30) 优先权数据

61/423, 036 2010. 12. 14 US

(71) 申请人 精材科技股份有限公司

地址 中国台湾桃园县

(72) 发明人 张恕铭 何彦仕 姚皓然

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 21/336(2006. 01)

H01L 21/56(2006. 01)

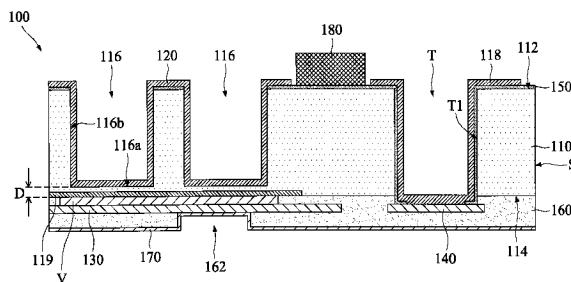
权利要求书 2 页 说明书 8 页 附图 32 页

(54) 发明名称

晶片封装体及其制作方法

(57) 摘要

本发明提供一种晶片封装体及其制作方法,晶片封装体包括一半导体基底,具有相反的一第一表面与一第二表面,且第一表面具有一凹槽;一漏极电极,配置于第一表面上并覆盖凹槽;一源极电极,配置于第二表面上,且与覆盖凹槽的漏极电极对应设置;以及一栅极电极,配置于第二表面上。本发明可提升导电效能,并提供足够的结构强度,以避免在传送半导体基底的过程中产生破片等情况,且在封装制程中,半导体基底可维持一定的平整度而不会因为厚度过薄而有边缘翘曲等情况产生。



1. 一种晶片封装体,其特征在于,包括:
 - 一半导体基底,具有相反的一第一表面与一第二表面,且该第一表面具有一凹槽;
 - 一漏极电极,配置于该第一表面上并覆盖该凹槽;
 - 一源极电极,配置于该第二表面上,且与覆盖该凹槽的该漏极电极对应设置;以及
 - 一栅极电极,配置于该第二表面上。
2. 根据权利要求1所述的晶片封装体,其特征在于,还包括:
 - 一导电结构,电性连接该栅极电极,并延伸至该第一表面上。
3. 根据权利要求2所述的晶片封装体,其特征在于,该半导体基底具有一对应于该栅极电极的通孔,该导电结构位于该通孔中并连接该栅极电极。
4. 根据权利要求3所述的晶片封装体,其特征在于,该通孔的邻近该第二表面的部分具有一阶梯式侧壁。
5. 根据权利要求2所述的晶片封装体,其特征在于,还包括:
 - 一绝缘层,位于该第二表面上,该绝缘层覆盖该栅极电极并具有一开口以暴露出该源极电极;以及
 - 一导电层,配置于该绝缘层上并经由该开口连接该源极电极。
6. 根据权利要求2所述的晶片封装体,其特征在于,还包括:
 - 一阻挡层,配置于该第一表面上,并位于该漏极电极与该导电结构之间。
7. 根据权利要求1所述的晶片封装体,其特征在于,该第一表面具有多个凹槽,且该漏极电极覆盖所述凹槽。
8. 根据权利要求1所述的晶片封装体,其特征在于,还包括:
 - 一绝缘层,位于该导电结构与该半导体基底之间,以使该导电结构与该半导体基底电性绝缘。
9. 根据权利要求1所述的晶片封装体,其特征在于,该漏极电极顺应性地覆盖该凹槽的底部与侧壁。
10. 根据权利要求1所述的晶片封装体,其特征在于,该凹槽的底部与该第二表面的间距为150微米至5微米。
11. 一种晶片封装体,其特征在于,包括:
 - 一半导体基底,具有相反的一第一表面与一第二表面,并具有至少一凹槽,该凹槽自该第一表面向该第二表面延伸,且该凹槽具有一底部;
 - 一漏极电极,配置于该第一表面上并覆盖该凹槽;
 - 一源极电极,配置于该第二表面上,且与覆盖该凹槽的该漏极电极对应设置;
 - 一栅极电极,配置于该第二表面上;
 - 一导电结构,电性连接该栅极电极,并贯穿该半导体基底以延伸至该第一表面上;
 - 一绝缘层,位于该第二表面上,该绝缘层覆盖该栅极电极并具有一开口以暴露出该源极电极;以及
 - 一导电层,配置于该绝缘层上并经由该开口连接该源极电极。
12. 一种晶片封装体的制作方法,其特征在于,包括:
 - 提供一半导体基底、一源极电极与一栅极电极,其中该半导体基底具有相反的一第一表面与一第二表面,该源极电极与该栅极电极位于该第二表面上;

于该第一表面上形成一第一凹槽,该第一凹槽对应于该源极电极;以及
于该第一表面上形成一覆盖该第一凹槽的漏极电极。

13. 根据权利要求 12 所述的晶片封装体的制作方法,其特征在于,还包括:
于该半导体基底上形成一通孔,该通孔对应于该栅极电极;以及
于该通孔中形成一导电结构,该导电结构连接该栅极电极并延伸至该第一表面上。

14. 根据权利要求 13 所述的晶片封装体的制作方法,其特征在于,还包括:
在形成该导电结构之前,于该第一表面与该通孔的内壁上形成一绝缘层,以使该导电结构与该半导体基底电性绝缘。

15. 根据权利要求 13 所述的晶片封装体的制作方法,其特征在于,该漏极电极与该导电结构于同一步骤中形成。

16. 根据权利要求 15 所述的晶片封装体的制作方法,其特征在于,该漏极电极与该导电结构的形成包括:

在形成该第一凹槽与该通孔之后,于该第一表面上并于该第一凹槽与该通孔之间形成一电镀罩幕层;

进行一电镀制程,以于该第一凹槽、该通孔以及该电镀罩幕层暴露出的该第一表面上形成该漏极电极与该导电结构;以及

移除该电镀罩幕层。

17. 根据权利要求 13 所述的晶片封装体的制作方法,其特征在于,还包括:

在形成该导电结构之后,于该第一表面上并于该漏极电极与该导电结构之间形成一阻挡层。

18. 根据权利要求 13 所述的晶片封装体的制作方法,其特征在于,该通孔的形成包括:
于该第一表面上形成一第二凹槽,该第二凹槽位于该栅极电极上方;以及
在形成该第一凹槽的同时,移除该半导体基底的位于该第二凹槽下方的部分。

19. 根据权利要求 18 所述的晶片封装体的制作方法,其特征在于,该通孔的形成还包括:

在该第一表面上形成一罩幕层,该罩幕层具有一第一开口以暴露部分该半导体基底;

以该罩幕层为罩幕移除该第一开口所暴露出的该半导体基底,以形成该第二凹槽;

图案化该罩幕层,以形成至少一第二开口并扩大该第一开口的宽度;

以该罩幕层为罩幕移除该第二开口与该第一开口所暴露出的该半导体基底,以形成该第一凹槽与该通孔;以及

移除该罩幕层。

20. 根据权利要求 13 所述的晶片封装体的制作方法,其特征在于,还包括:

于该第二表面上形成一绝缘层,该绝缘层覆盖该栅极电极,并具有一开口以暴露出该源极电极;以及

于该绝缘层上形成一导电层,该导电层经由该开口连接该源极电极。

晶片封装体及其制作方法

技术领域

[0001] 本发明有关于封装技术,且特别是有关于晶片封装体及其制作方法。

背景技术

[0002] 晶片封装制程是形成电子产品过程中的一重要步骤。晶片封装体除了将晶片保护于其中,使免受外界环境污染外,还提供晶片内部电子元件与外界的电性连接通路。

[0003] 使晶片封装体的效能提升且维持一定的结构强度已成为重要课题。

发明内容

[0004] 本发明一实施例提供一种晶片封装体,包括一半导体基底,具有相反的一第一表面与一第二表面,且第一表面具有一凹槽;一漏极电极,配置于第一表面上并覆盖凹槽;一源极电极,配置于第二表面上,且与覆盖凹槽的漏极电极对应设置;以及一栅极电极,配置于第二表面上。

[0005] 本发明所述的晶片封装体,还包括:一导电结构,电性连接该栅极电极,并延伸至该第一表面上。

[0006] 本发明所述的晶片封装体,该半导体基底具有一对应于该栅极电极的通孔,该导电结构位于该通孔中并连接该栅极电极。

[0007] 本发明所述的晶片封装体,该通孔的邻近该第二表面的部分具有一阶梯式侧壁。

[0008] 本发明所述的晶片封装体,还包括:一绝缘层,位于该第二表面上,该绝缘层覆盖该栅极电极并具有一开口以暴露出该源极电极;以及一导电层,配置于该绝缘层上并经由该开口连接该源极电极。

[0009] 本发明所述的晶片封装体,还包括:一阻挡层,配置于该第一表面上,并位于该漏极电极与该导电结构之间。

[0010] 本发明所述的晶片封装体,该第一表面具有多个凹槽,且该漏极电极覆盖所述凹槽。

[0011] 本发明所述的晶片封装体,还包括:一绝缘层,位于该导电结构与该半导体基底之间,以使该导电结构与该半导体基底电性绝缘。

[0012] 本发明所述的晶片封装体,该漏极电极顺应性地覆盖该凹槽的底部与侧壁。

[0013] 本发明所述的晶片封装体,该凹槽的底部与该第二表面的间距约为 150 微米至 5 微米。

[0014] 本发明另一实施例提供一种晶片封装体,包括一半导体基底,具有相反的一第一表面与一第二表面,并具有至少一凹槽,凹槽自第一表面向第二表面延伸,且凹槽具有一底部;一漏极电极,配置于第一表面上并覆盖凹槽;一源极电极,配置于第二表面上,且与覆盖凹槽的漏极电极对应设置;一栅极电极,配置于第二表面上;一导电结构,电性连接栅极电极,并贯穿半导体基底以延伸至第一表面上;一绝缘层,位于第二表面上,绝缘层覆盖栅极电极并具有一开口以暴露出源极电极;以及一导电层,配置于绝缘层上并经由开口连接

源极电极。

[0015] 本发明又一实施例提供一种晶片封装体的制作方法,包括提供一半导体基底、一源极电极与一栅极电极,其中半导体基底具有相反的一第一表面与一第二表面,源极电极与栅极电极位于第二表面上;于第一表面上形成一第一凹槽,第一凹槽对应于源极电极;以及于第一表面上形成一覆盖第一凹槽的漏极电极。

[0016] 本发明所述的晶片封装体的制作方法,还包括:于该半导体基底上形成一通孔,该通孔对应于该栅极电极;以及于该通孔中形成一导电结构,该导电结构连接该栅极电极并延伸至该第一表面上。

[0017] 本发明所述的晶片封装体的制作方法,还包括:在形成该导电结构之前,于该第一表面与该通孔的内壁上形成一绝缘层,以使该导电结构与该半导体基底电性绝缘。

[0018] 本发明所述的晶片封装体的制作方法,该漏极电极与该导电结构于同一步骤中形成。

[0019] 本发明所述的晶片封装体的制作方法,该漏极电极与该导电结构的形成包括:在形成该第一凹槽与该通孔之后,于该第一表面上并于该第一凹槽与该通孔之间形成一电镀罩幕层;进行一电镀制程,以于该第一凹槽、该通孔以及该电镀罩幕层暴露出的该第一表面上形成该漏极电极与该导电结构;以及移除该电镀罩幕层。

[0020] 本发明所述的晶片封装体的制作方法,还包括:在形成该导电结构之后,于该第一表面上并于该漏极电极与该导电结构之间形成一阻挡层。

[0021] 本发明所述的晶片封装体的制作方法,该通孔的形成包括:于该第一表面上形成一第二凹槽,该第二凹槽位于该栅极电极上方;以及在形成该第一凹槽的同时,移除该半导体基底的位于该第二凹槽下方的部分。

[0022] 本发明所述的晶片封装体的制作方法,该通孔的形成还包括:在该第一表面上形成一罩幕层,该罩幕层具有一第一开口以暴露部分该半导体基底;以该罩幕层为罩幕移除该第一开口所暴露出的该半导体基底,以形成该第二凹槽;图案化该罩幕层,以形成至少一第二开口并扩大该第一开口的宽度;以该罩幕层为罩幕移除该第二开口与该第一开口所暴露出的该半导体基底,以形成该第一凹槽与该通孔;以及移除该罩幕层。

[0023] 本发明所述的晶片封装体的制作方法,还包括:于该第二表面上形成一绝缘层,该绝缘层覆盖该栅极电极,并具有一开口以暴露出该源极电极;以及于该绝缘层上形成一导电层,该导电层经由该开口连接该源极电极。

[0024] 本发明可提升导电效能,并提供足够的结构强度,以避免在传送半导体基底的过程中产生破片等情况,且在封装制程中,半导体基底可维持一定的平整度而不会因为厚度过薄而有边缘翘曲等情况产生。

附图说明

[0025] 图 1 绘示本发明一实施例的晶片封装体的剖面图。

[0026] 图 2A 至图 2D 绘示本发明多个实施例的晶片封装体的凹槽的多种变化的俯视图。

[0027] 图 3 绘示本发明一实施例的晶片封装体的剖面图。

[0028] 图 4 绘示本发明另一实施例的晶片封装体的剖面图。

[0029] 图 5A 至图 5N 绘示本发明一实施例的晶片封装体的制程剖面图。

[0030] 图 6A 至图 6K 绘示本发明一实施例的晶片封装体的制程剖面图。

[0031] 附图中符号的简单说明如下：

[0032] 100、400：晶片封装体；110：半导体基底；112：第一表面；114：第二表面；116、620：凹槽；116a：底部；116b：侧壁；118：导电结构；119：源极区；120：漏极电极；130：源极电极；140：栅极电极；150、160：绝缘层；152、162、164、512、522、632：开口；170：导电层；180：阻挡层；510、520、610、630：罩幕层；530：晶种层；540：电镀罩幕层；550：导电层；612：第一开口；614：第二开口；A：深度；B1、B2、W1、W2：宽度；D：间距；T：通孔；T1：通孔的侧壁；S：侧壁；V：介层窗结构。

具体实施方式

[0033] 以下将详细说明本发明实施例的制作与使用方式。然应注意的是，本发明提供许多可供应用的发明概念，其可以多种特定型式实施。文中所举例讨论的特定实施例仅为制造与使用本发明的特定方式，非用以限制本发明的范围。此外，在不同实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及/或结构之间必然具有任何关连性。再者，当谈及一第一材料层位于一第二材料层上或的上时，包括第一材料层与第二材料层直接接触或间隔有一或更多其他材料层的情形。

[0034] 本发明一实施例的晶片封装体可用以封装金属氧化物半导体场效应晶体管晶片，例如是功率模组晶片。然其应用不限于此，例如在本发明的晶片封装体的实施例中，其可应用于各种包含有源元件或无源元件 (active or passive elements)、数字电路或模拟电路 (digital or analog circuits) 等集成电路的电子元件 (electronic components)，例如是有关于光电元件 (opto electronic devices)、微机电系统 (Micro Electro Mechanical System；MEMS)、微流体系统 (micro fluidic systems)、或利用热、光线及压力等物理量变化来测量的物理感测器 (Physical Sensor)。特别是可选择使用晶圆级封装 (wafer scale package；WSP) 制程对影像感测元件、发光二极管 (light-emitting diodes；LEDs)、太阳能电池 (solar cells)、射频元件 (RF circuits)、加速计 (accelerators)、陀螺仪 (gyroscopes)、微制动器 (micro actuators)、表面声波元件 (surface acoustic wave devices)、压力感测器 (process sensors) 喷墨头 (ink printer heads)、或功率晶片模组 (power IC modules) 等半导体晶片进行封装。

[0035] 其中上述晶圆级封装制程主要指在晶圆阶段完成封装步骤后，再予以切割成独立的封装体，然而，在一特定实施例中，例如将已分离的半导体晶片重新分布在一承载晶圆上，再进行封装制程，亦可称之为晶圆级封装制程。另外，上述晶圆级封装制程亦适用于借堆叠 (stack) 方式安排具有集成电路的多片晶圆，以形成多层集成电路 (multi-layer integrated circuit devices) 的晶片封装体。

[0036] 图 1 绘示本发明一实施例的晶片封装体的剖面图。图 2A 至图 2D 绘示本发明多个实施例的晶片封装体的凹槽的多种变化的俯视图。图 3 绘示本发明一实施例的晶片封装体的剖面图。值得注意的是，为简化起见，图 2A 至图 2D 仅绘示凹槽的形状与排列，而省略绘示半导体基底上的其他结构。

[0037] 请参照图 1，本实施例的晶片封装体 100 包括一半导体基底 110、一漏极电极 120、一源极电极 130 以及一栅极电极 140，其中半导体基底 110 的材质例如为硅、锗、硅锗、碳化

硅、砷化镓、或其相似物。半导体基底 110 具有相反的第一表面 112 与一第二表面 114。

[0038] 在半导体基底 110 中可预先形成有源极区 119 及漏极区（未绘示）。在一实施例中，半导体基底 110 的导电型式可为 N 型或 P 型，一般而言，以 N 型的半导体基底居多。以导电型式为 N 型的半导体基底 110 为例，其可为掺杂有 N 型掺质的硅基底。半导体基底 110 中的掺质种类与掺杂浓度可为不均一的。例如，半导体基底 110 的用以作为源极区 119 的部分与用以作为漏极区的部分所掺杂的 N 型掺质的种类与掺杂浓度可彼此不同。半导体基底 110 的未形成源极区 119 或其他掺杂区（未绘示）的部分大体上可视为一漏极区。因此，标号 110 大体上亦可代表漏极区。

[0039] 在一实施例中，半导体基底 110 可包括掺杂区（未绘示），其可自第二表面 114 或接近第二表面 114 处朝第一表面 112 延伸。掺杂区的导电型式不同于半导体基底 110。例如，当半导体基底 110 为 N 型基底时，掺杂区的导电型式为 P 型，反之亦然。

[0040] 在一实施例中，源极区 119 可位于掺杂区中。源极区 119 的导电型式与半导体基底 110 相同，例如皆为 N 型。在一实施例中，源极区 119 自第二表面 114 或接近第二表面 114 处朝第一表面 112 延伸，且可部分被掺杂区围绕。在图 1 中，为简化与清楚化图式，仅显示出源极区 119。

[0041] 第一表面 112 可具有至少一凹槽。举例来说，在本实施例中，第一表面 112 具有多个凹槽 116，这些凹槽 116 可为各种适合的形状并以适合的方式排列，例如图 2A 所示的凹槽 116 呈长条状且彼此平行排列、图 2B 所示的凹槽 116 呈圆形且成阵列式排列。在一实施例中，第一表面 112 可具有单一个凹槽 116，凹槽 116 可如图 2C 所示为方形、如图 2D 所示为圆形或是其他适合的形状。在本实施例中，凹槽 116 的底部 116a 与第二表面 114 之间存在一间距 D，间距 D 例如约为 150 微米至 5 微米，且可依制程或是设计需求而缩小至 10 微米至 5 微米。

[0042] 漏极电极 120 配置于第一表面 112 上并覆盖凹槽 116。在本实施例中，凹槽 116 的底部 116a（及 / 或侧壁 116b）暴露出半导体基底 110 中的漏极区，且漏极电极 120 电性连接该漏极区。在本实施例中，漏极电极 120 直接接触半导体基底 110。详细而言，在本实施例中，漏极电极 120 顺应性地覆盖凹槽 116 的底部 116a 与侧壁 116b。在一实施例中，漏极电极 120 可填满凹槽 116。

[0043] 源极电极 130 配置于第二表面 114 上，且对应于凹槽 116，并与半导体基底 110 中的源极区 119 电性连接。详细而言，在本实施例中，源极电极 130 配置于凹槽 116 下方并与覆盖凹槽 116 的漏极电极 120 对应设置。值得注意的是，在本实施例中，由于半导体基底 110 具有凹槽 116，因此，可缩短源极电极 130 与漏极电极 120 之间的间距，使两者之间的通道长度缩小，进而提升两者之间的导电效能，而且半导体基底 110 的凹槽 116 以外的部分可使半导体基底 110 具有足够的结构强度。

[0044] 栅极电极 140 配置于第二表面 114 上。在本实施例中，晶片封装体 100 可还包括一导电结构 118，其电性连接栅极电极 140，并延伸至第一表面 112 上。

[0045] 在本实施例中，半导体基底 110 具有一通孔 T 对应于栅极电极 140，导电结构 118 位于通孔 T 中并连接栅极电极 140。如图 1 所示，在本实施例中，可在导电结构 118 与半导体基底 110 之间设置一绝缘层 150，以使导电结构 118 与半导体基底 110 电性绝缘。虽然，图 1 中的通孔 T 具有大抵垂直于第二表面 114 的侧壁 T1，但本发明并不以此为限，只要导电

结构 118 可透过通孔 T 与栅极电极 140 电性连接即可。在另一实施例中,如图 3 所示,通孔 T 的邻近第二表面 114 的部分具有一阶梯式侧壁 (stepwise sidewalls) T1。在又一实施例中,导电结构可连接栅极电极 140 并沿着半导体基底 110 的侧壁 S 延伸至第一表面 112 上 (未绘示),换言之,本发明亦可不形成通孔 T。

[0046] 值得注意的是,在本实施例中,由于导电结构 118 延伸至第一表面 112,因此,可于半导体基底 110 的同一面 (第一表面 112) 上提供漏极电极 120 与栅极电极 140 的电性接触,进而有利于与其他电子构件整合。

[0047] 在本实施例中,第二表面 114 上具有一绝缘层 160,以电性隔离第二表面 114 上的导线与各种电子元件,应注意的是,绝缘层 160 事实上可包含一或多层介电层。源极电极 130 可透过形成于绝缘层 160 及 / 或半导体基底 110 中的线路层 (未绘示) 而电性连接至半导体基底 110 中的源极区 119。例如,绝缘层 160 中可形成有介层窗结构 (via structure) V,其电性连接源极电极 130 与源极区 119。此外,在本实施例中,绝缘层 160 可覆盖栅极电极 140 并具有一开口 162 以暴露出源极电极 130,并在绝缘层 160 上设置一导电层 170,其经由开口 162 连接源极电极 130。

[0048] 绝缘层 150、160 的材质例如为环氧树脂、防焊层、或其他适合的绝缘物质,例如无机材料的氧化硅层、氮化硅层、氮氧化硅层、金属氧化物或其组合;或有机高分子材料的聚酰亚胺树脂 (polyimide)、苯环丁烯 (butylcyclobutene :B CB,道氏化学公司)、聚对二甲苯 (parylene)、萘聚合物 (polynaphthalenes)、氟碳化物 (fluorocarbons)、丙烯酸酯 (acrylates) 等。

[0049] 此外,如图 1 所示,在本实施例中,可在第一表面 112 上并在漏极电极 120 与导电结构 118 之间设置一阻挡层 180,以阻挡之后设置于漏极电极 120 (或导电结构 118) 上的焊料溢流至导电结构 118 (或漏极电极 120)。阻挡层 180 的材质为绝缘材料 (例如防焊材料)。

[0050] 图 4 绘示本发明另一实施例的晶片封装体的剖面图。在一实施例中,如图 4 所示,晶片封装体 400 可不具有图 1 中的导电结构 118,此时,绝缘层 160 可额外具有一开口 164 以暴露出栅极电极 140,以供后续的电性接触。

[0051] 以下将详细介绍图 1 与图 3 所示的晶片封装体的制作方法。

[0052] 图 5A 至图 5N 绘示本发明一实施例的晶片封装体的制程剖面图。为简化起见,与图 1 至图 4 相似或相同的元件将使用相同的元件符号。

[0053] 首先,如图 5A 所示,提供一半导体基底 110,其具有相反的一第一表面 112 与一第二表面 114,且具有源极电极 130 与栅极电极 140 位于第二表面 114 上。本实施例的半导体基底 110 与图 1 的半导体基底 110 相同,皆可预先形成有源极区 119 及漏极区 (未绘示)。

[0054] 在一实施例中,第二表面 114 上设置有一绝缘层 160,且源极电极 130 可透过形成于绝缘层 160 及 / 或半导体基底 110 中的线路层 (未绘示) 而电性连接至半导体基底 110 中的源极区 119。例如,绝缘层 160 中可形成有介层窗结构 V,其电性连接源极电极 130 与源极区 119。此外,在本实施例中,绝缘层 160 可覆盖栅极电极 140 并具有一开口 162 以暴露出源极电极 130。

[0055] 在本实施例中,如图 5B 所示,可在绝缘层 160 上形成一导电层 170,导电层 170 经由开口 162 连接源极电极 130。导电层 170 例如为钛 / 镍 / 钒 / 银、无电镀镍 / 金或是钛 /

铜 / 镍 / 金的复合层状结构或是其相似物。

[0056] 接着,如图 5C 所示,可选择性薄化半导体基底 110,举例来说,可将半导体基底 110 的第二表面 114 固定于一暂时基板(未绘示)上,并自第一表面 112 将半导体基底 110 薄化至适当的厚度。之后,再将暂时基板移除。薄化半导体基底 110 的方法例如为蚀刻、铣削(milling)、磨削(grinding)、或研磨(polishing),其中研磨例如为化学机械研磨。

[0057] 然后,如图 5D 所示,可在第一表面 112 上形成一罩幕层 510,罩幕层 510 具有一开口 512,其暴露出栅极电极 140 上方的部分半导体基底 110。罩幕层 510 例如为一光阻层。

[0058] 之后,如图 5E 所示,移除开口 512 所暴露出的部分半导体基底 110,以形成一通孔 T,通孔 T 露出栅极电极 140 上方的绝缘层 160。移除半导体基底 110 的方法包括蚀刻法,例如干式蚀刻、湿式蚀刻或激光烧蚀。接着,移除罩幕层 510。

[0059] 然后,如图 5F 所示,例如以蚀刻的方式移除位于通孔 T 下方的部分绝缘层 160,以暴露出栅极电极 140。

[0060] 接着,如图 5G 所示,例如以化学气相沉积法或涂布法于第一表面 112 与通孔 T 的内壁 T1 上形成一绝缘层 150,以使之后将形成的导电结构与半导体基底 110 电性绝缘。在本实施例中,绝缘层 150 亦形成于通孔 T 暴露出的栅极电极 140 上。

[0061] 为使之后将形成于通孔 T 中的导电结构可与栅极电极 140 连接,可如图 5H 所示,移除绝缘层 150 的位于栅极电极 140 上的部分,以暴露出栅极电极 140。值得注意的是,栅极电极 140 上的绝缘层 150 不限于此步骤中移除,其可于通孔 T 中形成导电层之前的任一适合时间点移除。

[0062] 接着,如图 5I 所示,于第一表面 112 上形成一罩幕层 520,罩幕层 520 位于绝缘层 150 上,并具有多个暴露出部分绝缘层 150 的开口 522,开口 522 大抵位于源极电极 130 上方。然后,以罩幕层 520 为罩幕,例如以蚀刻的方式移除开口 522 所暴露出的部分绝缘层 150,以于绝缘层 150 上形成多个开口 152,开口 152 暴露出部分半导体基底 110。罩幕层 520 例如为干膜,由于干膜不会填入通孔 T 中,可免去后续的通孔清洗制程。

[0063] 接着,如图 5J 所示,以罩幕层 520 为罩幕,例如以蚀刻的方式移除开口 522 所暴露出的部分半导体基底 110,以于第一表面 112 上形成多个凹槽 116,凹槽 116 对应于源极电极 130。凹槽 116 暴露出半导体基底 110 的漏极区(未绘示)。在本实施例中,凹槽 116 的底部 116a 与第二表面 114 之间存在一间距 D,且可通过控制蚀刻制程的时间长短来调整间距 D 的大小。之后,移除罩幕层 520。

[0064] 然后,如图 5K 所示,于第一表面 112、凹槽 116 与通孔 T 上全面形成一晶种层 530,其通过连接凹槽 116 的底部 116a(及 / 或侧壁 116b)而与半导体基底 110 的漏极区电性连接。形成晶种层 530 的方法包括化学气相沉积法或是物理气相沉积法,晶种层 530 例如为钛 / 铜双层结构。

[0065] 接着,如图 5L 所示,于第一表面 112 上且于凹槽 116 与通孔 T 之间形成一电镀罩幕层 540,电镀罩幕层 540 暴露出晶种层 530 的位于凹槽 116 与通孔 T 上的部分。电镀罩幕层 540 例如为一干膜。然后,进行一电镀制程,以于电镀罩幕层 540 所暴露出的晶种层 530 上形成一导电层 550。

[0066] 然后,如图 5M 所示,移除电镀罩幕层 540,并且以例如蚀刻的方式移除电镀罩幕层 540 下方的晶种层 530,以使导电层 550 的位于凹槽 116 上的部分与位于通孔 T 上的部分彼

此电性绝缘。

[0067] 应注意的是,虽然上述实施例中的导电层以电镀方式进行,然本发明实施例不限于此。在其他实施例中,亦可采用气相沉积法或涂布法形成导电材料层,并透过微影及蚀刻制程将之图案化为所需的导电层。在此情形下,可不需形成晶种层。

[0068] 之后,如图 5N 所示,于第一表面 112 上并于导电层 550 的位于凹槽 116 上的部分与位于通孔 T 上的部分之间形成一阻挡层 180。阻挡层 180 的形成方法包括印刷法 (printing)。

[0069] 如图 5A 至图 5N 所示,由于本实施例是以在半导体基底 110 中形成多个凹槽 116 的方式缩短源极电极 130 与漏极电极 (亦即,导电层 550 的位于凹槽 116 上的部分) 之间的间距,并以凹槽 116 以外的部分来保持半导体基底 110 的结构强度,因此,在晶圆制程中,半导体基底 110 在传送的过程中因本身具有足够的结构强度而不易有破片等情况产生,并且在封装制程中,亦可维持一定的平整度,而不会因为厚度过薄而有边缘翘曲等情况产生。在一实施例中,半导体基底 110 可为半导体晶圆,其中形成有多个金属氧化物半导体场效应晶体管,彼此间间隔有预定切割道。在此情形下,可进一步沿着切割道切割半导体基底 110 以形成多个个体的晶片封装体以供利用。

[0070] 图 6A 至图 6K 绘示本发明另一实施例的晶片封装体的制程剖面图。值得注意的是,在图 6A 至图 6K 的制程中,标示相同于图 1 与图 5A 至图 5N 中的元件符号的构件,其材质与制作方法可相同于图 1 与图 5A 至图 5N 中的构件的材质与制作方法。

[0071] 首先,如图 6A 所示,提供一半导体基底 110,其具有相反的一第一表面 112 与一第二表面 114,并具有源极电极 130 与栅极电极 140 位于第二表面 114 上。本实施例的半导体基底 110 与图 1 的半导体基底 110 相同,皆可预先形成有源极区 119 及漏极区 (未绘示)。

[0072] 在一实施例中,第二表面 114 上设置有一绝缘层 160,且源极电极 130 可透过形成于绝缘层 160 及 / 或半导体基底 110 中的线路层 (未绘示) 而电性连接至半导体基底 110 中的源极区 119。例如,绝缘层 160 中可形成有介层窗结构 V,其电性连接源极电极 130 与源极区 119。此外,在本实施例中,绝缘层 160 可覆盖栅极电极 140 并具有一开口 162 以暴露出源极电极 130。接着,可在绝缘层 160 上形成一导电层 170,导电层 170 经由开口 162 连接源极电极 130。

[0073] 接着,如图 6B 所示,可选择性薄化半导体基底 110,举例来说,可将半导体基底 110 的第二表面 114 固定于一暂时基板 (未绘示) 上,并自第一表面 112 将半导体基底 110 薄化至适当的厚度。之后,再将暂时基板移除。

[0074] 然后,如图 6C 所示,可在第一表面 112 上形成一罩幕层 610,罩幕层 610 具有一第一开口 612,其暴露出栅极电极 140 上方的部分半导体基底 110,第一开口 612 具有一宽度 W1。接着,以罩幕层 610 为罩幕移除第一开口 612 所暴露出的部分半导体基底 110,以形成一凹槽 620。凹槽 620 的深度 A 例如为 25 微米至 50 微米。凹槽 620 的宽度 B1 例如约等于第一开口 612 的宽度 W1。

[0075] 之后,如图 6D 所示,图案化罩幕层 610,以形成多个第二开口 614 并扩大第一开口 612,以使第一开口 612 具有一宽度 W2,其中宽度 W2 大于宽度 W1。第二开口 614 暴露部分源极电极 130 上方的半导体基底 110。

[0076] 接着,如图 6E 所示,以罩幕层 610 为罩幕,例如以蚀刻的方式移除第二开口 614 与

第一开口 612 所暴露出的半导体基底 110,以同时形成凹槽 116 与通孔 T,其中通孔 T 暴露出栅极电极 140,凹槽 116 大抵位于源极电极 130 上方。

[0077] 值得注意的是,由于第一开口 612 下方已预先形成凹槽 620,因此,在此制程中,第一开口 612 下方是形成穿过半导体基底 110 的通孔 T,而第二开口 614 下方形成的凹槽 116 仍与半导体基底 110 的第二表面 114 保有一间距 D。简而言之,本实施例是通过先于栅极电极 140 上方的部分半导体基底 110 中形成深度较浅的凹槽 620,然后,再于形成凹槽 116 的制程中一并移除凹槽 620 下方的部分半导体基底 110,以形成通孔 T。如此一来,可以制程难度较低凹槽制程,取代制程难度较高的通孔制程。

[0078] 此外,通孔 T 的宽度 B2 例如约为第一开口 612 的宽度 W2,由于宽度 W2 大于宽度 W1,因此,宽度 B2 大于宽度 B1。因此,通孔 T 的邻近第二表面 114 的部分具有一阶梯式侧壁 (stepwise sidewalls) T1。

[0079] 然后,如图 6F 所示,移除罩幕层 610。接着,在通孔 T 的内壁 T1 与第一表面 112 上形成一绝缘层 150。在本实施例中,绝缘层 150 亦形成在通孔 T 所暴露出的栅极电极 140 上与凹槽 116 上,因此,可进行如图 6G 所示的制程,在第一表面 112 上形成一罩幕层 630 (例如为干膜),罩幕层 630 位于绝缘层 150 上并具有多个开口 632 以暴露出绝缘层 150 的位于凹槽 116 与栅极电极 140 上的部分。并且,以罩幕层 630 为罩幕,移除罩幕层 630 所暴露出的绝缘层 150。

[0080] 接着,如图 6H 所示,移除罩幕层 630,并且在第一表面 112、凹槽 116 与通孔 T 上全面形成一晶种层 530。

[0081] 然后,如图 6I 所示,在晶种层 530 上并在凹槽 116 与通孔 T 之间形成一电镀罩幕层 540。接着,进行一电镀制程,以于电镀罩幕层 540 所暴露出的晶种层 530 上形成一导电层 550。

[0082] 之后,如图 6J 所示,移除电镀罩幕层 540 及其下方的晶种层 530,以使导电层 550 的位于凹槽 116 上的部分以及位于通孔 T 上的部分彼此电性绝缘。

[0083] 接着,如图 6K 所示,于第一表面 112 上并于导电层 550 的位于凹槽 116 上的部分以及位于通孔 T 上的部分之间形成一阻挡层 180。

[0084] 在本发明的实施例中,以在半导体基底中形成凹槽的方式缩短源极电极与漏极电极之间的间距,使两者之间的通道长度缩小,进而提升两者之间的导电效能,并通过凹槽以外的部分提供足够的结构强度,特别适合在晶圆级制程中提供足够的结构强度,以避免在传送半导体基底的过程中产生破片等情况,并且在封装制程中,半导体基底亦可维持一定的平整度,而不会因为厚度过薄而有边缘翘曲等情况产生。

[0085] 以上所述仅为本发明较佳实施例,然其并非用以限定本发明的范围,任何熟悉本项技术的人员,在不脱离本发明的精神和范围内,可在此基础上做进一步的改进和变化,因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

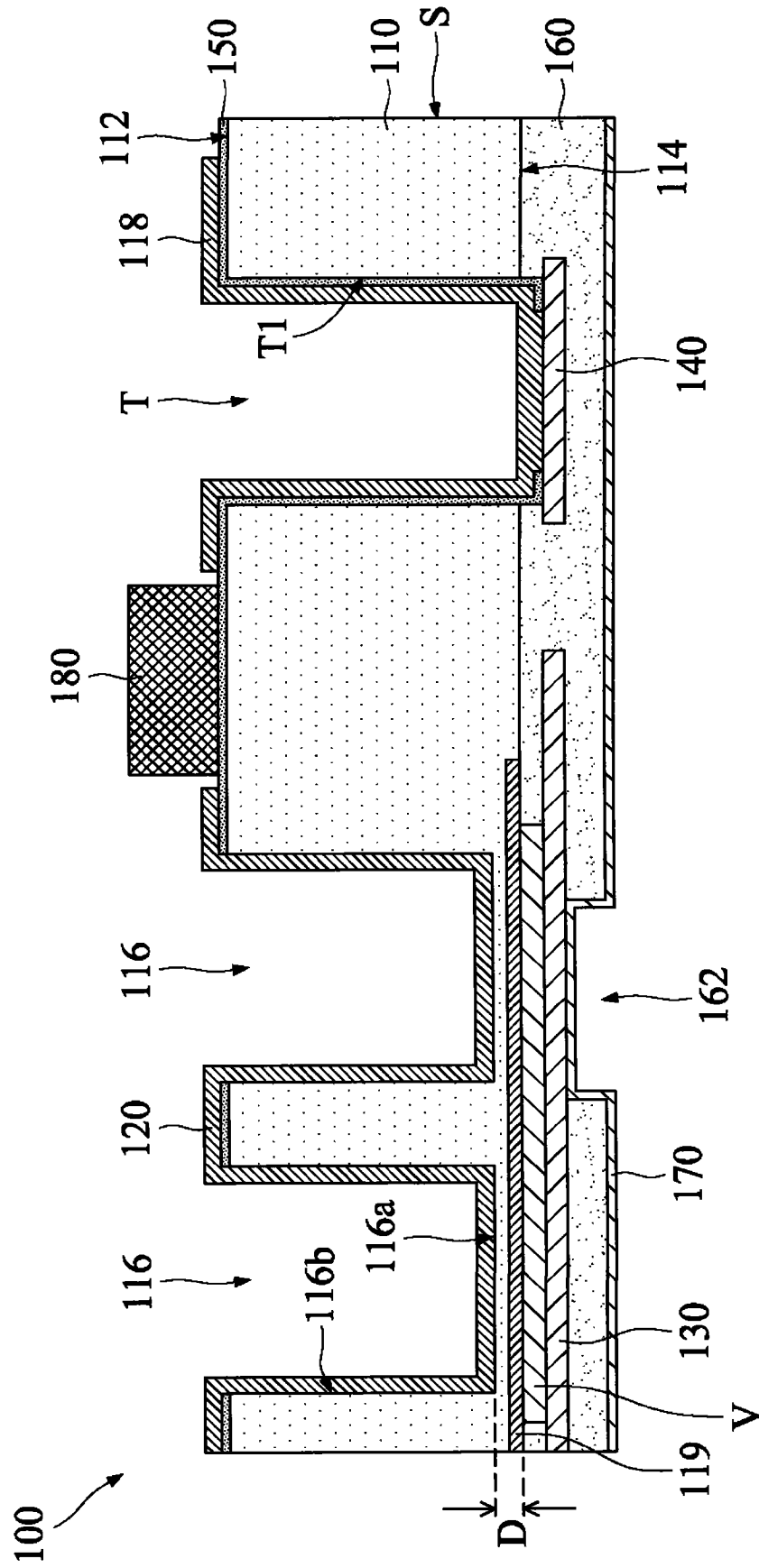


图 1

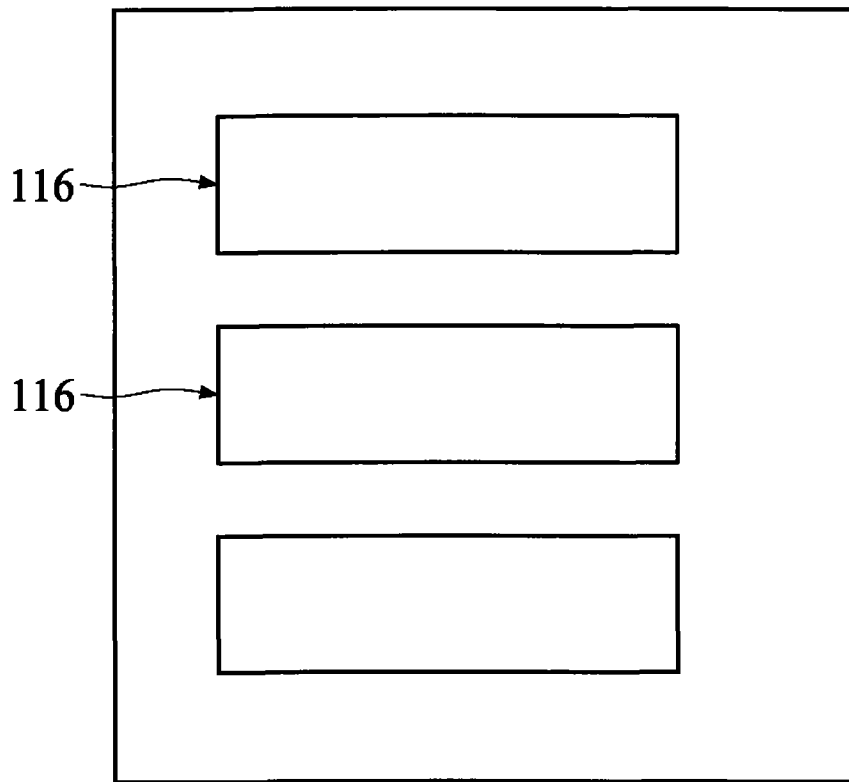


图 2A

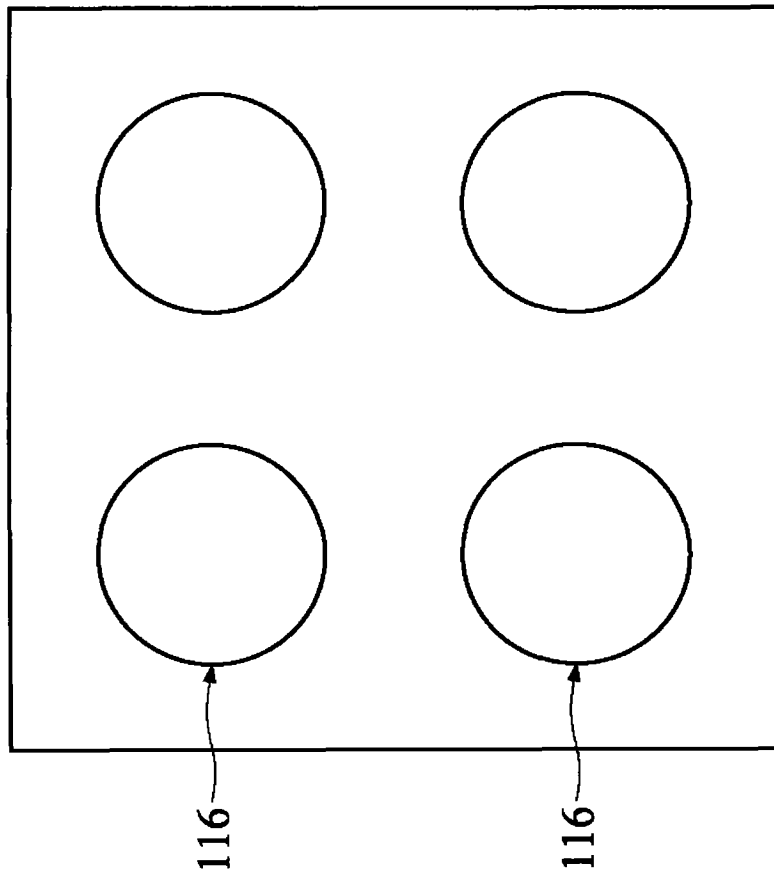


图 2B

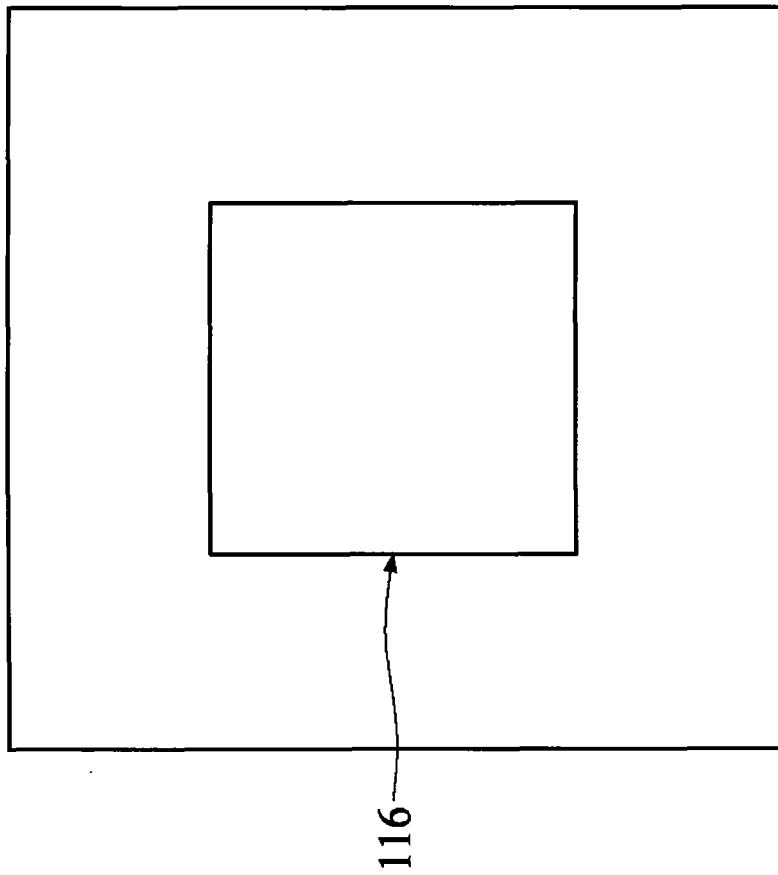


图 2C

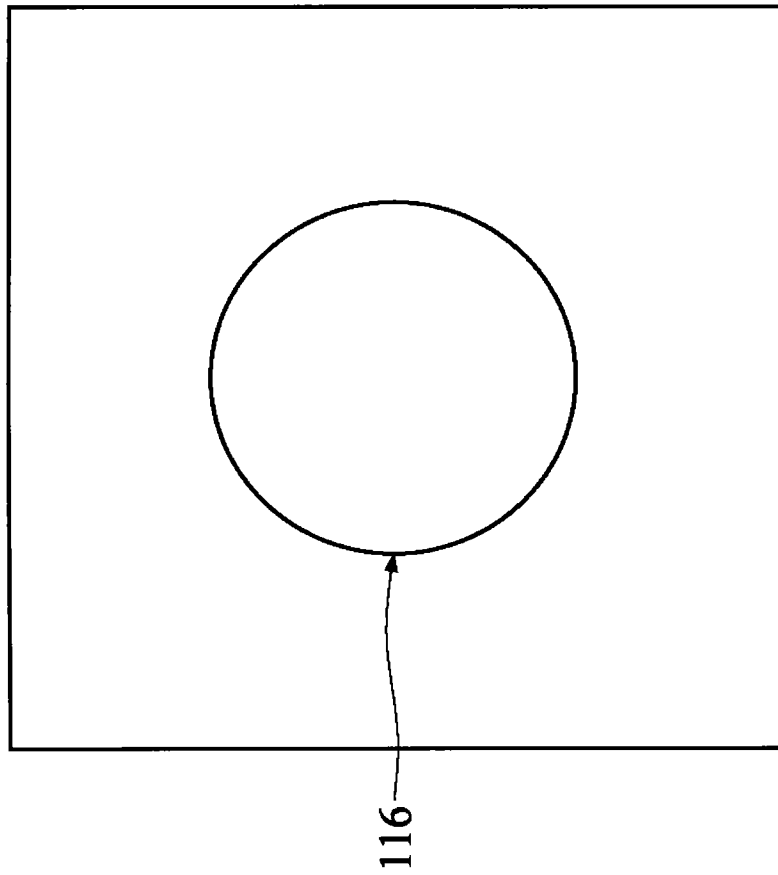


图 2D

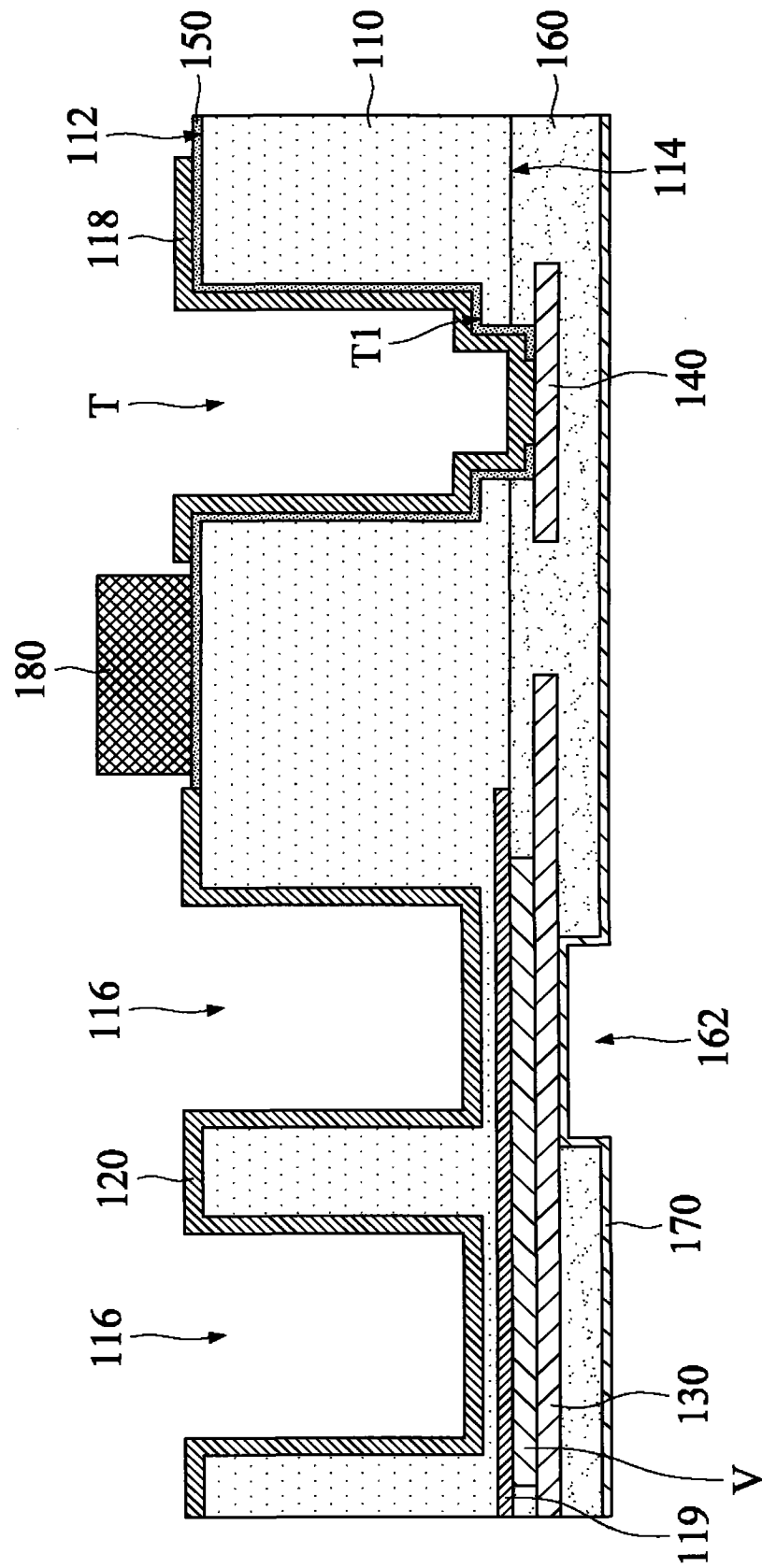


图 3

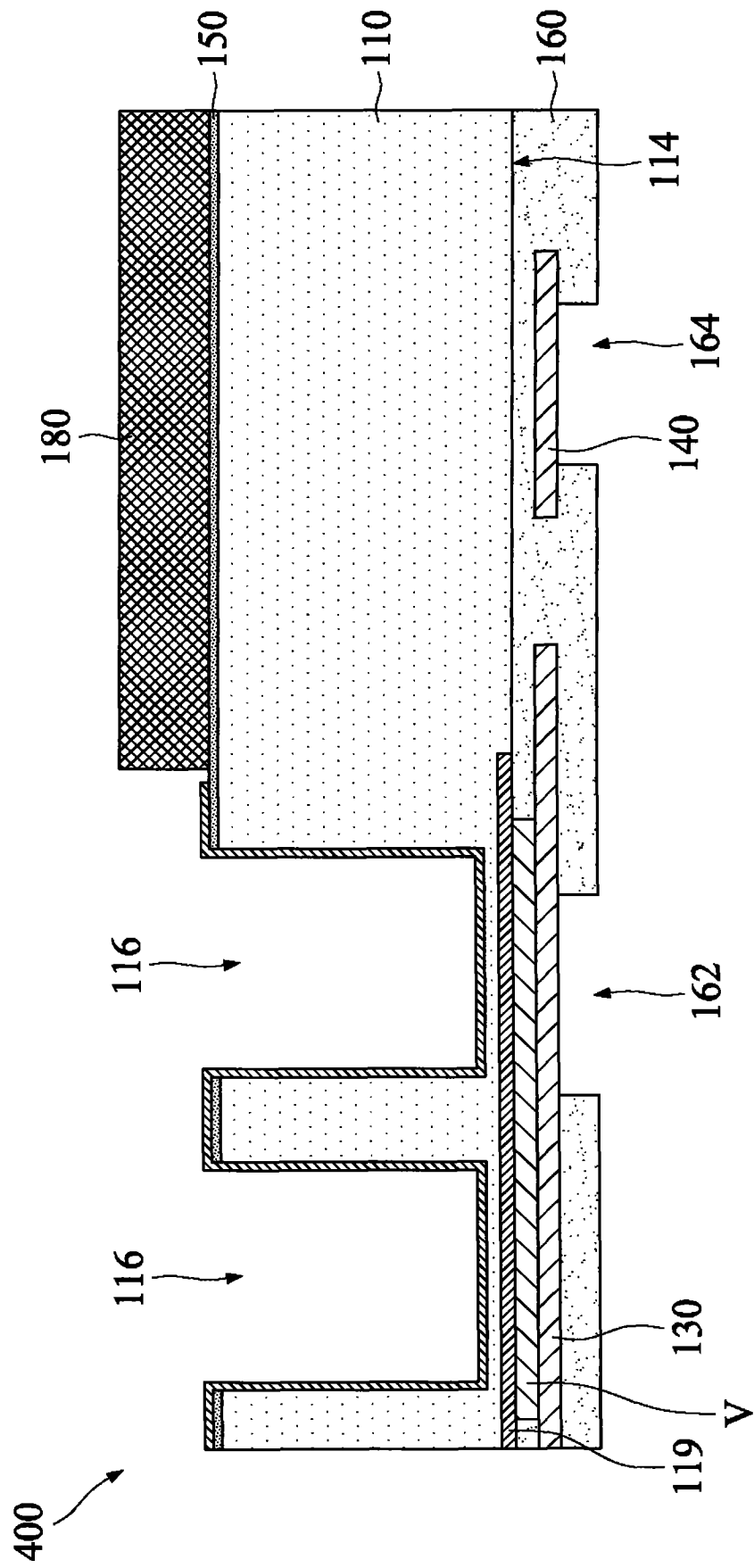


图 4

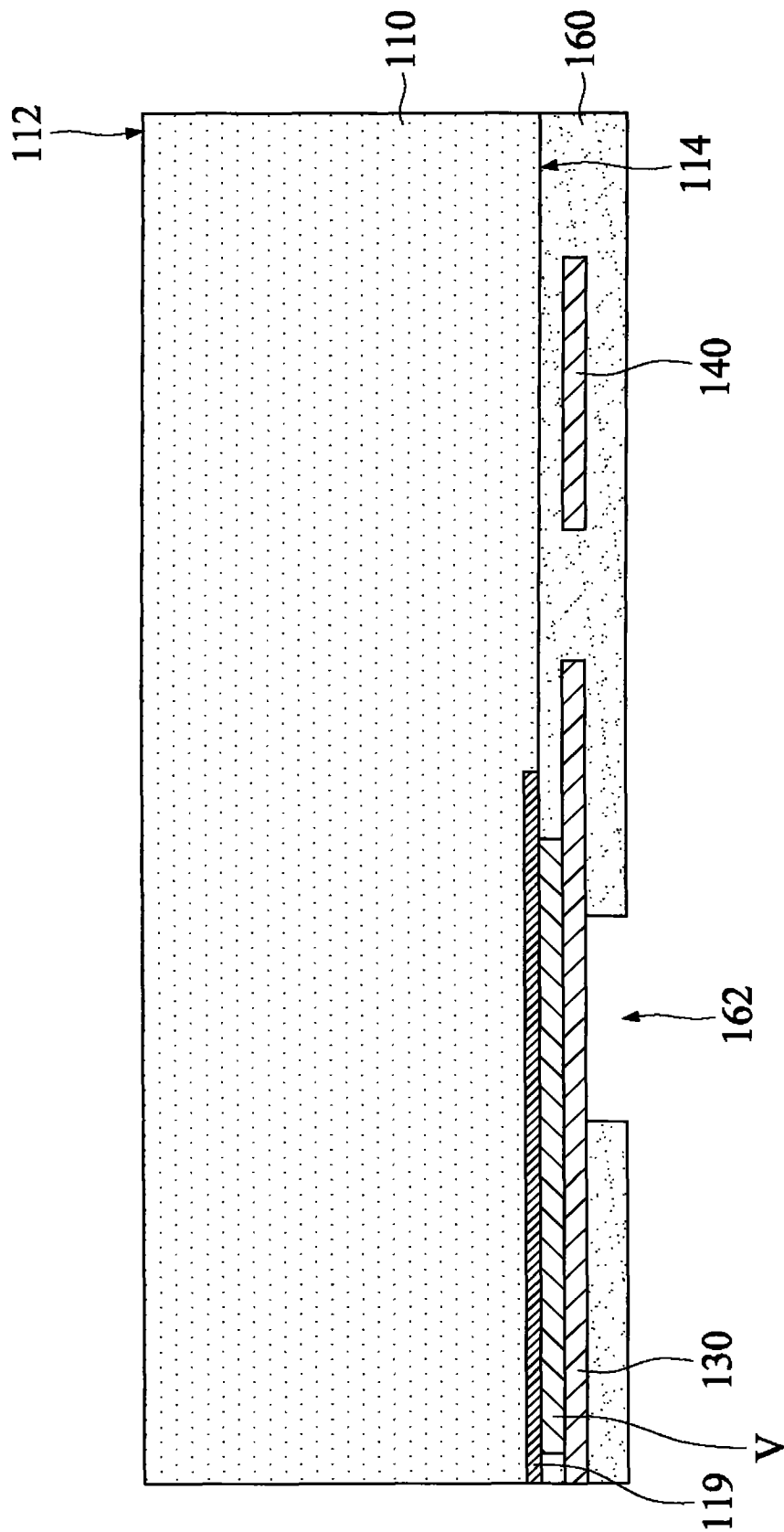


图 5A

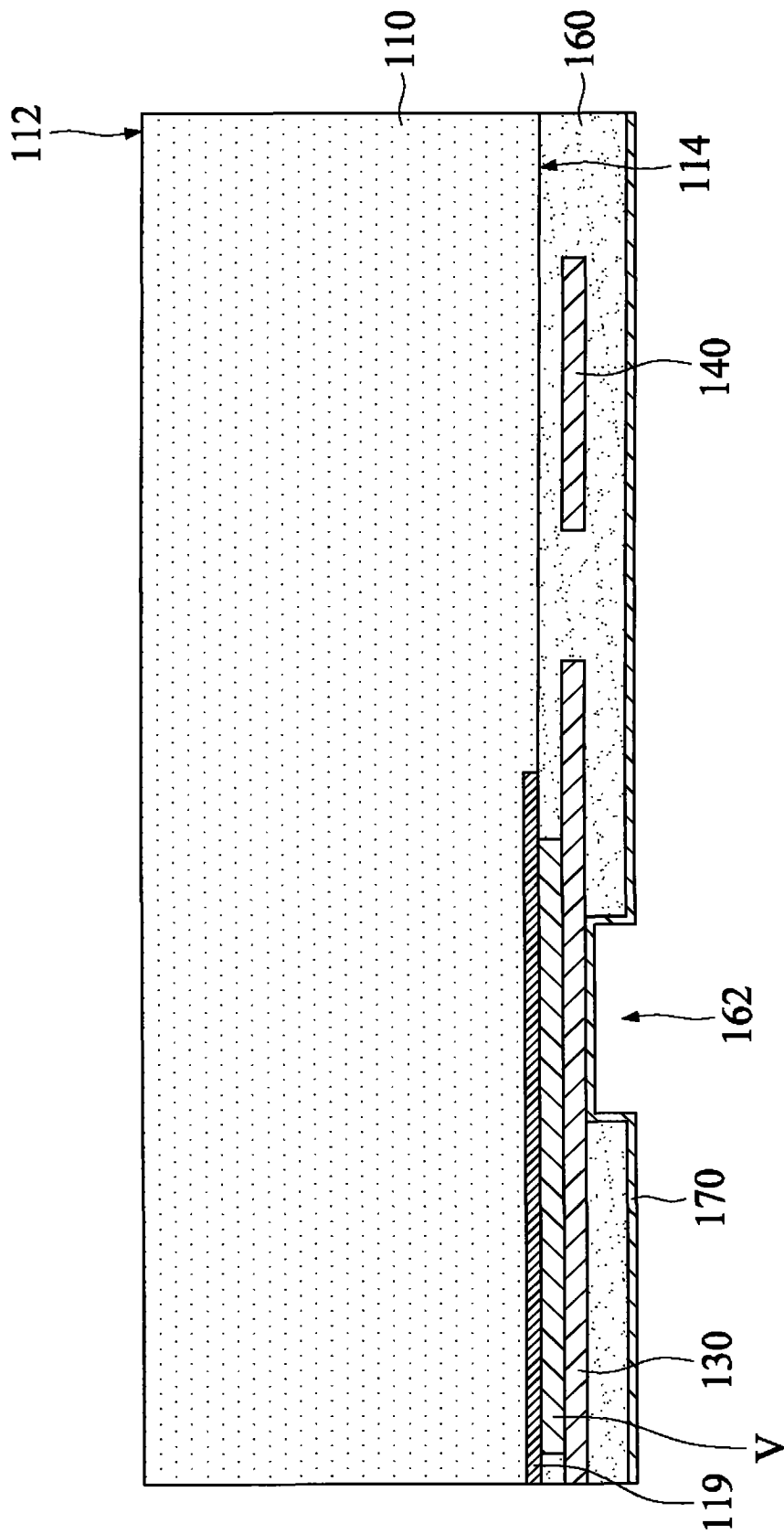


图 5B

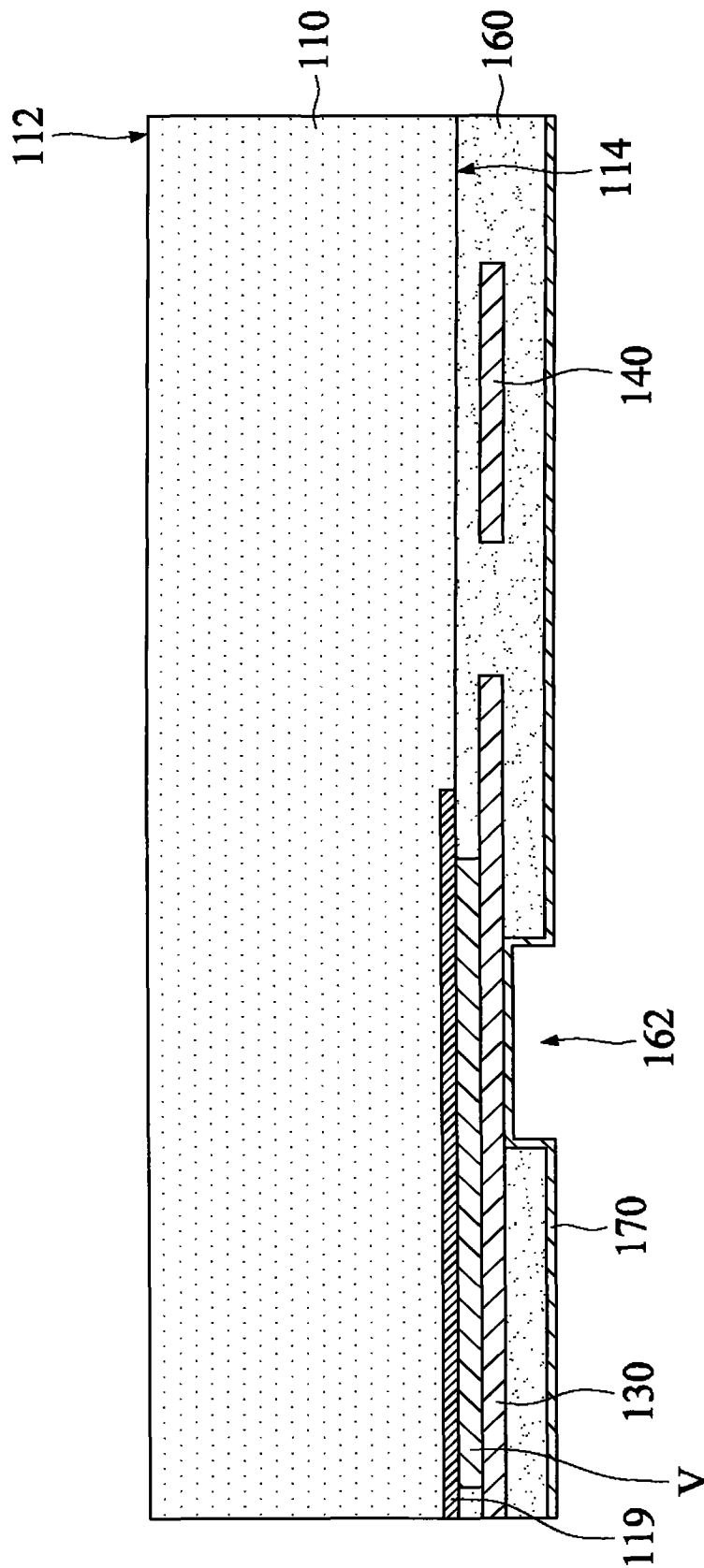


图 5C

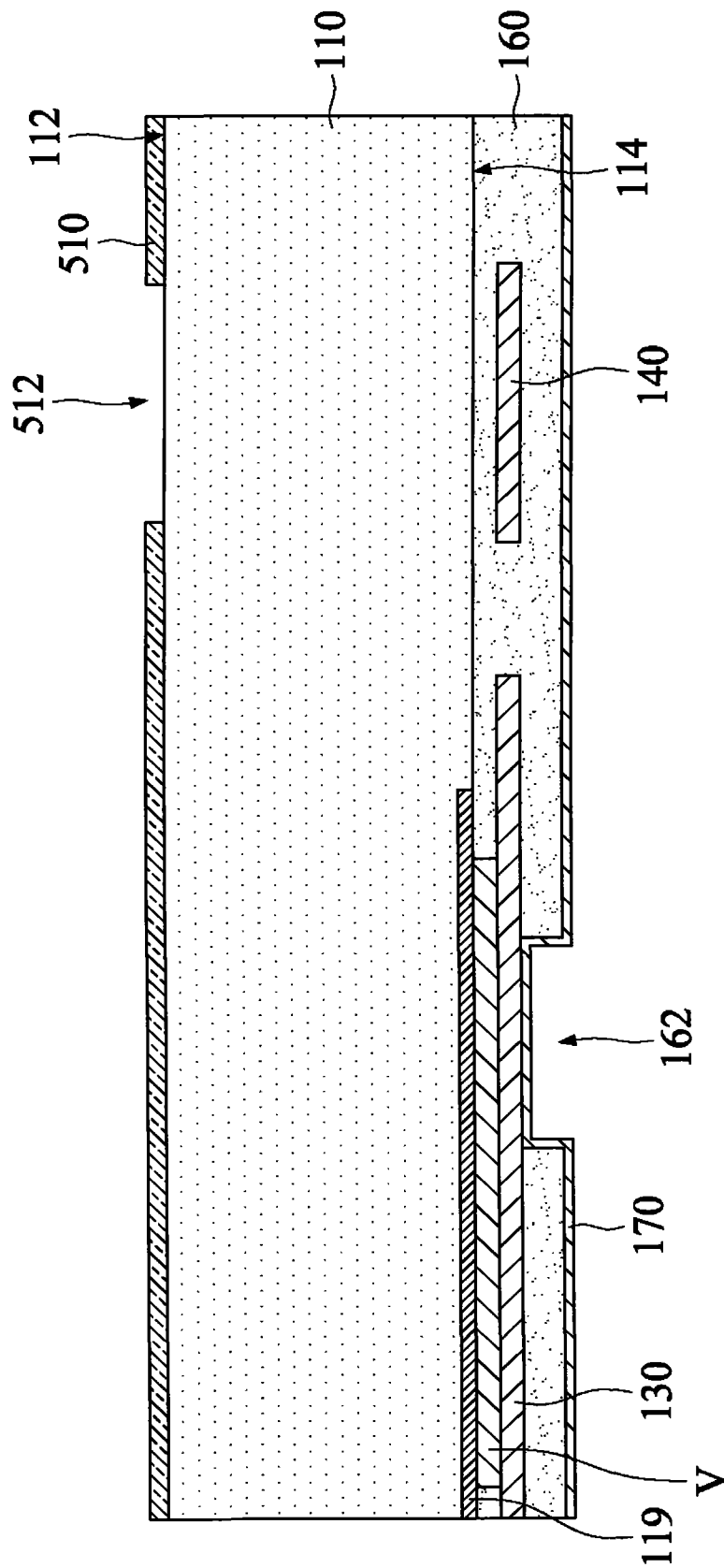


图 5D

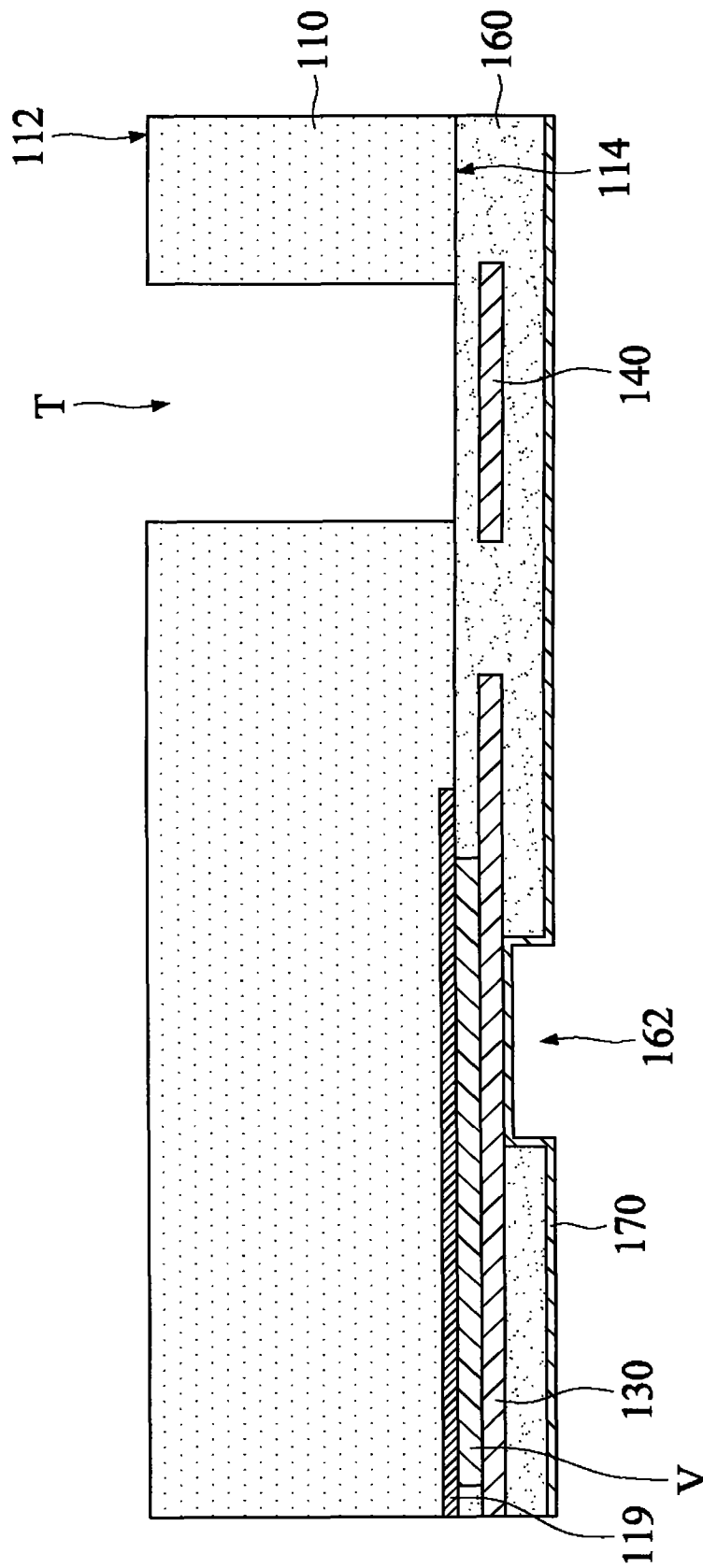


图 5E

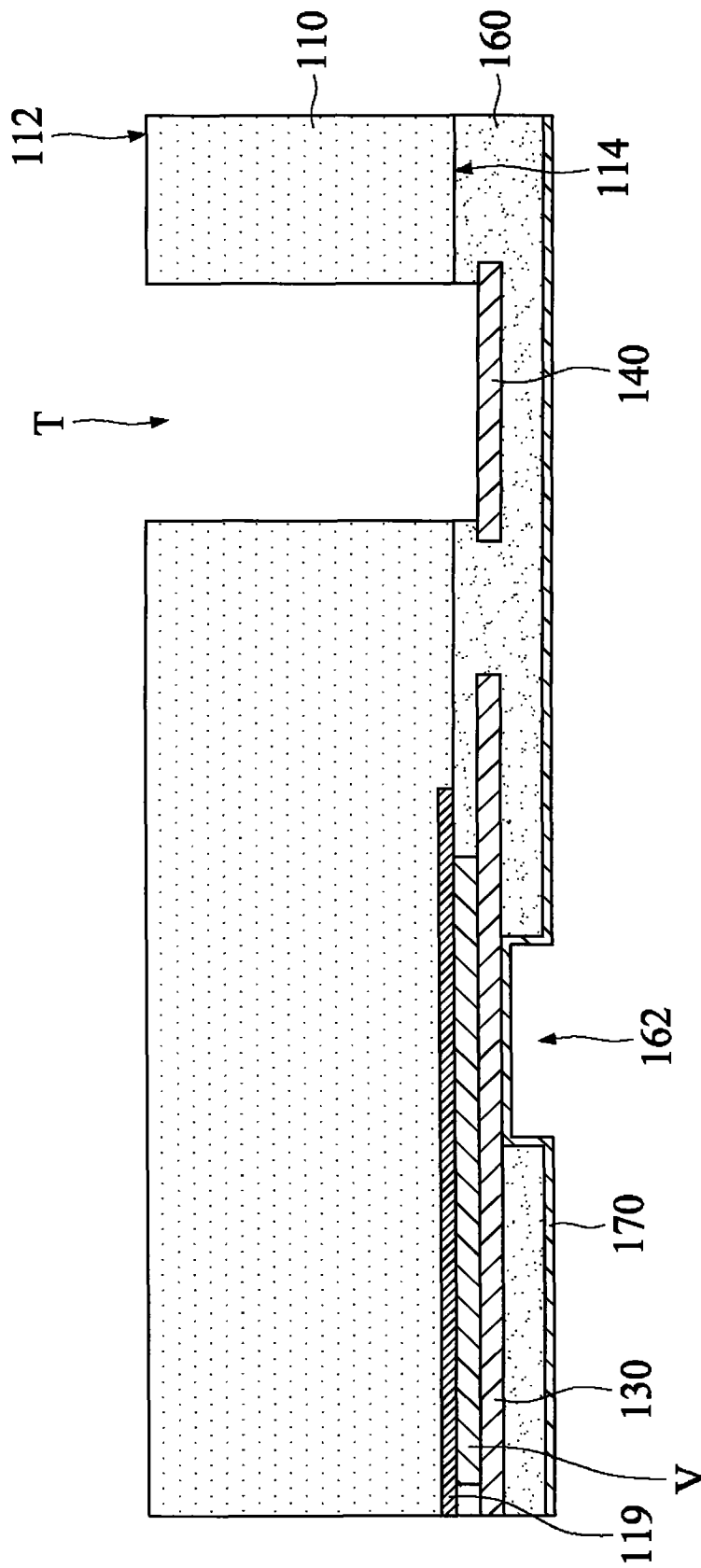


图 5F

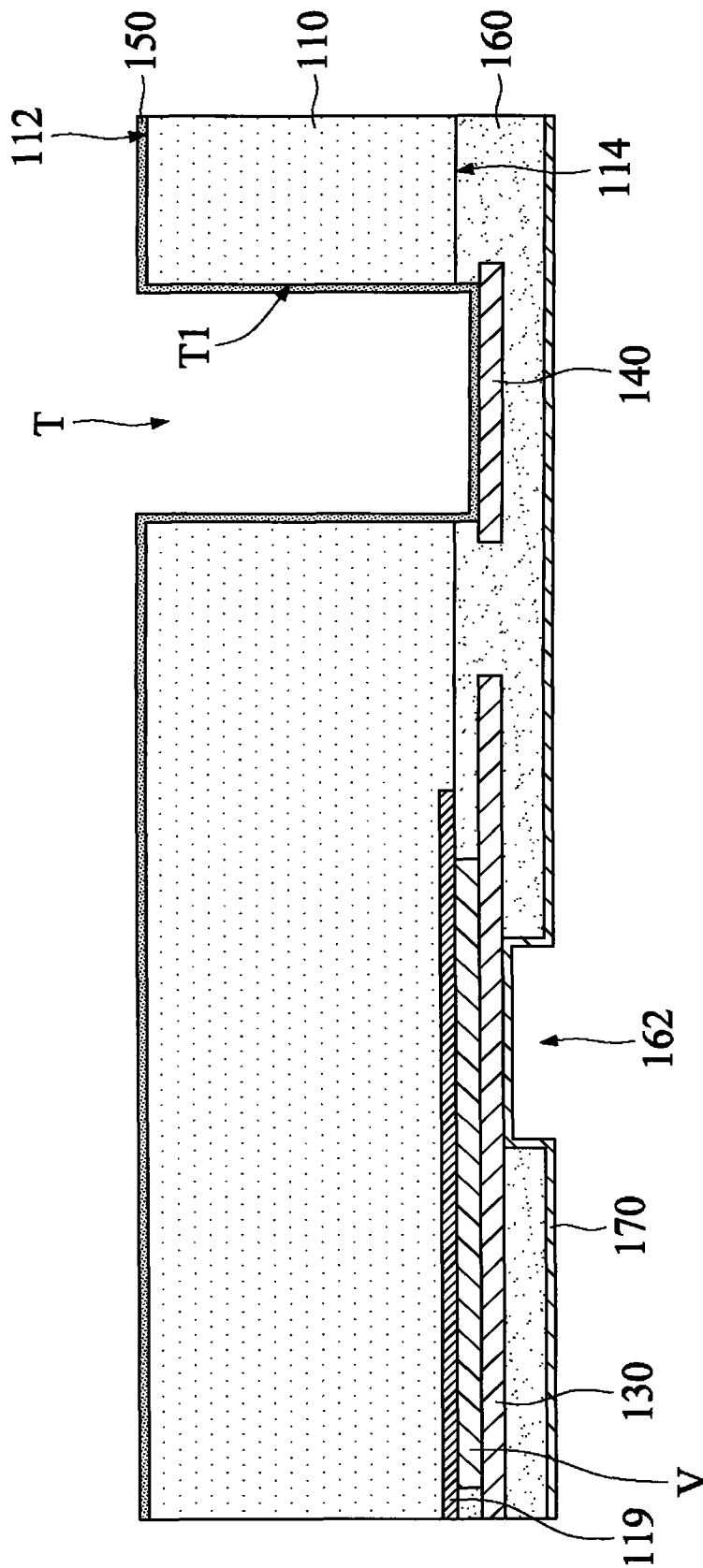


图 5G

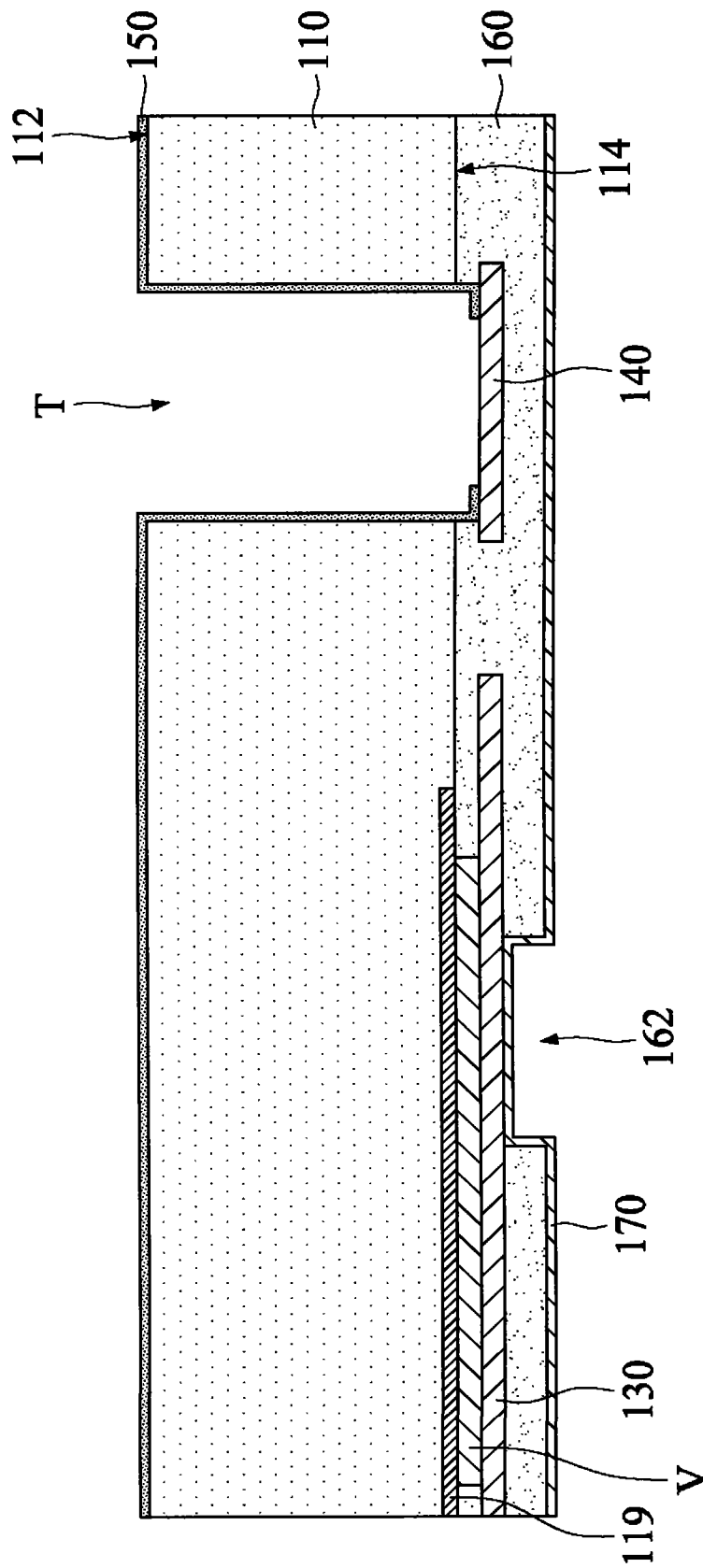


图 5H

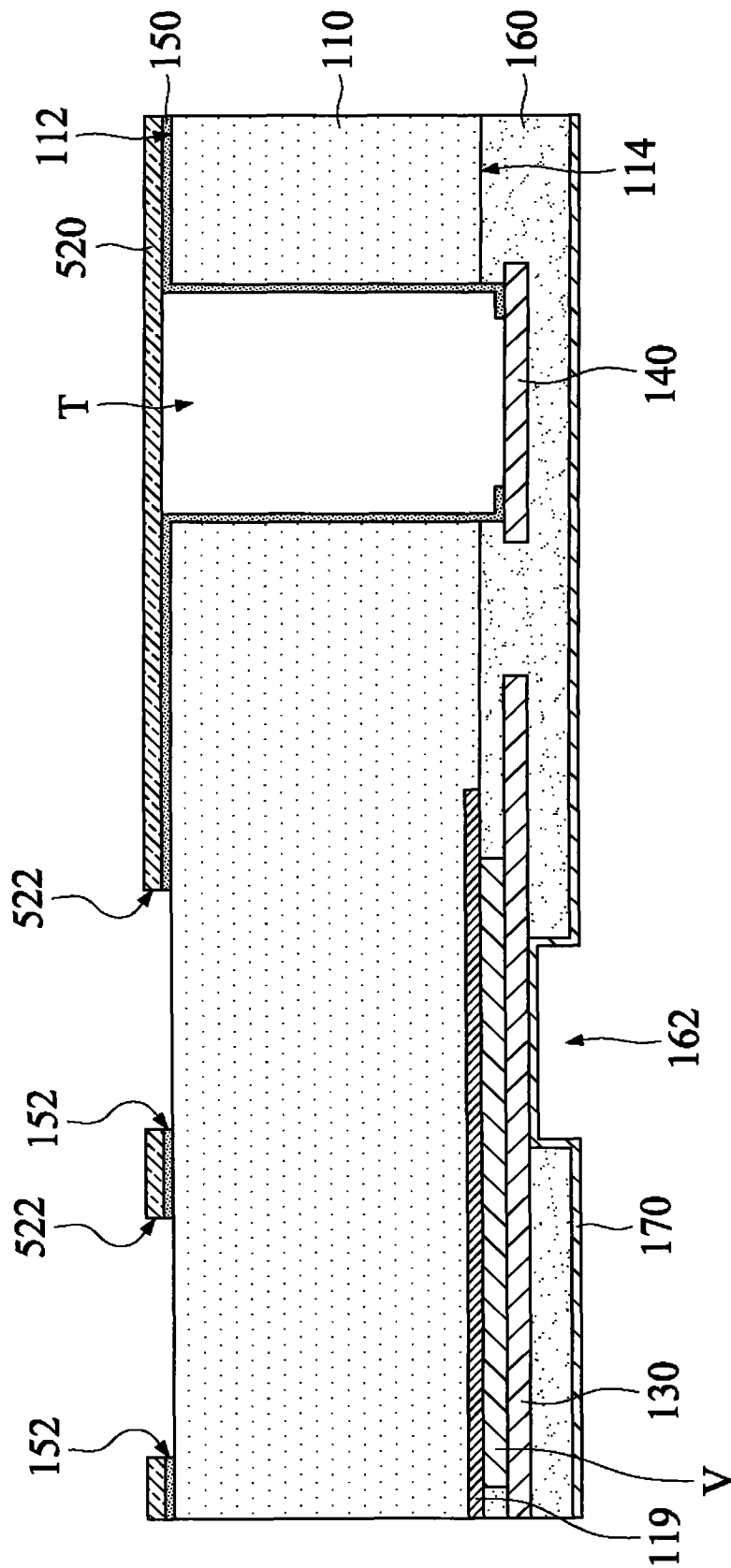


图 51

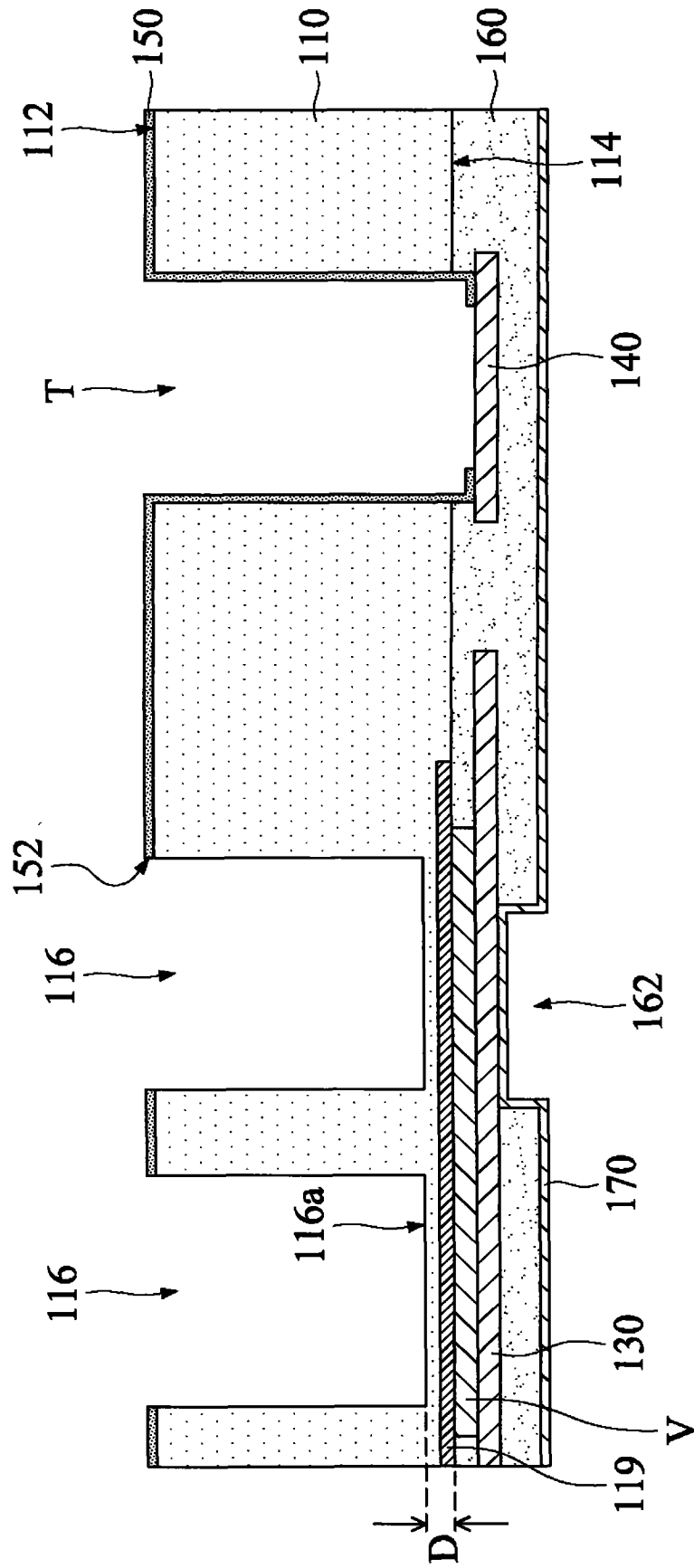


图 5J

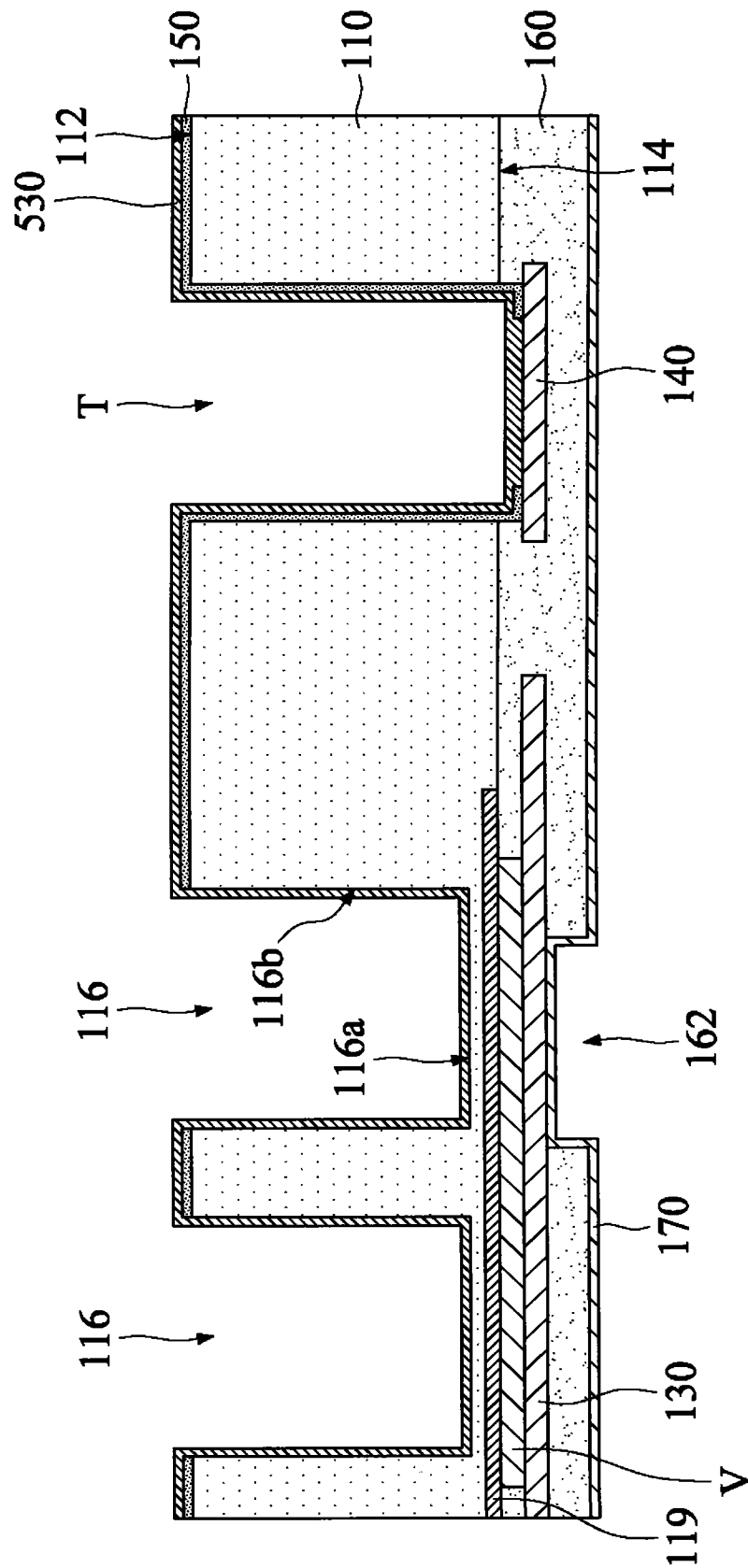


图 5K

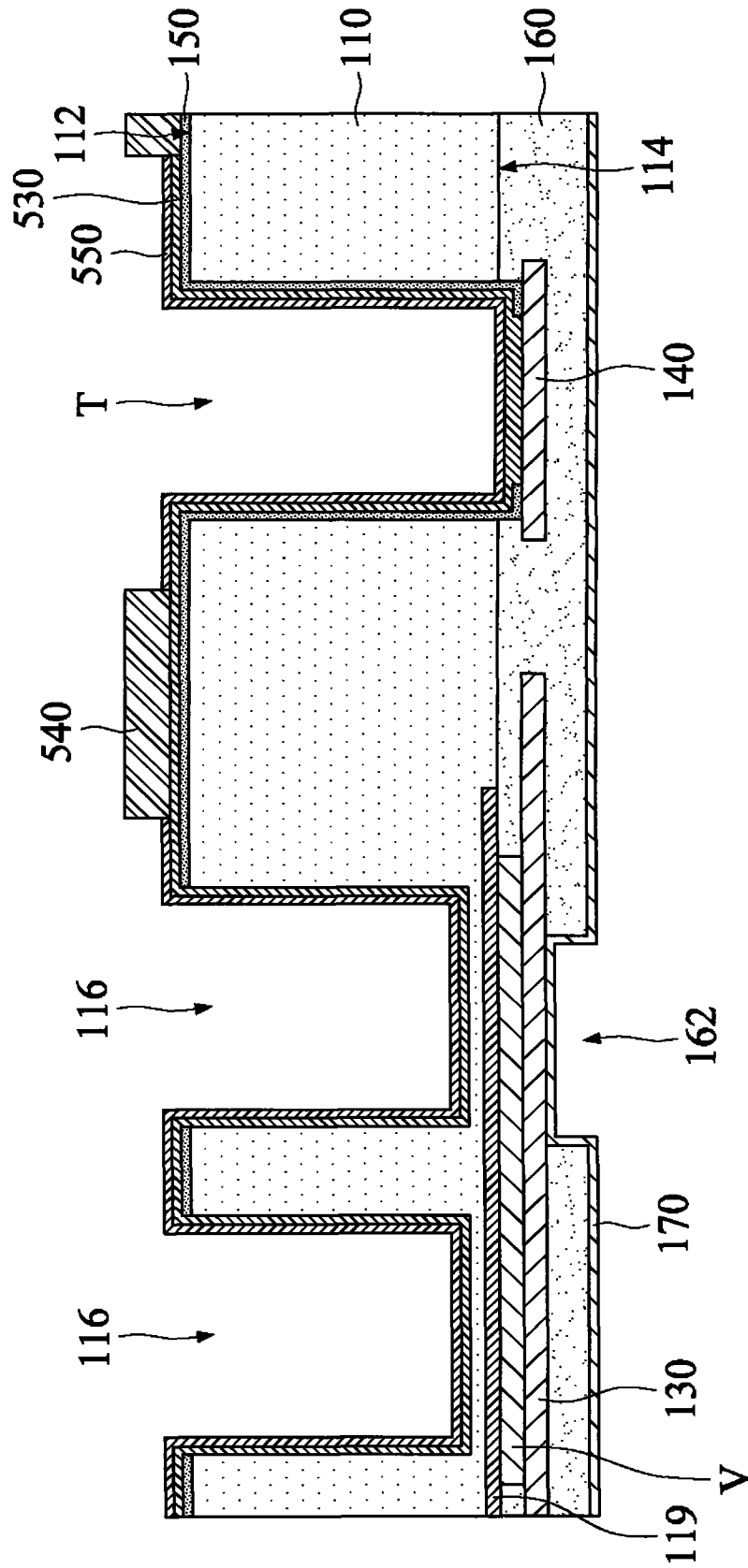


图 5L

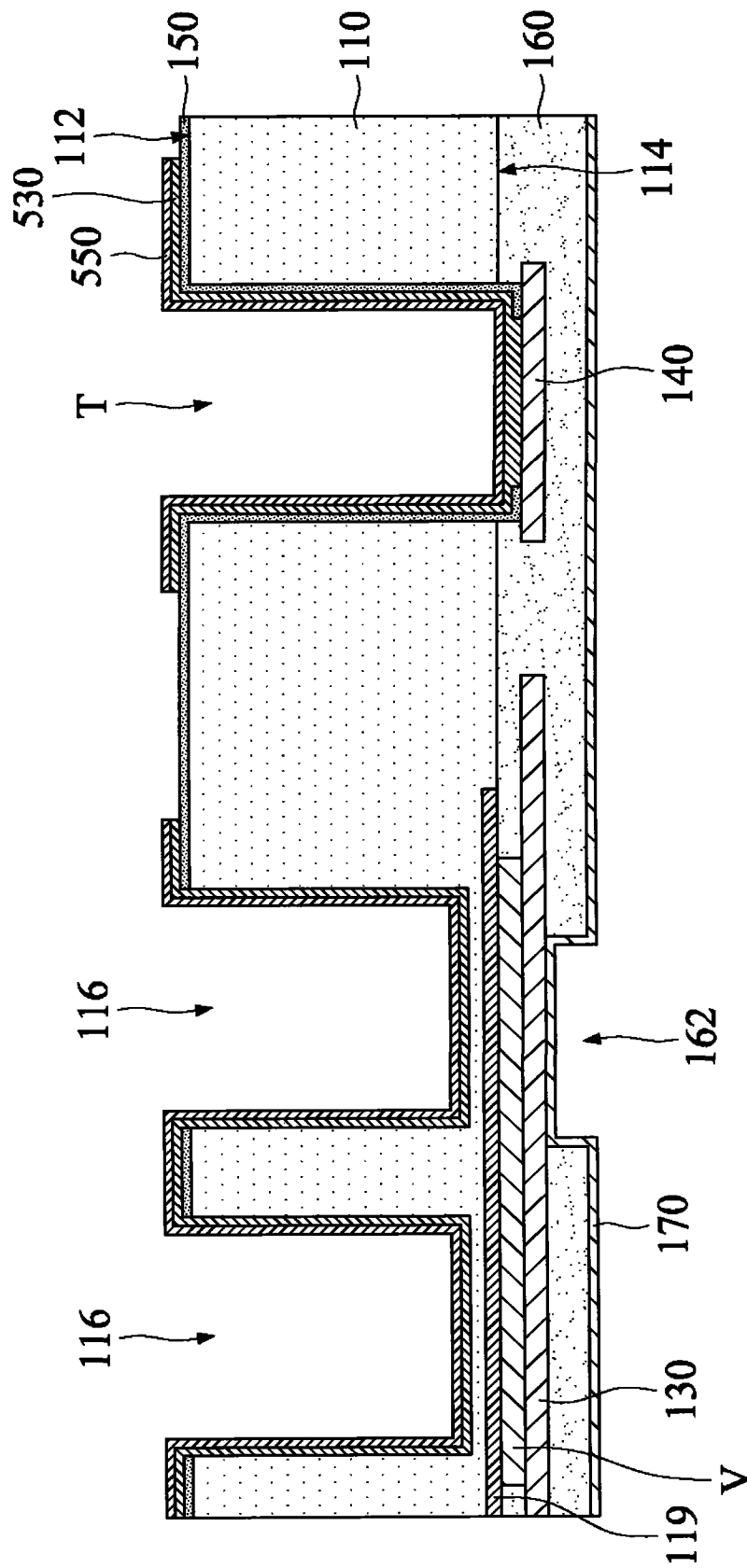


图 5M

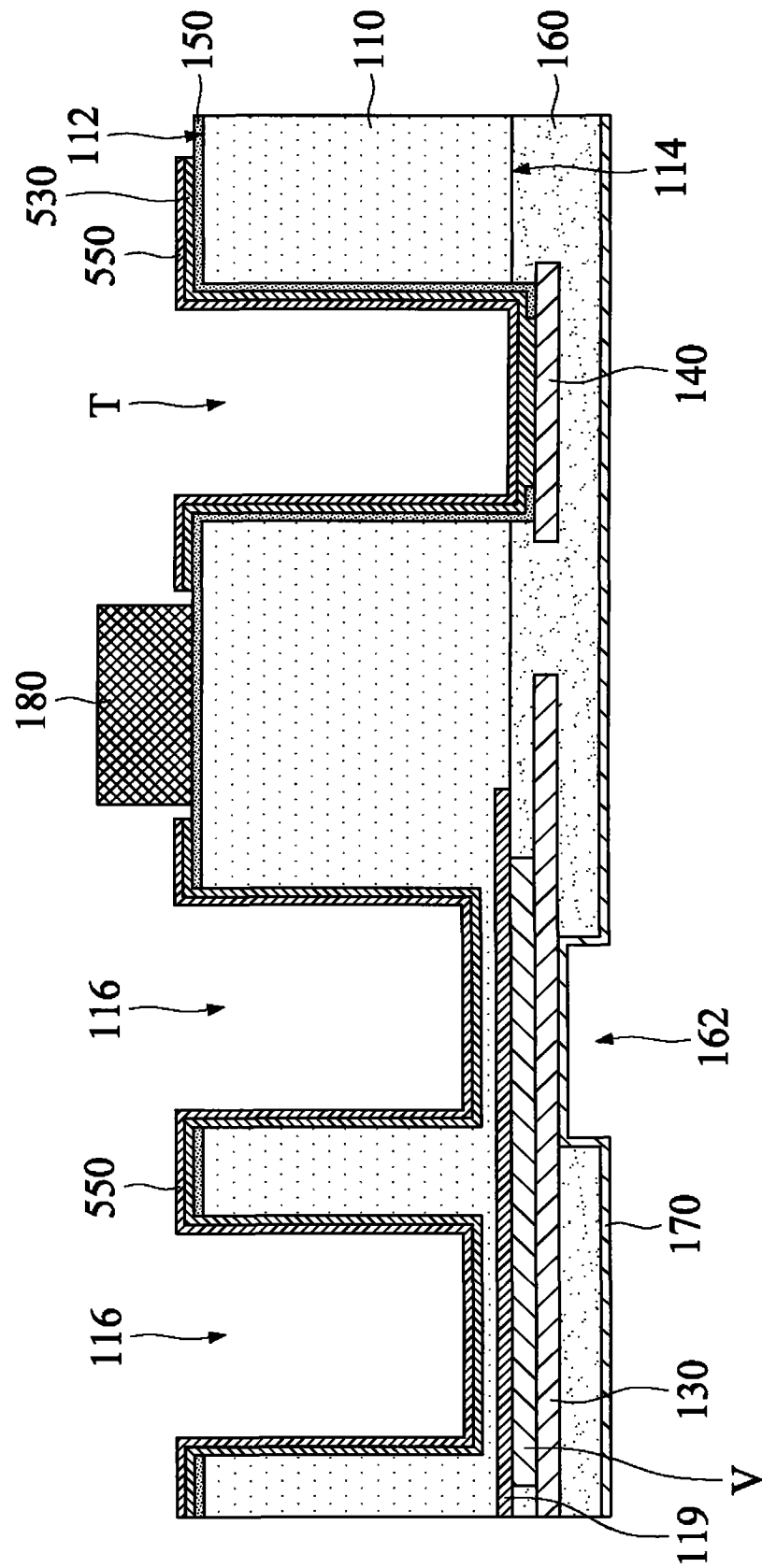


图 5N

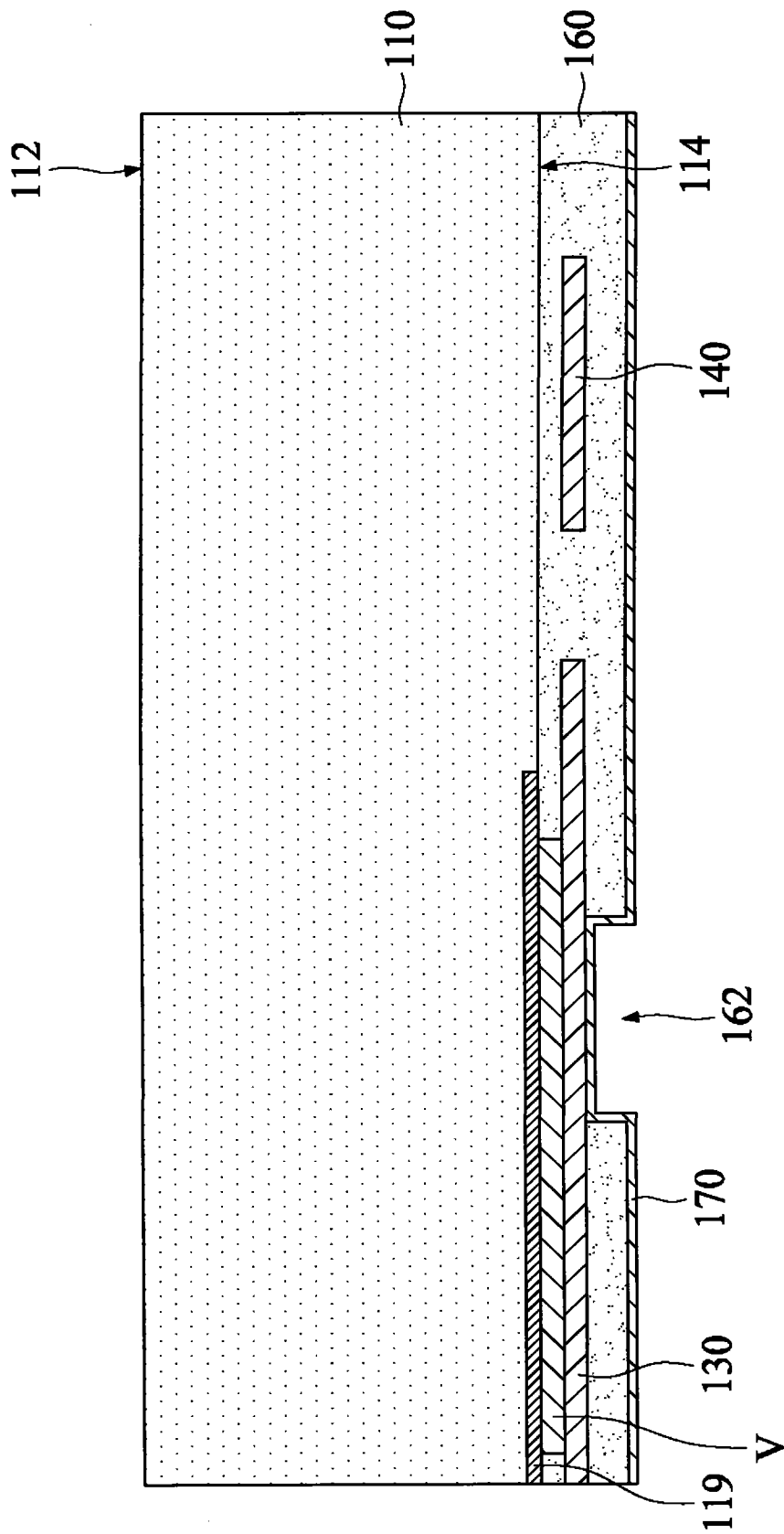


图 6A

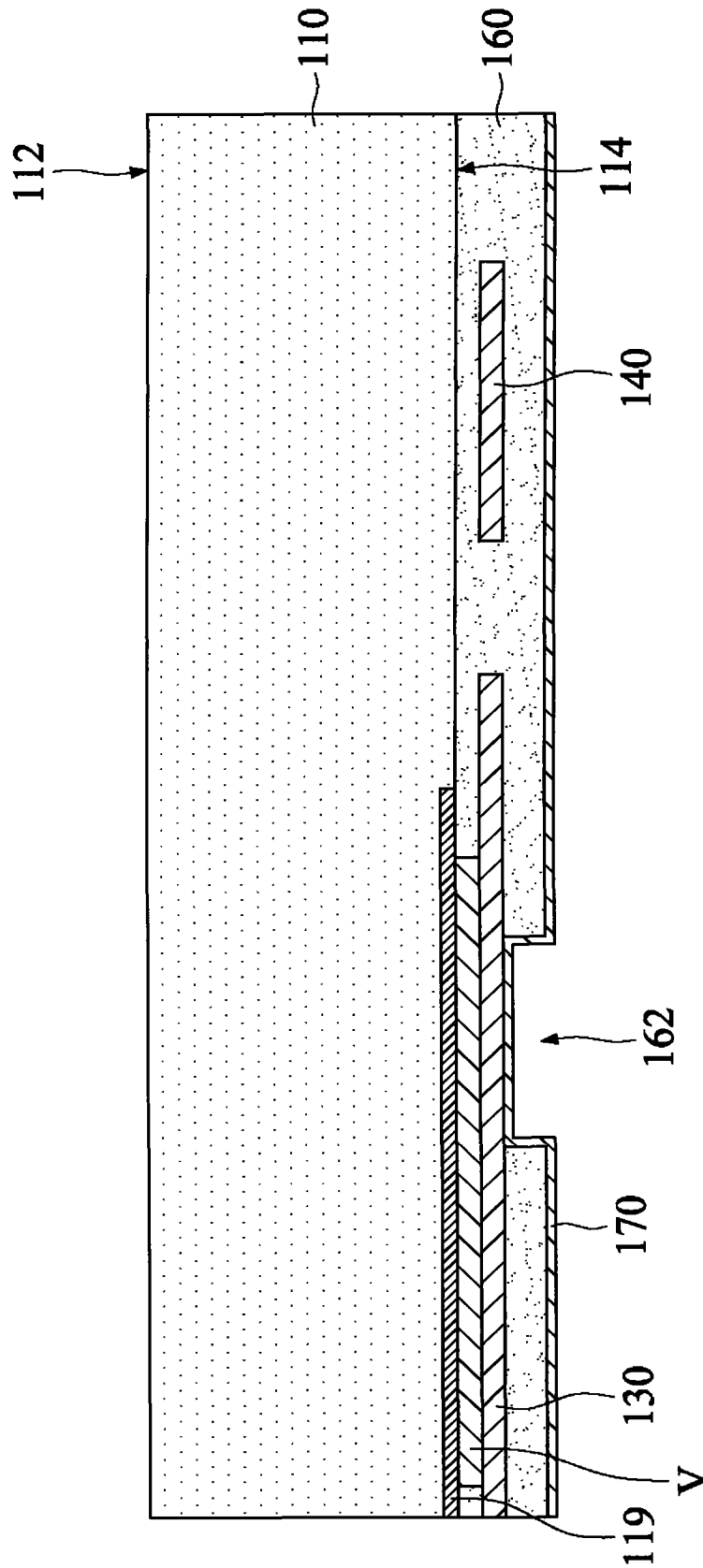


图 6B

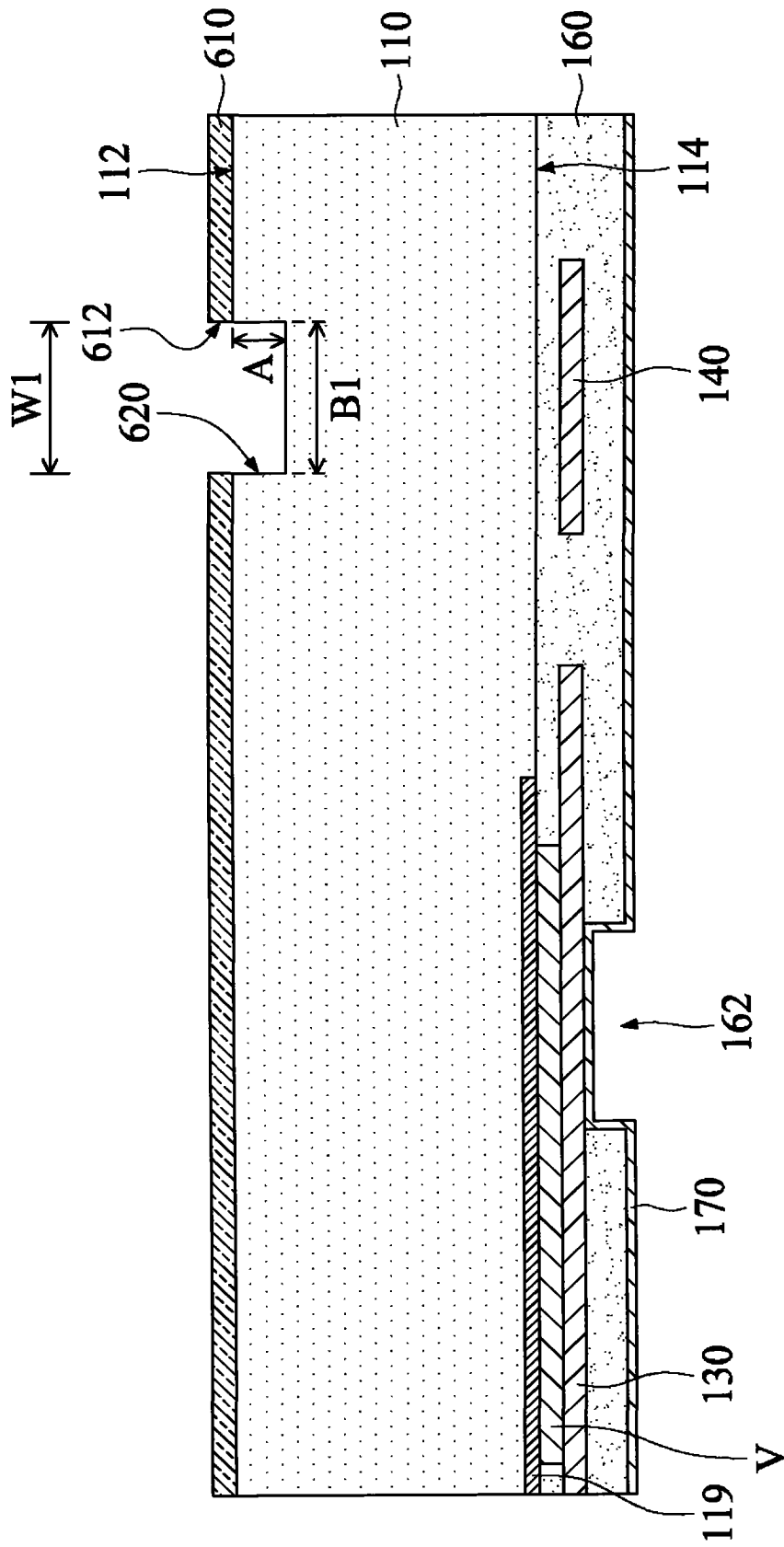


图 6C

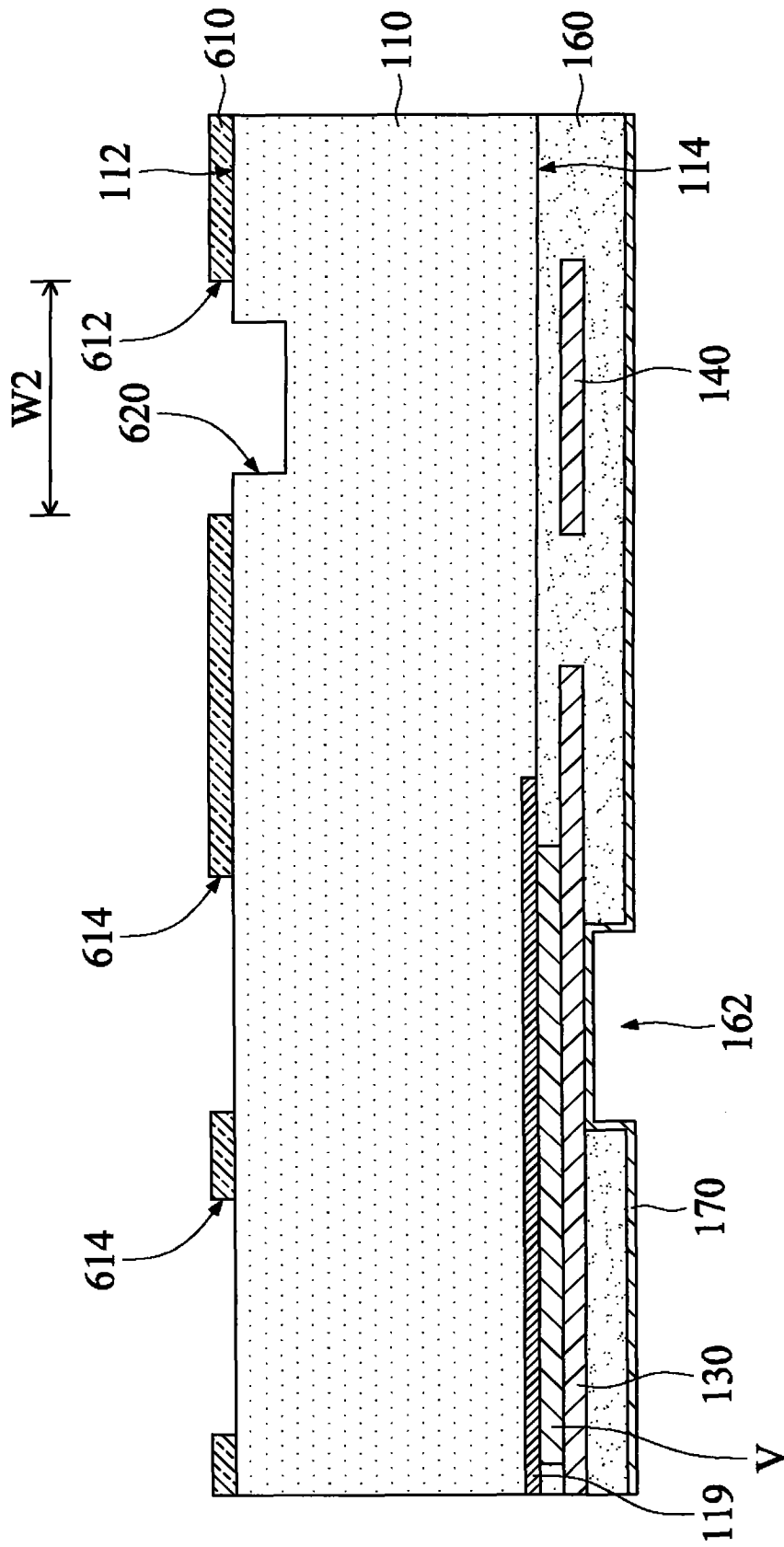


图 6D

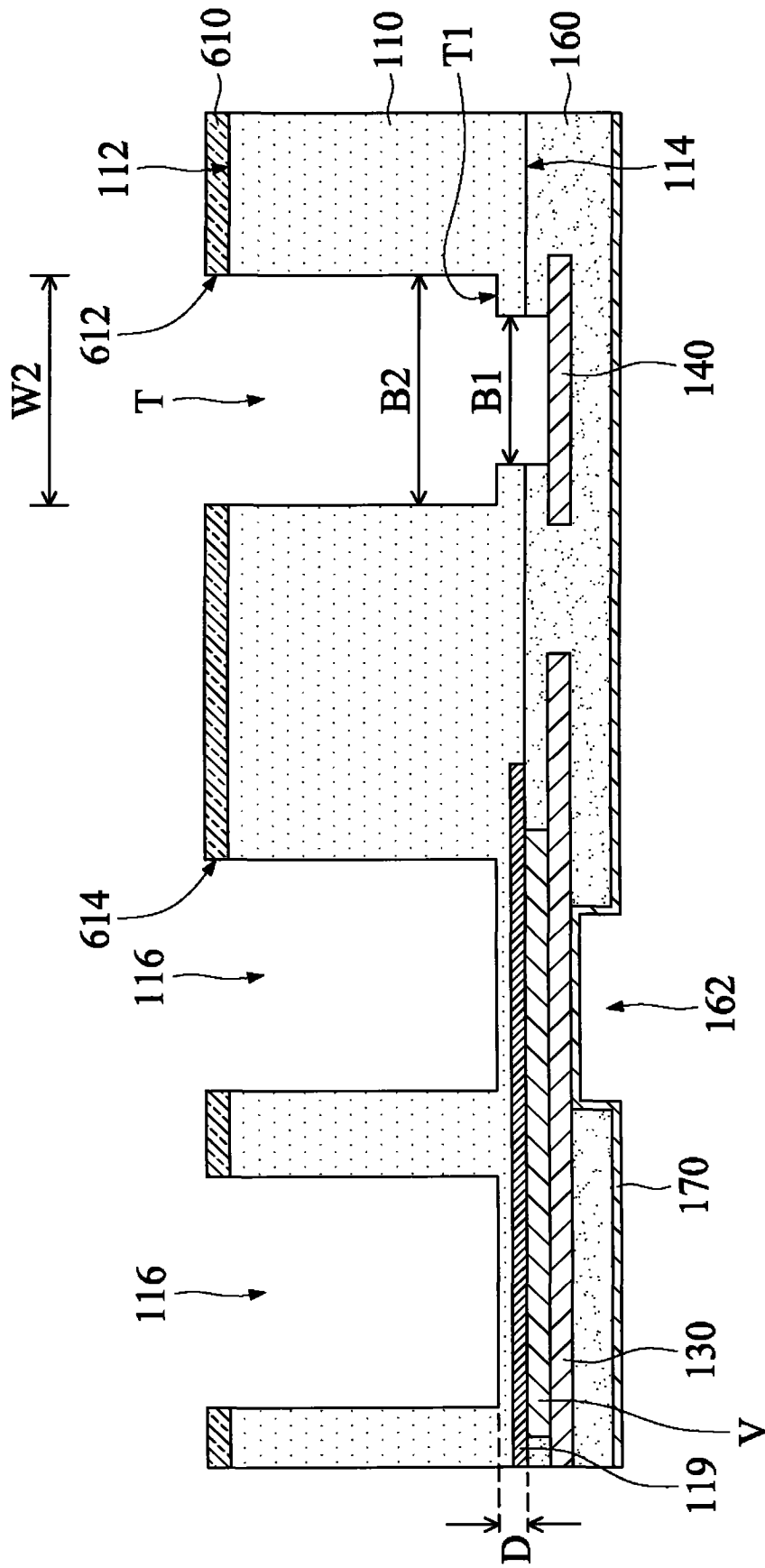


图 6E

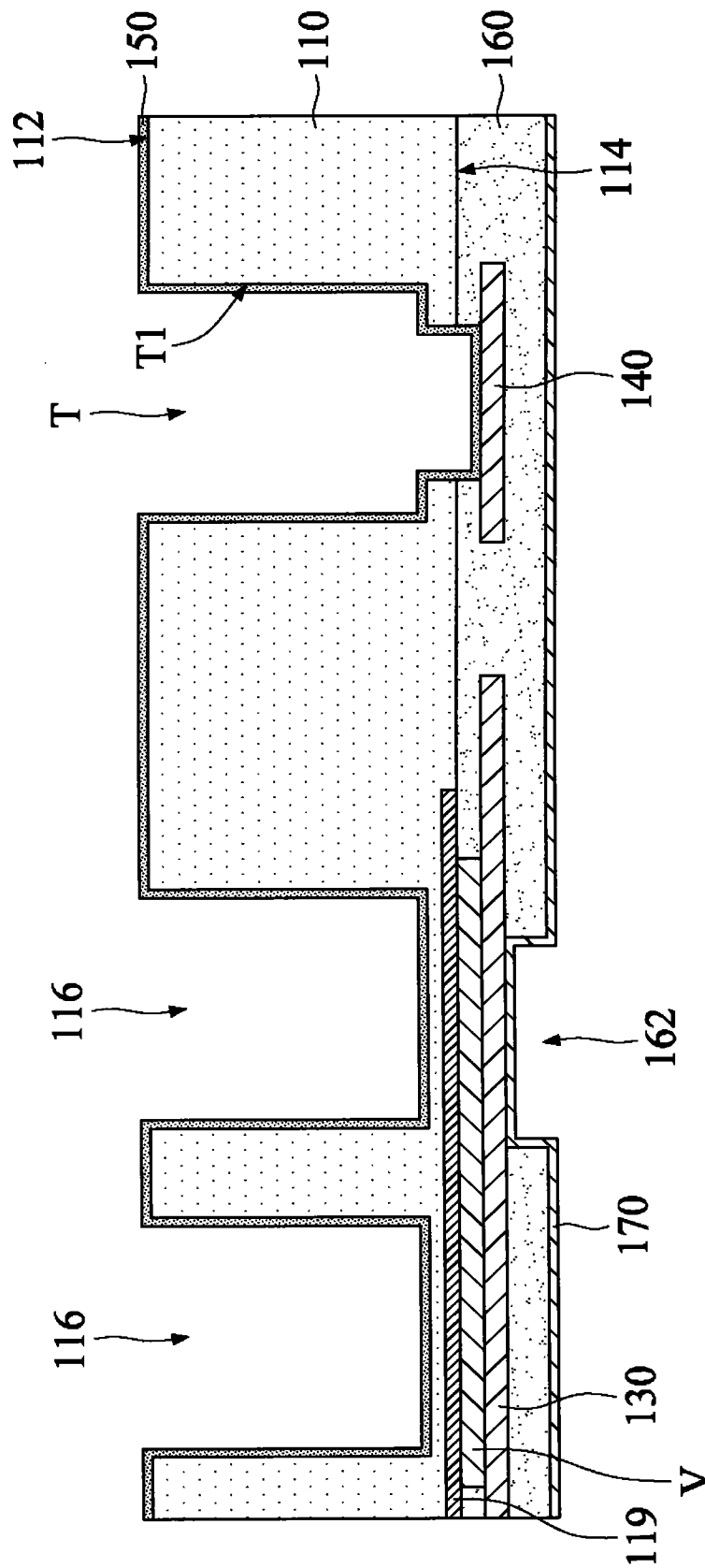


图 6F

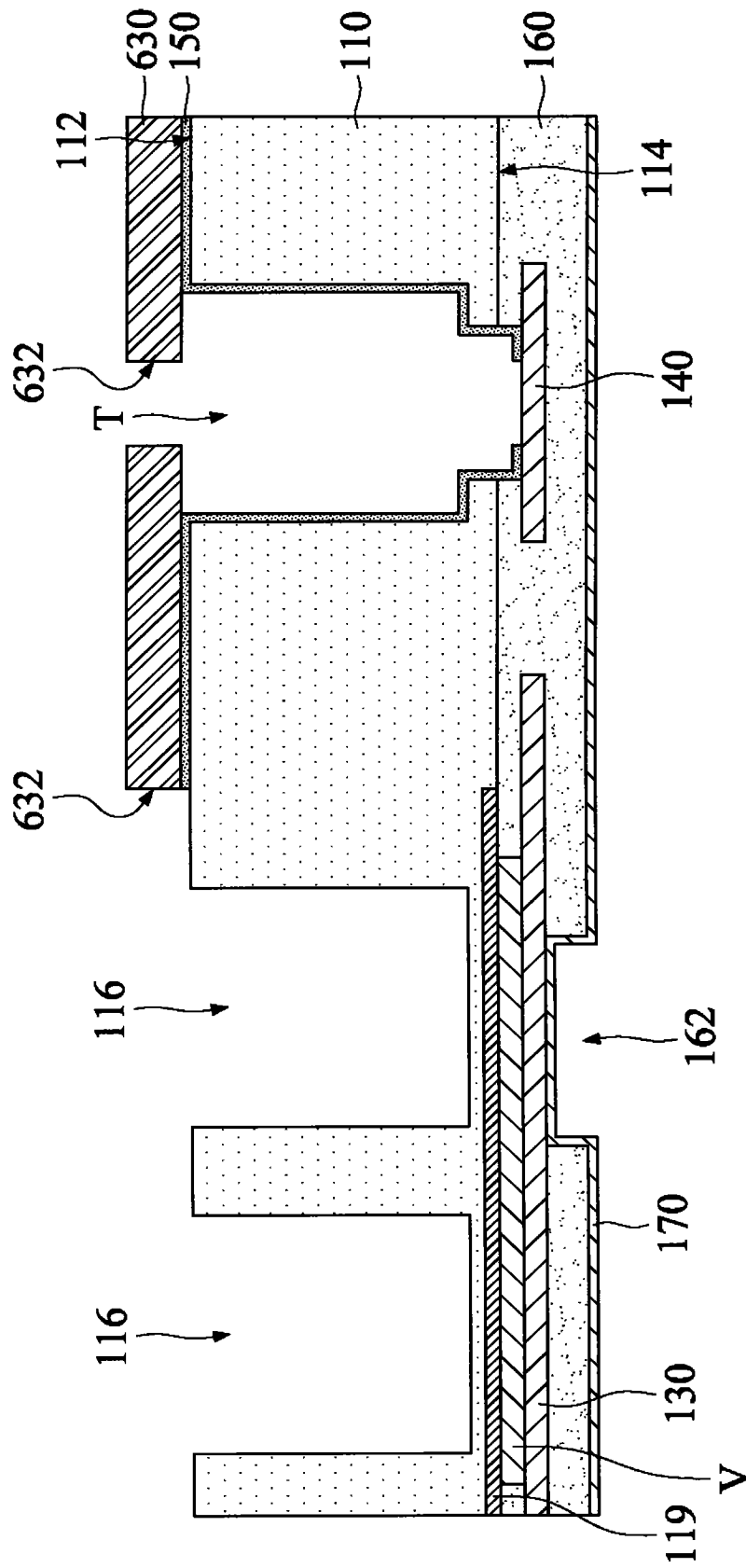


图 6G

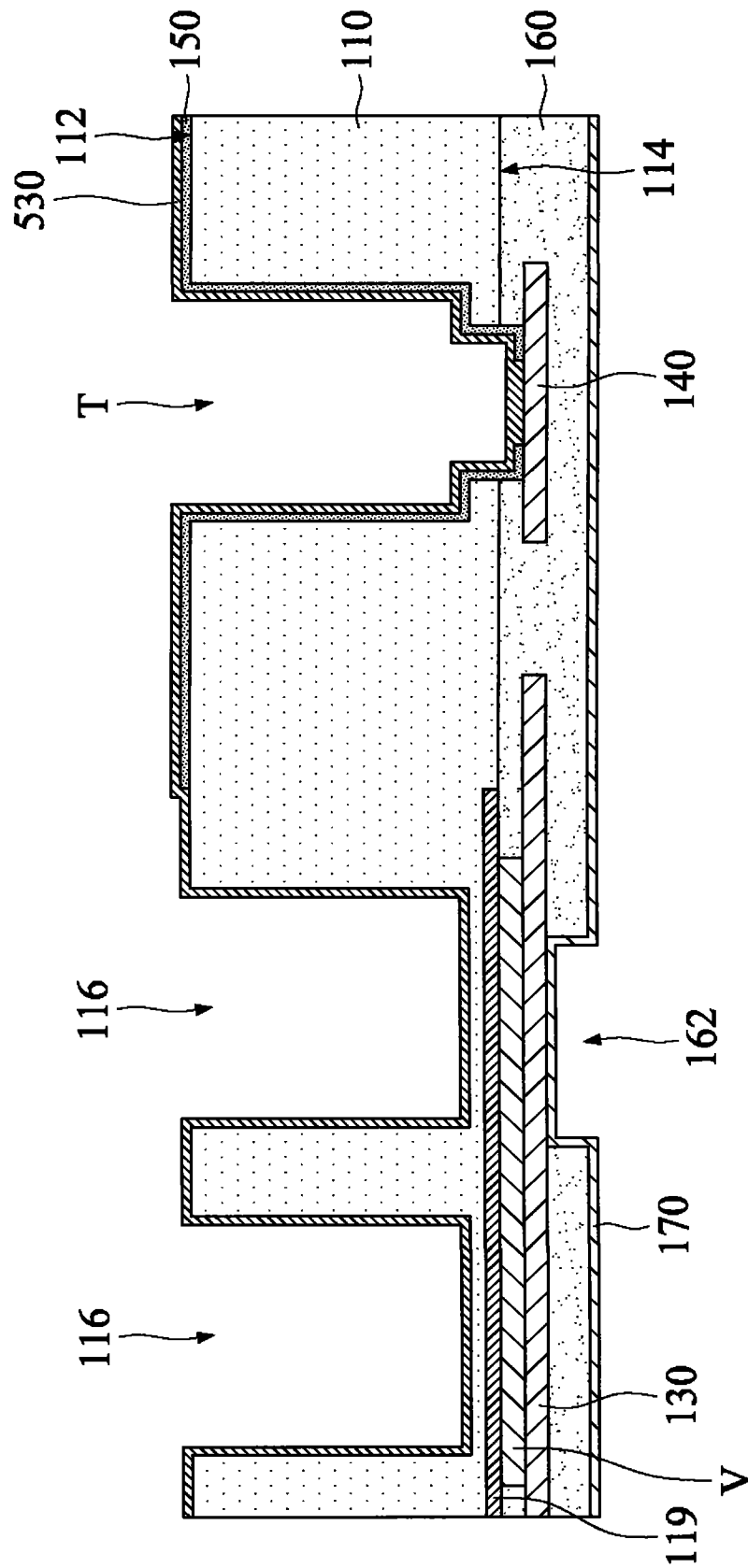


图 6H

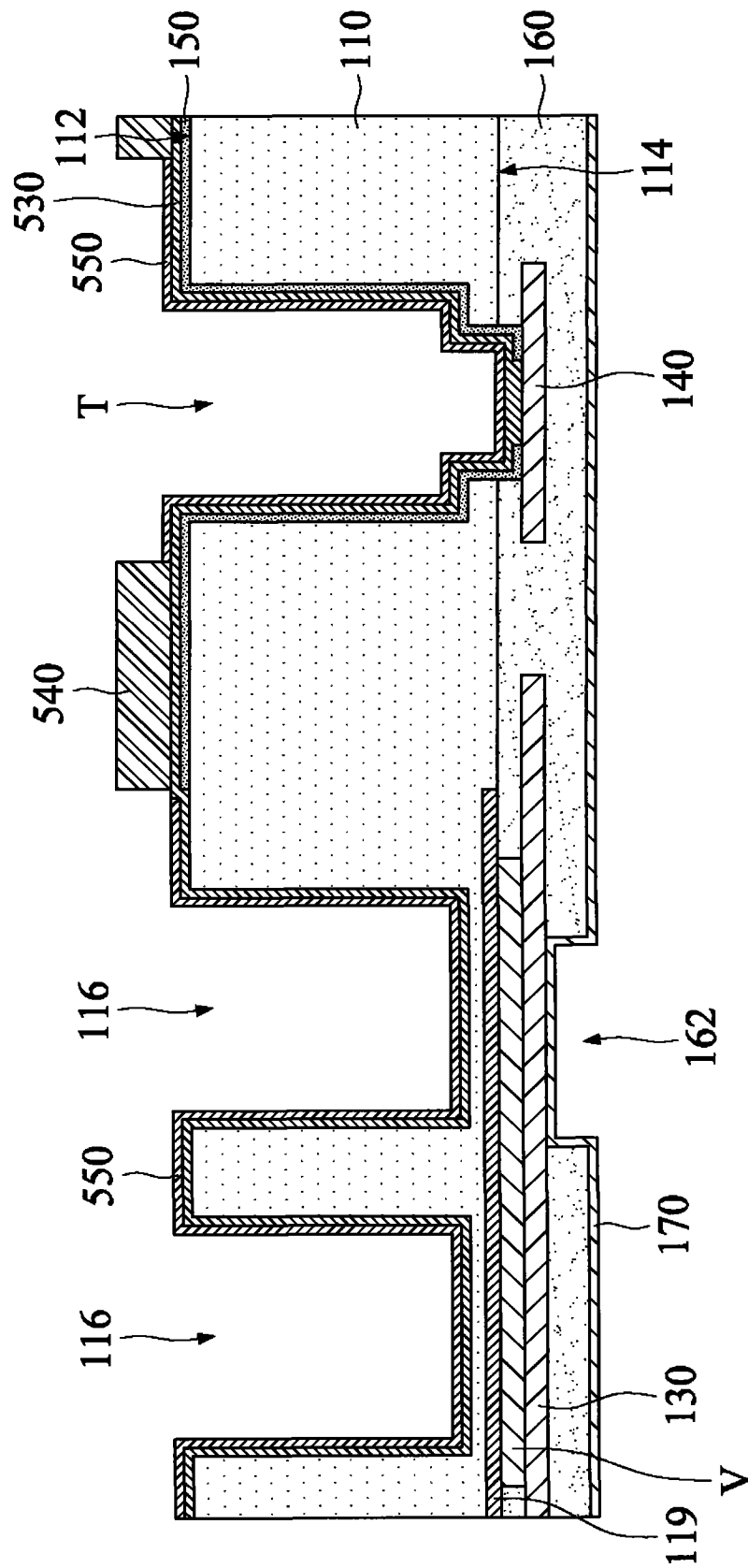


图 6I

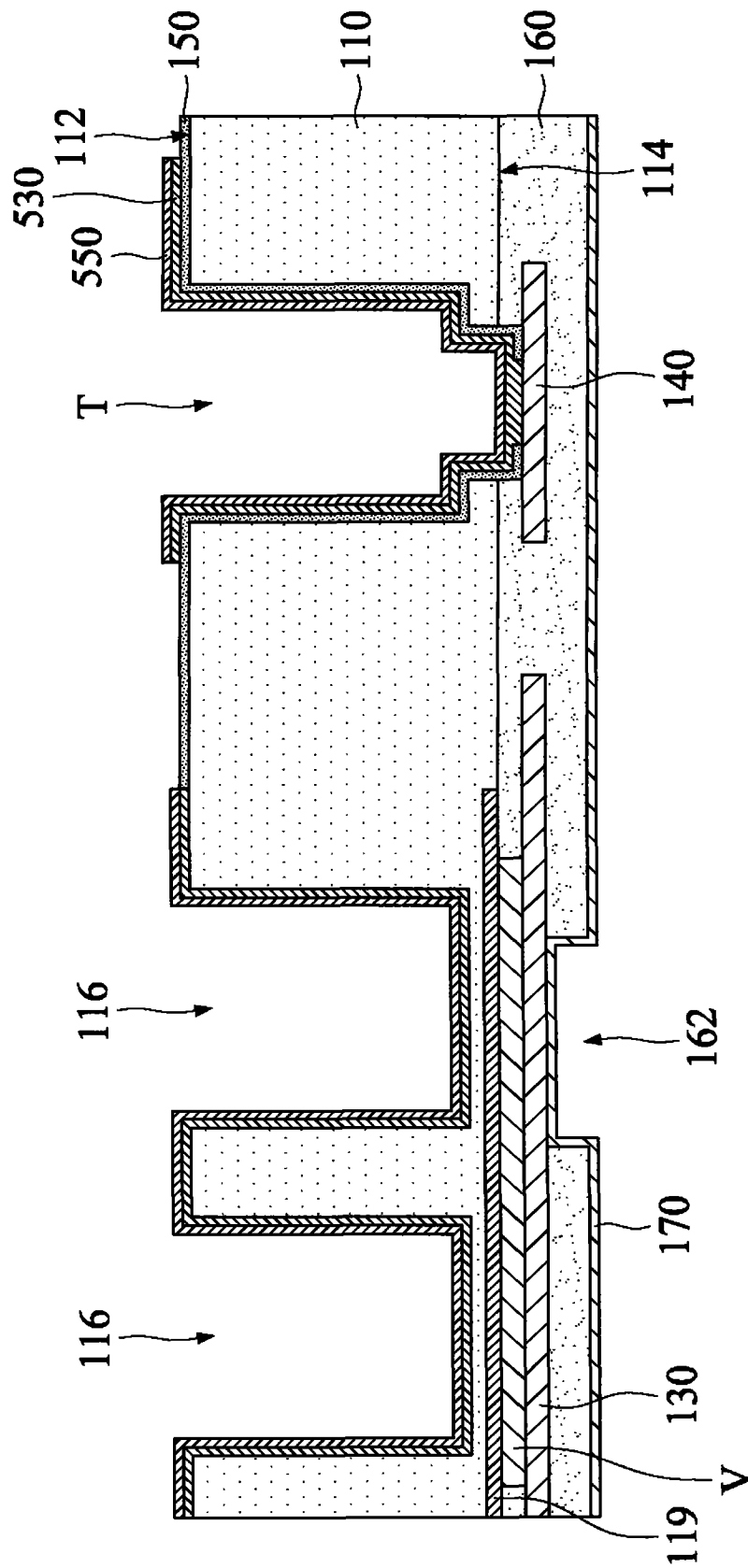


图 6J

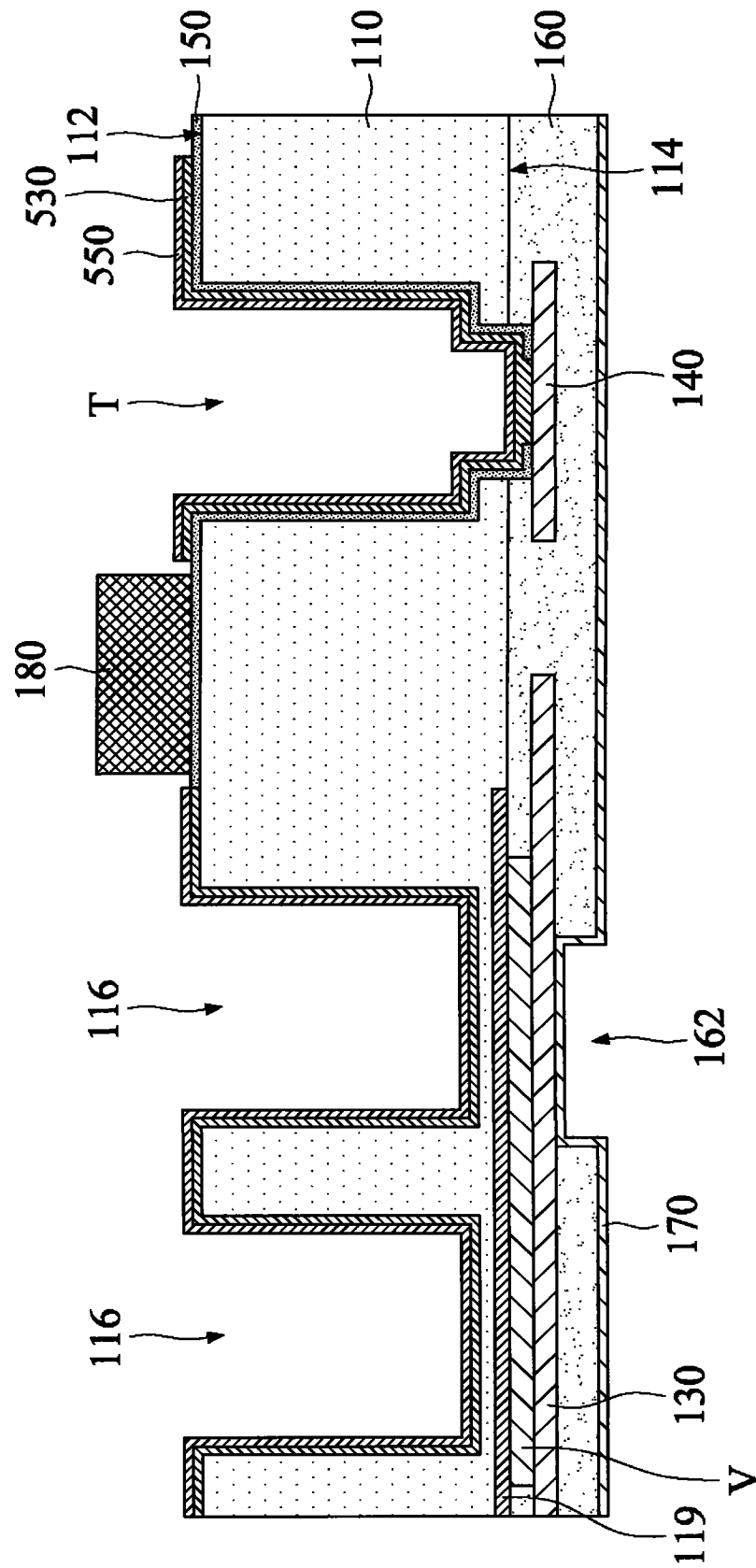


图 6K