

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4151014号
(P4151014)

(45) 発行日 平成20年9月17日(2008.9.17)

(24) 登録日 平成20年7月11日(2008.7.11)

(51) Int.Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 D

請求項の数 6 (全 15 頁)

<p>(21) 出願番号 特願2004-27086 (P2004-27086) (22) 出願日 平成16年2月3日(2004.2.3) (65) 公開番号 特開2004-297994 (P2004-297994A) (43) 公開日 平成16年10月21日(2004.10.21) 審査請求日 平成18年2月22日(2006.2.22) (31) 優先権主張番号 特願2003-64807 (P2003-64807) (32) 優先日 平成15年3月11日(2003.3.11) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地 (74) 代理人 100083116 弁理士 松浦 憲三 (72) 発明者 田村 義基 山梨県東八代郡石和町松本522-1 審査官 安池 一貴</p>
---	---

最終頁に続く

(54) 【発明の名称】 絶縁型スイッチングDC/DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

絶縁トランスの1次側に直流電圧源が接続されるとともに、該1次側に接続された第1のスイッチ素子及び第2のスイッチ素子を両者が同時にオン状態とならないように交互にオン/オフさせることにより電圧変換を行い、前記絶縁トランスの2次側整流回路を介して直流電圧の出力を得る絶縁型スイッチングDC/DCコンバータにおいて、

前記絶縁トランスは2次側がセンタータップ方式のトランスであり、入力チョークコイルと、前記絶縁トランスの1次コイルと、前記絶縁トランスの2次コイルと、出力チョークコイルと、が共通のコアに巻回され、かつ、これら各コイルの巻線により発生する直流磁束が互いに打ち消し合う方向に構成されており、

前記絶縁トランスの1次側には、前記直流電圧源の端子間に前記入力チョークコイルと前記第1のスイッチ素子との直列回路が接続され、前記第1のスイッチ素子の端子間に第1のコンデンサと前記1次コイルとの直列回路が接続されるとともに、前記第1のスイッチ素子の端子間に前記第2のスイッチ素子と第2のコンデンサとの直列回路が接続されて成り、前記入力チョークコイルと前記絶縁トランスの1次コイルの巻数はともに2N(Nは自然数)である1次側回路が形成され、

前記絶縁トランスの2次側には、前記2次コイルのうちセンタータップで分けられた第1の2次コイルの部分に接続された第1の整流用素子と、第2の2次コイルの部分に接続された第2の整流用素子と、前記第1及び第2の整流用素子によって整流された電流が流れる前記出力チョークコイルと、前記出力チョークコイルに接続された出力平滑コンデン

サと、を含み、前記第1の2次コイル及び前記第2の2次コイルの巻数、前記出力チョークコイルの巻数は何れも n (n は自然数)である2次側回路が形成されていることを特徴とする絶縁型スイッチングDC/DCコンバータ。

【請求項2】

絶縁トランスの1次側に直流電圧源が接続されるとともに、該1次側に接続された第1のスイッチ素子及び第2のスイッチ素子を両者が同時にオン状態とならないように交互にオン/オフさせることにより電圧変換を行い、前記絶縁トランスの2次側整流回路を介して直流電圧の出力を得る絶縁型スイッチングDC/DCコンバータにおいて、

前記絶縁トランスは2次側がセンタータップ方式のトランスであり、入力チョークコイルと、前記絶縁トランスの1次コイルと、前記絶縁トランスの2次コイルと、出力チョークコイルと、が共通のコアに巻回され、かつ、これら各コイル巻線により発生する直流磁束が互いに打ち消し合う方向に構成されており、

前記絶縁トランスの1次側には、前記直流電圧源の端子間に前記入力チョークコイルと前記第1のスイッチ素子との直列回路が接続され、前記第1のスイッチ素子の端子間に第1のコンデンサと前記1次コイルとの直列回路が接続されるとともに、前記直流電圧源の正極端子と前記入力チョークコイルの負極端子との間に第2のコンデンサと前記第2のスイッチ素子との直列回路が前記入力チョークコイルと並列に接続されて成り、前記入力チョークコイルと前記絶縁トランスの1次コイルの巻数はともに $2N$ (N は自然数)である1次側回路が形成され、

前記絶縁トランスの2次側には、前記2次コイルのうちセンタータップで分けられた第1の2次コイルの部分に接続された第1の整流用素子と、第2の2次コイルの部分に接続された第2の整流用素子と、前記第1及び第2の整流用素子によって整流された電流が流れる前記出力チョークコイルと、前記出力チョークコイルに接続された出力平滑コンデンサと、を含み、前記第1の2次コイル及び前記第2の2次コイルの巻数、前記出力チョークコイルの巻数は何れも n (n は自然数)である2次側回路が形成されていることを特徴とする絶縁型スイッチングDC/DCコンバータ。

【請求項3】

前記センタータップはグラウンドに接続され、前記出力チョークコイルは前記第1の整流用素子及び前記第2の整流用素子と接続されていることを特徴とする請求項1又は2記載の絶縁型スイッチングDC/DCコンバータ。

【請求項4】

前記出力チョークコイルは、前記センタータップに接続されていることを特徴とする請求項1又は2記載の絶縁型スイッチングDC/DCコンバータ。

【請求項5】

絶縁トランスの1次側に直流電圧源が接続されるとともに、該1次側に接続された第1のスイッチ素子及び第2のスイッチ素子を両者が同時にオン状態とならないように交互にオン/オフさせることにより電圧変換を行い、前記絶縁トランスの2次側整流回路を介して直流電圧の出力を得る絶縁型スイッチングDC/DCコンバータにおいて、

前記絶縁トランスは2次側に第1の2次コイルと第2の2次コイルとを有する複合トランスであり、入力チョークコイルと、前記絶縁トランスの1次コイルと、前記第1の2次コイルと、前記第2の2次コイルと、出力チョークコイルと、が共通のコアに巻回され、かつ、これら各コイル巻線により発生する直流磁束が互いに打ち消し合う方向に構成されており、

前記絶縁トランスの1次側には、前記直流電圧源の端子間に前記入力チョークコイルと前記第1のスイッチ素子との直列回路が接続され、前記第1のスイッチ素子の端子間に第1のコンデンサと前記1次コイルとの直列回路が接続されるとともに、前記第1のスイッチ素子の端子間に前記第2のスイッチ素子と第2のコンデンサとの直列回路が接続されて成り、前記入力チョークコイルと前記絶縁トランスの1次コイルの巻数はともに $2N$ (N は自然数)である1次側回路が形成され、

前記絶縁トランスの2次側には、前記第1の2次コイルに接続された第1の整流用素子

と、前記第 2 の 2 次コイルに接続された第 2 の整流用素子と、前記第 1 及び第 2 の整流用素子によって整流された電流が流れる前記出力チョークコイルと、前記出力チョークコイルに接続された出力平滑コンデンサと、を含み、前記第 1 の 2 次コイル及び前記第 2 の 2 次コイルの巻数、前記出力チョークコイルの巻数は何れも n (n は自然数) である 2 次側回路が形成されていることを特徴とする絶縁型スイッチング DC / DC コンバータ。

【請求項 6】

絶縁トランスの 1 次側に直流電圧源が接続されるとともに、該 1 次側に接続された第 1 のスイッチ素子及び第 2 のスイッチ素子を両者が同時にオン状態とならないように交互にオン / オフさせることにより電圧変換を行い、前記絶縁トランスの 2 次側整流回路を介して直流電圧の出力を得る絶縁型スイッチング DC / DC コンバータにおいて、

前記絶縁トランスは 2 次側に第 1 の 2 次コイルと、第 2 の 2 次コイルとを有する複合トランスであり、入力チョークコイルと、前記絶縁トランスの 1 次コイルと、前記第 1 の 2 次コイルと、前記第 2 の 2 次コイルと、出力チョークコイルと、が共通のコアに巻回され、かつ、これら各コイルの巻線により発生する直流磁束が互いに打ち消し合う方向に構成されており、

前記絶縁トランスの 1 次側には、前記直流電圧源の端子間に前記入力チョークコイルと前記第 1 のスイッチ素子との直列回路が接続され、前記第 1 のスイッチ素子の端子間に第 1 のコンデンサと前記 1 次コイルとの直列回路が接続されるとともに、前記直流電圧源の正極端子と前記入力チョークコイルの負極端子との間に第 2 のコンデンサと前記第 2 のスイッチ素子との直列回路が前記入力チョークコイルと並列に接続されて成り、前記入力チョークコイルと前記絶縁トランスの 1 次コイルの巻数はともに $2N$ (N は自然数) である 1 次側回路が形成され、

前記絶縁トランスの 2 次側には、前記第 1 の 2 次コイルに接続された第 1 の整流用素子と、前記第 2 の 2 次コイルに接続された第 2 の整流用素子と、前記第 1 及び第 2 の整流用素子によって整流された電流が流れる前記出力チョークコイルと、前記出力チョークコイルに接続された出力平滑コンデンサと、を含み、前記第 1 の 2 次コイル及び前記第 2 の 2 次コイルの巻数、前記出力チョークコイルの巻数は何れも n (n は自然数) である 2 次側回路が形成されていることを特徴とする絶縁型スイッチング DC / DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はスイッチング電源装置に係り、特に絶縁型スイッチング DC / DC コンバータの高効率化及び小型化を実現する技術に関する。

【背景技術】

【0002】

従来、昇圧回路とハーフブリッジ回路とを一体化したブーストハーフブリッジ (BHB) 方式のスイッチング電源回路が提案されている (特許文献 1, 非特許文献 1, 非特許文献 2, 非特許文献 3 参照)。非特許文献 2 で提案されている回路構成図を図 29 に示す。なお、図 29 中、E は入力電圧源、L1 は入力チョークコイル、L2 は出力チョークコイル、Co は出力平滑コンデンサ、Ro は負荷抵抗、Vo は出力直流電圧である。

【0003】

同図に示した BHB 方式の回路によれば、入力電圧源 E が入力チョークコイル L1 を介してハーフブリッジ構成の 2 つのスイッチ素子 (FET1、FET2) の中点に接続し、トランス T の 2 次巻線電流は 2 つの同期整流 MOS (FET3、FET4) によって全波整流される。また、2 つのスイッチ素子 (FET1、FET2) は相補的に制御される構成となっている。

【0004】

非特許文献 3 によれば、上記 BHB 方式において昇圧チョークをトランスの 1 次巻線に取り込む構成が提案されている。

【特許文献 1】特開平 11 - 262263 号公報

【非特許文献 1】渡辺晴夫、外 2 名、「BHB (Boost Half Bridge) 方式電源」, 信学

10

20

30

40

50

技報，社団法人電子情報通信学会，E E 9 8 - 1 7 (1998 - 07) ， p 28 - 34

【非特許文献2】渡辺晴夫，「Boost Half Bridge 方式による高効率オンボード電源」，2000スイッチング電源システムシンポジウム，社団法人日本能率協会，B 2 - 2

【非特許文献3】松田善秋，「低電圧出力高効率DC/DCコンバータ」，2001スイッチング電源システムシンポジウム，社団法人日本能率協会，A 2 - 3

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、従来提案されている回路構成においては、出力のリプル電圧及びリプル電流は小さくなるが、磁気部品（入力チョークコイル、出力チョークコイル、トランス）のコアのトータル直流偏磁量が非常に大きくなり、コアの体積が大きく、かつ装置全体の効率が悪いという欠点がある。

10

【0006】

本発明はこのような事情に鑑みてなされたもので、磁気部品のコア体積の低減及びコア損失の低減を図り、装置全体の効率向上を実現し得るスイッチングDC/DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0007】

前記目的を達成するために本発明は、絶縁トランスの1次側に直流電圧源が接続されるとともに、該1次側に接続された第1のスイッチ素子及び第2のスイッチ素子を両者が同時にオン状態とならないように交互にオン/オフさせることにより電圧変換を行い、前記絶縁トランスの2次側整流回路を介して直流電圧の出力を得る絶縁型スイッチングDC/DCコンバータにおいて、前記絶縁トランスは2次側がセンタータップ方式のトランスであり、入力チョークコイルと、前記絶縁トランスの1次コイルと、前記絶縁トランスの2次コイルと、出力チョークコイルと、が共通のコアに巻回され、かつ、これら各コイルの巻線により発生する直流磁束が互いに打ち消し合う方向に構成されており、前記絶縁トランスの1次側には、前記直流電圧源の端子間に前記入力チョークコイルと前記第1のスイッチ素子との直列回路が接続され、前記第1のスイッチ素子の端子間に第1のコンデンサと前記1次コイルとの直列回路が接続されるとともに、前記第1のスイッチ素子の端子間に前記第2のスイッチ素子と第2のコンデンサとの直列回路が接続されて成り、前記入力チョークコイルと前記絶縁トランスの1次コイルの巻数はともに2N（Nは自然数）である1次側回路が形成され、前記絶縁トランスの2次側には、前記2次コイルのうちセンタータップで分けられた第1の2次コイルの部分に接続された第1の整流用素子と、第2の2次コイルの部分に接続された第2の整流用素子と、前記第1及び第2の整流用素子によって整流された電流が流れる前記出力チョークコイルと、前記出力チョークコイルに接続された出力平滑コンデンサと、を含み、前記第1の2次コイル及び前記第2の2次コイルの巻数、前記出力チョークコイルの巻数は何れもn（nは自然数）である2次側回路が形成されていることを特徴とする。

20

30

【0008】

本発明によれば、2次側がセンタータップ方式の絶縁トランスを用いるDC/DCコンバータにおいて、入力チョークコイル及び出力チョークコイルを該絶縁トランスと一体化し、同一のコア（磁心）にトランスの1次コイル、2次コイル及び入・出力チョークコイルを巻回し、かつ、それぞれのコイルが作る直流磁束を打ち消す方向に巻数と巻き方向を設計することで、コアの直流偏磁量を非常に小さくしている。これにより、従来と比較してコアの体積を大幅に小型化でき、かつコア損失を低減できるため、高効率の装置を実現できる。

40

【0009】

本発明の他の態様として、前記1次側回路における第2のコンデンサと前記第2のスイッチ素子との直列回路の接続場所を変更し、前記直流電圧源の正極端子と前記入力チョークコイルの負極端子との間に第2のコンデンサと前記第2のスイッチ素子との直列回路を

50

前記入力チョークコイルと並列に接続した構成の1次側回路とする態様もある。

【0010】

また、2次側回路において、前記センタータップはグラウンドに接続され、前記出力チョークコイルは前記第1の整流用素子及び前記第2の整流用素子と接続されていることを特徴とする態様や前記出力チョークコイルを前記センタータップに接続する態様などがある。

【0011】

更に、上記したセンタータップ方式の絶縁トランスに代えて、2次側に第1の2次コイルと第2の2次コイルとを有する複合トランスを用いる態様も可能である。

【0012】

この場合、入力チョークコイルと、前記絶縁トランスの1次コイルと、前記第1の2次コイルと、前記第2の2次コイルと、出力チョークコイルと、が共通のコアに巻回され、かつ、これら各コイル巻線により発生する直流磁束が互いに打ち消し合う方向に構成されており、前記絶縁トランスの1次側には、前記直流電圧源の端子間に前記入力チョークコイルと前記第1のスイッチ素子との直列回路が接続され、前記第1のスイッチ素子の端子間に第1のコンデンサと前記1次コイルとの直列回路が接続されるとともに、前記第1のスイッチ素子の端子間に前記第2のスイッチ素子と第2のコンデンサとの直列回路が接続されて成る1次側回路が形成され、前記絶縁トランスの2次側には、前記第1の2次コイルに接続された第1の整流用素子と、前記第2の2次コイルに接続された第2の整流用素子と、前記第1及び第2の整流用素子によって整流された電流が流れる前記出力チョークコイルと、前記出力チョークコイルに接続された出力平滑コンデンサと、を含む2次側回路が形成されていることを特徴とする。

【0013】

上記複合トランスを利用した構成の前記1次側回路における第2のコンデンサと前記第2のスイッチ素子との直列回路の接続場所を変更し、前記直流電圧源の正極端子と前記入力チョークコイルの負極端子との間に第2のコンデンサと前記第2のスイッチ素子との直列回路を前記入力チョークコイルと並列に接続した構成の1次側回路とする態様もある。

【発明の効果】

【0014】

本発明によれば、トランスの2次側に複数のコイルを設けたセンタータップ方式又は複合トランスを利用した絶縁型スイッチングDC/DCコンバータにおいて、入力チョークコイル及び出力チョークコイルを該絶縁トランスと一体化し、同一のコアにトランスの1次コイル、2次コイル及び入・出力チョークコイルを巻回し、かつ、それぞれのコイルが作る直流磁束を打ち消す方向にしてコアの直流偏磁量を非常に小さくしたので、従来と比較してコアの体積を大幅に小型化できるとともに、コア損失の低減を図ることができ、装置の高効率化を達成できる。

【発明を実施するための最良の形態】

【0015】

以下添付図面に従って本発明の好ましい実施の形態について詳説する。

【0016】

図1は本発明の実施形態に係るDC/DCコンバータ(昇圧アクティブクランプハーフブリッジ・コンバータ)の回路図である。図1において、 V_i は入力電源であり、 L_{r1} はリーケージインダクタンス、 L_1 は入力チョークコイル(巻数 $2N$ 、 N は自然数)、 Q_1 と Q_1' はFETを用いたスイッチ素子、 C_1 は直流成分除去用コンデンサ、 C_2 はクランプコンデンサ、 L_{r2} はリーケージインダクタンス、 T_r は2次側がセンタータップ方式の絶縁トランス(1次コイルの巻数 $2N$ 、2次コイルの巻数 n と n 、 n は自然数)、 Q_2 と Q_2' は同期整流素子として機能するスイッチ素子、 L_{r3} はリーケージインダクタンス或いは外部挿入インダクタンスとリーケージインダクタンスとの和、 L_3 は出力チョークコイル(巻数 n)、 C_o は出力平滑コンデンサ、 V_o は出力直流電圧を示している。なお、本例ではスイッチ素子 Q_1 、 Q_1' 、 Q_2 、 Q_2' としてMOSFETを用いているが、本発明の実施に際し

10

20

30

40

50

ては他の半導体素子を使用してもよい。

【 0 0 1 7 】

入・出力チョークコイル L_1 , L_3 はトランス T_r と一体化されており、共通のコア（例えば、E I 形コア）に入・出力チョークコイル L_1 , L_3 とトランス T_r の 1 次コイル、2 次コイルが巻かれ、それぞれのコイルの巻線が作る直流磁束を打ち消し合う方向に構成されている。

【 0 0 1 8 】

図 2 に E I 形コアを使用した例を示す。同図に示すように E I 形コア 2 0 は、E 形コア 2 1 と I 形コア 2 2 とが組み合わされた構造を有している。E 形コア 2 1 の 3 本の磁脚 2 1 A、2 1 B、2 1 C と I 形コア 2 2 との接続面にはギャップ 2 3 が設けられている。

10

【 0 0 1 9 】

E 形コア 2 1 の一方の外磁脚 2 1 A には、図 2 のように入力チョークコイル L_1 、トランス T_r の 1 次コイル ($2N$) 及び 2 次コイル (n, n) が巻装され、中央磁脚 2 1 B には巻数 n の出力チョークコイル L_3 が巻装されている。図 2 上で右側の外磁脚 2 1 C は漏れ磁束が流入する磁気漏洩足である。

【 0 0 2 0 】

外磁脚 2 1 A 及び中央磁脚 2 1 B に巻かれた各コイルの巻線の方向は図中のドット (・) で表したように、それぞれの巻線に電流が流れた際に各コイルで発生する起磁力が打ち消し合う方向になっている。このように、複数の巻線を組み合わせて直流磁束を相殺する方向に構成することで、コアの直流偏磁量を非常に小さくすることができる。

20

【 0 0 2 1 】

こうして、コア全体の体積を大幅に小型化することが可能となり、コア損失の低減及び装置全体の効率向上を達成できる。なお、本発明の実施に際してコアの形状は E I 形コアに限定されず、E E 形コアその他の他の形状から成るコアを用いることが可能である。

【 0 0 2 2 】

次に、図 1 に示した回路の動作を説明する。

【 0 0 2 3 】

図 3 は図 1 に示した回路の各部の動作波形である。なお、図 3 においてモード 1 とモード 6 以外の期間は実際よりも長く表している。

【 0 0 2 4 】

図 3 において $V_{GS}(Q_1)$ と $V_{GS}(Q_1')$ はそれぞれスイッチ素子 Q_1 と Q_1' のゲート電圧である。これら二つのスイッチ素子 Q_1 , Q_1' はデッドタイム T_{d1} , T_{d2} の期間を除いて一方がオンの期間に他方はオフするように、不図示の制御回路によって交互にオン/オフ制御される。スイッチ素子 Q_1 , Q_1' の動作周期 T_s に対するオン期間の比率 (オンデューティ比 D) を変化させることで出力直流電圧 V_o を制御できる。すなわち、出力直流電圧 V_o は次式の関係を満たす。

30

【 0 0 2 5 】

[数 1]

$$V_o = (n / N) \times D \times V_i$$

図 3 の $V_{DS}(Q_1)$ は、スイッチ素子 Q_1 のドレイン・ソース間電圧の波形である。 $I_D(Q_1)$ は、スイッチ素子 Q_1 とボディーダイオード D_1 と出力接合容量 C_{11} とを流れる電流の和である。 $I_D(Q_1')$ は、スイッチ素子 Q_1' とボディーダイオード D_1' と出力接合容量 C_{12} とを流れる電流の和である。また $I_D(Q_2)$ は、スイッチ素子 Q_2 とボディーダイオード D_2 とを流れる電流の和である。 $I_D(Q_2')$ はスイッチ素子 Q_2' とボディーダイオード D_2' とを流れる電流の和である。

40

【 0 0 2 6 】

本例の DC / DC コンバータ回路は、モード 1 ~ 9 の 9 つの動作状態に分けることができる。各モードに対応する等価回路を参照しながらその動作を概説する。図 4 乃至図 1 2 はモード 1 からモード 9 の各モードの等価回路である。

【 0 0 2 7 】

50

〔 1 〕モード 1 ; t_0 t t_1

モード 1 の期間は、図 4 に示したように、スイッチ素子 Q1 と Q2 がオンしており、スイッチ素子 Q1 には入力電圧源 V_i から入力チョークコイル L1 を介して流れる電流と、トランス Tr の 1 次電流とが流れている。なお、図 4 中 RL は負荷抵抗、 L_m はトランス Tr の励磁インダクタンスを示す。

【 0 0 2 8 】

〔 2 〕モード 2 ; t_1 t t_2

$t = t_1$ にてスイッチ素子 Q1 がオフしてから、図 5 に示すように、入力チョークコイル L1 の電流とトランス Tr の 1 次電流によってスイッチ素子 Q1 の出力接合容量 C11 の充電と、スイッチ素子 Q1' の出力接合容量 C12 の放電がなされる。これに伴い、スイッチ素子 Q1 のドレイン・ソース間電圧が徐々に増加し、同時にスイッチ素子 Q1' のドレイン・ソース間電圧が徐々に減少し、トランス Tr の各巻線電圧が低下していく。ちなみに、スイッチ素子 Q2 のゲート信号は、通常このモード 2 にてオフしてやる。

10

【 0 0 2 9 】

〔 3 〕モード 3 ; t_2 t t_3

$t = t_2$ にて、トランス Tr の各巻線電圧が零になると、図 6 に示すように、スイッチ素子 Q2' のボディダイオード D2' がオンし、トランス Tr の巻線は短絡状態となる。出力チョークコイル L3 の電流は、はじめのうちはスイッチ素子 Q2 のボディダイオード D2 を流れるが、それが徐々にスイッチ素子 Q2' 側のボディダイオード D2' に転流していく。

20

【 0 0 3 0 】

〔 4 〕モード 4 ; t_3 t t_4

モード 4 の期間は、 $t = t_3$ にて図 7 のようにスイッチ素子 Q1' のボディダイオード D1' が順バイアスされてオンしてから、 $t = t_4$ でボディダイオード D2 を流れる電流が零になるまでの期間である。

【 0 0 3 1 】

〔 5 〕モード 5 ; t_4 t t_5

モード 5 の期間は、 $t = t_4$ にて図 8 のように、ボディダイオード D2 がオフしてから $t = t_5$ にてスイッチ素子 Q1' のゲート信号をオンさせるまでの期間である。このモード 5 にてスイッチ素子 Q2' のゲートにオン信号が与えられ、スイッチ素子 Q2' がオンする。また、 $t = t_4$ にて、トランス Tr の巻線は短絡状態から解放され、巻線電圧が発生する。

30

【 0 0 3 2 】

〔 6 〕モード 6 ; t_5 t t_6

モード 6 の期間は、 $t = t_5$ にて図 9 のように、スイッチ素子 Q1' のゲート信号をオンさせてから、 $t = t_6$ にてスイッチ素子 Q1' がオフするまでの期間である。この間スイッチ素子 Q1' の電流の向きは負（図 9 の点線矢印の方向）から正（図 9 の実線矢印の方向）に変化する。

【 0 0 3 3 】

〔 7 〕モード 7 ; t_6 t t_7

モード 7 の期間は、 $t = t_6$ にて図 10 のようにスイッチ素子 Q1' がオフしてからスイッチ素子 Q1 のドレイン・ソース間電圧が徐々に低下し、トランス Tr の各巻線電圧が低下し、 $t = t_7$ にて零になるまでの期間である。通常、このモード 7 にてスイッチ素子 Q2' のゲート信号はオフしてやる。

40

【 0 0 3 4 】

〔 8 〕モード 8 ; t_7 t t_8

$t = t_7$ にてトランス Tr の各巻線電圧が零になると、図 11 のように、スイッチ素子 Q2 のボディダイオード D2 がオンし、トランス Tr の各巻線は短絡状態となる。出力チョークコイル L3 の電流は、はじめはボディダイオード D2' を流れていたが、それが徐々にボディダイオード D2 に転流していく。また、この期間にスイッチ素子 Q1 のド

50

レイン・ソース間電圧は更に下降を続ける。

【0035】

〔9〕モード9； t_8 t t_9

モード9は、 $t = t_8$ にてスイッチ素子Q1のボディーダイオードD1が順バイアスされてONしてから、 $t = t_9$ にてスイッチ素子Q2'のボディーダイオードD2'がオフするまでの期間である(図12参照)。また、 $t = t_9$ にてトランスTrの巻線は短絡状態から解放され、巻線電圧が発生する。この間、スイッチ素子Q1の電流の向きは負(図12の点線矢印の方向)から正(図12の実線矢印の方向)に変化する。このモード9終了後にモード1に戻る。

【0036】

上記した本発明の実施形態に係るスイッチングDC/DCコンバータによれば、入力チョークコイルL1、出力チョークコイルL3及びトランスTrを一体化し、各巻線が作る磁束を打ち消す方向にしてコアの直流偏磁量を非常に小さくしたことによって、従来の回路構成と比較してコアを大幅に小型化でき、かつコアロスを大幅に低減することができる。これにより、装置全体の効率を飛躍的に向上させることが可能である。

【0037】

本発明の適用範囲は図1に示した回路構成に限定されず、各種の変形が可能である。図13乃至図28に回路の変形例を示す。各回路について図1の回路との主な相違点を指摘し、回路動作の説明は省略する。

【0038】

図13に示した回路は、コンデンサC2とスイッチ素子Q1'との直列回路の接続場所が図1の回路と相違する。その他の構成は図1の回路と同様である。

【0039】

図14に示した回路は、コンデンサC1の接続場所が図1の回路と相違する。

【0040】

図15に示した回路は、コンデンサC2とスイッチ素子Q1'との直列回路の接続場所と、コンデンサC1の接続場所が図1の回路と相違する。

【0041】

図16に示した回路は、コンデンサC2とスイッチ素子Q1'の接続関係が入れ替わっている点で図1の回路と相違する。

【0042】

図17に示した回路は、図16から更にコンデンサC1の接続場所が変更されている。

【0043】

図18に示した回路は、トランスTrの1次側回路の構成は図1と同様であり、2次側回路についてトランスTrのセンタータップに出力チョークコイルL3が接続された構成になっている。

【0044】

図19に示した回路は、トランスTrの1次側回路については図13と同様の構成を採用し、2次側回路については図18と同様の構成を採用したものである。

【0045】

図20に示した回路は、トランスTrの1次側回路については図14と同様の構成を採用し、2次側回路については図18と同様の構成を採用したものである。

【0046】

図21に示した回路は、トランスTrの1次側回路については図15と同様の構成を採用し、2次側回路については図18と同様の構成を採用したものである。

【0047】

図22に示した回路は、トランスTrの1次側回路については図16と同様の構成を採用し、2次側回路については図18と同様の構成を採用したものである。

【0048】

図23に示した回路は、トランスTrの1次側回路については図17と同様の構成を採

10

20

30

40

50

用し、2次側回路については図18と同様の構成を採用したものである。

【0049】

また、トランスTrの2次側回路として、図24乃至図26に示した構成とする態様も可能である。図24及び図25においてそれぞれ省略されているトランスの1次側回路には、図1並びに図13乃至図17の何れか1つの図面に示した回路構成を用いることができる。

【0050】

図24及び図25の例では、2次側がセンタータップ方式のトランスTrに代えて、2次側に巻数nの第1の2次コイルと、巻数nの第2の2次コイルとが別々に巻装された複合トランスが用いられている。

10

【0051】

また、図26において省略されているトランスTrの1次側回路には、図18乃至図23の何れか1つの図面に示した回路構成を用いることができる。

【0052】

図25及び図26の回路例では、スイッチ素子Q2とQ2'はそれぞれ他方の素子のドレイン・ソース間電圧によってゲート端子が駆動されるようになっている。

【0053】

図27及び図28にはトランスTrの1次側回路に関する他の変形例が示されている。図27及び図28においてトランスTrの2次側回路は図示しないが、これらの図面で省略されている2次側回路には、図1、図18、図24乃至図26等で例示した何れかの回路構成を用いることができる。

20

【0054】

図27に示した回路は、図20の1次側回路からコンデンサC1の接続場所が変更されている。すなわち、図27では、スイッチ素子Q1の端子間にトランスTrの1次コイルとコンデンサC1との直列回路が接続されるとともに、該スイッチ素子の端子間においてスイッチ素子Q1'とコンデンサC2とコンデンサC1との直列回路とコンデンサC1とが直列に接続された構成になっている。

【0055】

図28に示した回路は、図23の1次側回路と比較してコンデンサC1の接続場所が変更されている点で相違する。

30

【0056】

本発明は、電気自動車やハイブリッド自動車などの車両用の場合などの広範囲・高入力電圧大容量低出力電圧(一例として、入力電圧DC200~400V,出力15V)の場合に特に有益である。もちろん、本発明の適用範囲はこれに限定されるものではなく、様々な用途や仕様の電源について本発明を適用できる。

【図面の簡単な説明】

【0057】

【図1】本発明の第1の実施形態に係るDC/DCコンバータの回路図

【図2】EI形コアを利用した例を示す図

【図3】図1に示した回路の各部の動作波形を示す図

40

【図4】本例のDC/DCコンバータにおけるモード1の動作を示す等価回路図

【図5】本例のDC/DCコンバータにおけるモード2の動作を示す等価回路図

【図6】本例のDC/DCコンバータにおけるモード3の動作を示す等価回路図

【図7】本例のDC/DCコンバータにおけるモード4の動作を示す等価回路図

【図8】本例のDC/DCコンバータにおけるモード5の動作を示す等価回路図

【図9】本例のDC/DCコンバータにおけるモード6の動作を示す等価回路図

【図10】本例のDC/DCコンバータにおけるモード7の動作を示す等価回路図

【図11】本例のDC/DCコンバータにおけるモード8の動作を示す等価回路図

【図12】本例のDC/DCコンバータにおけるモード9の動作を示す等価回路図

【図13】本発明の第2の実施形態を示す回路図

50

- 【図14】本発明の第3の実施形態を示す回路図
- 【図15】本発明の第4の実施形態を示す回路図
- 【図16】本発明の第5の実施形態を示す回路図
- 【図17】本発明の第6の実施形態を示す回路図
- 【図18】本発明の第7の実施形態を示す回路図
- 【図19】本発明の第8の実施形態を示す回路図
- 【図20】本発明の第9の実施形態を示す回路図
- 【図21】本発明の第10の実施形態を示す回路図
- 【図22】本発明の第11の実施形態を示す回路図
- 【図23】本発明の第12の実施形態を示す回路図
- 【図24】本発明の第13の実施形態を示す回路図
- 【図25】本発明の第14の実施形態を示す回路図
- 【図26】本発明の第15の実施形態を示す回路図
- 【図27】本発明の第16の実施形態を示す回路図
- 【図28】本発明の第17の実施形態を示す回路図
- 【図29】従来のBHB方式DC/DCコンバータの回路図

10

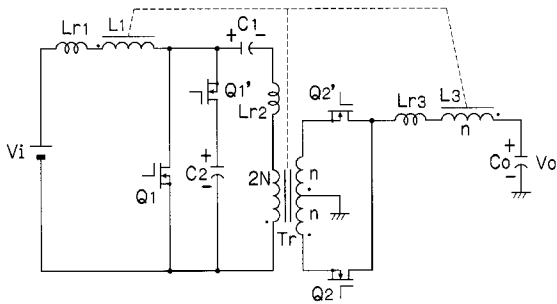
【符号の説明】

【0058】

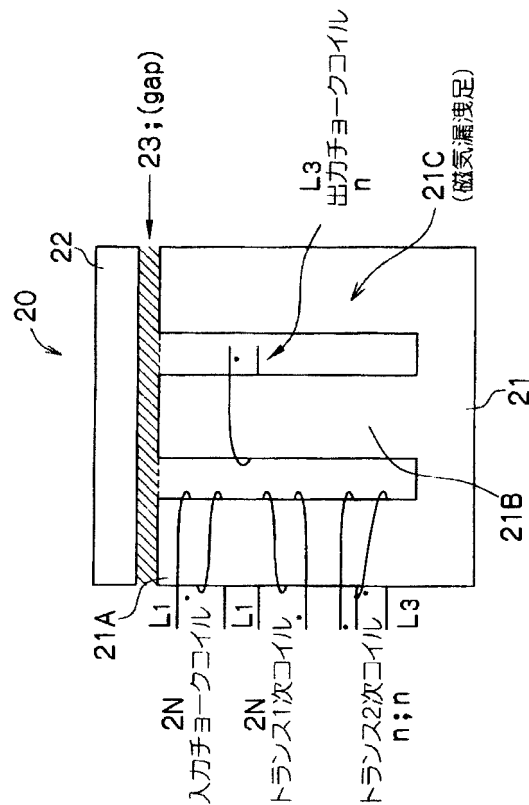
V_i ...入力電源、 L_1 ...入力チョークコイル、 Q_1, Q_1' ...スイッチ素子、 C_1 ...直流成分除去用コンデンサ、 C_2 ...クランプコンデンサ、 Tr ...トランス、 Q_2, Q_2' ...スイッチ素子、 L_3 ...出力チョークコイル、 C_o ...出力平滑コンデンサ、 20 ...EI形コア

20

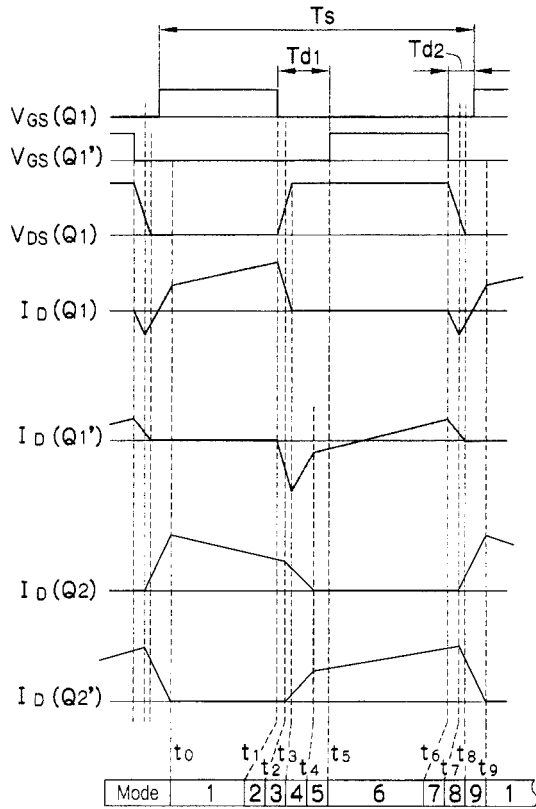
【図1】



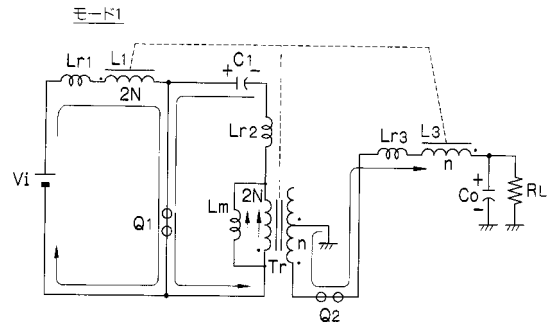
【図2】



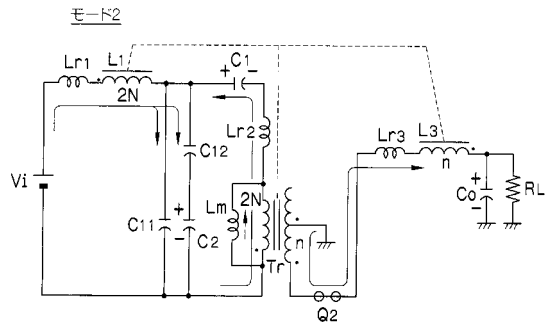
【図3】



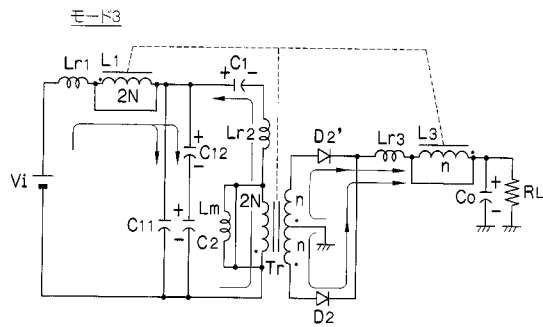
【図4】



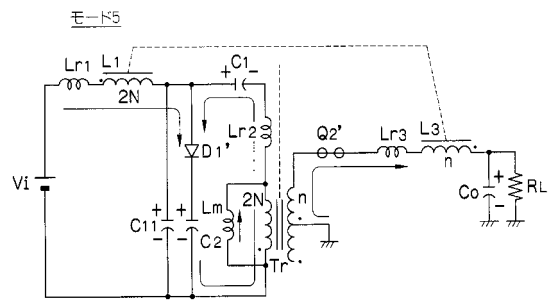
【図5】



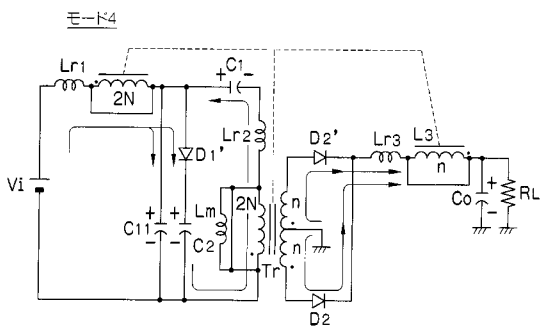
【図6】



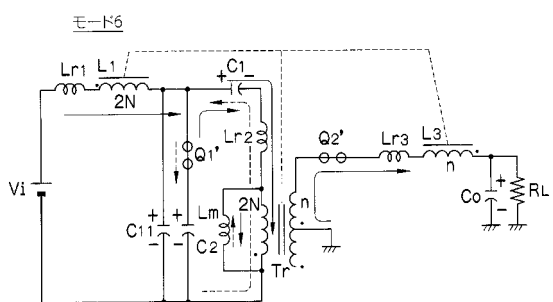
【図8】



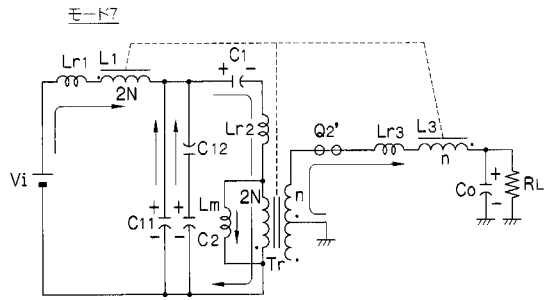
【図7】



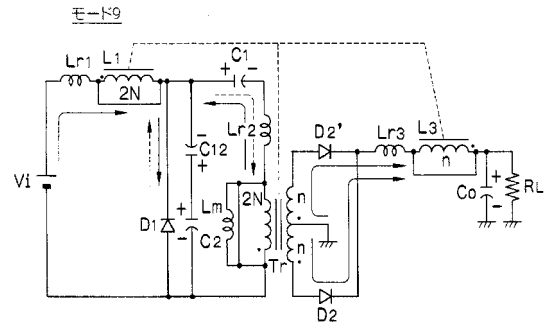
【図9】



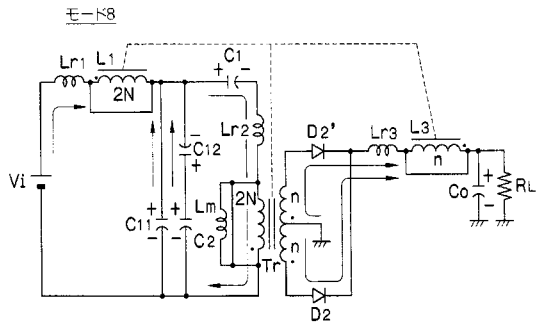
【図10】



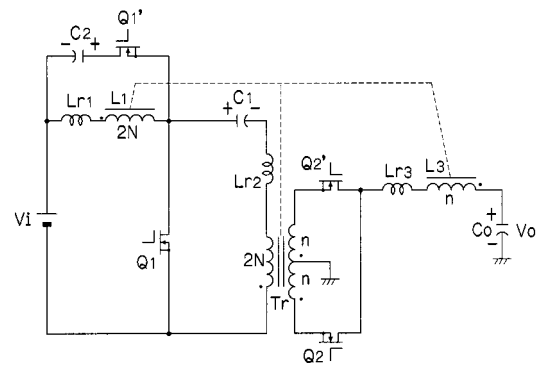
【図12】



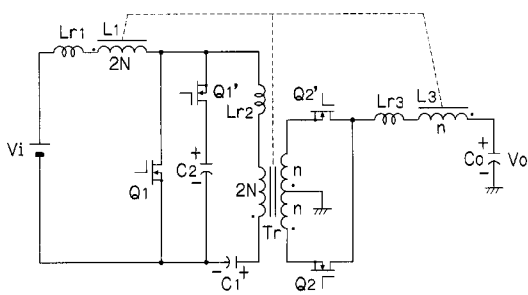
【図11】



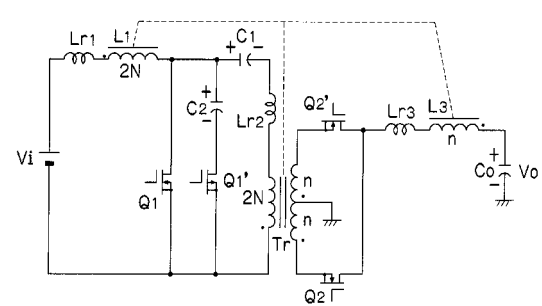
【図13】



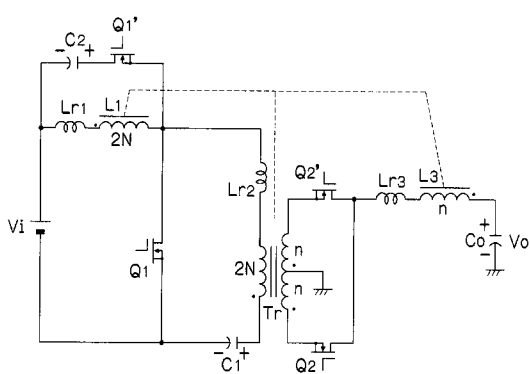
【図14】



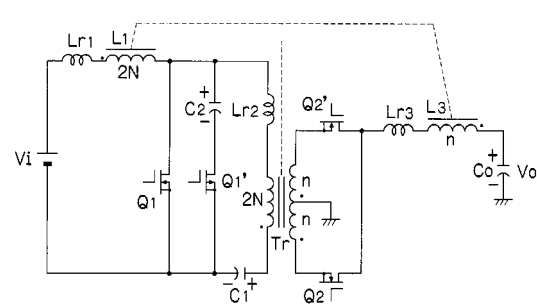
【図16】



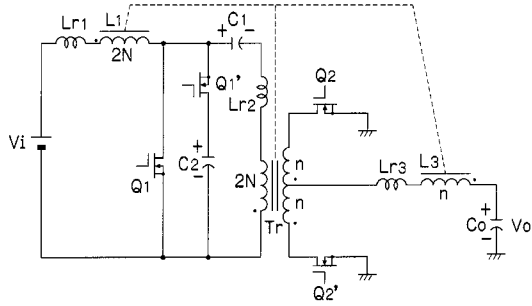
【図15】



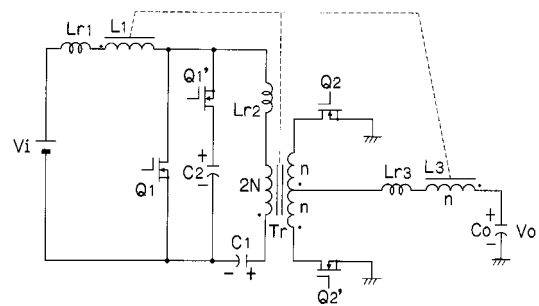
【図17】



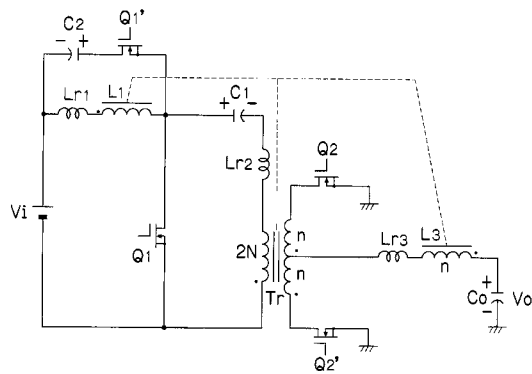
【図18】



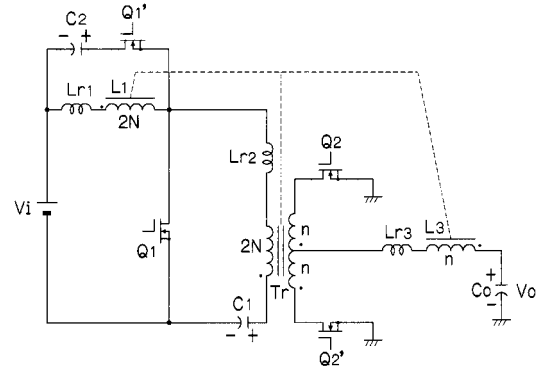
【図20】



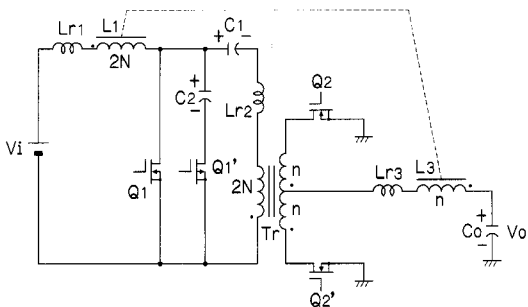
【図19】



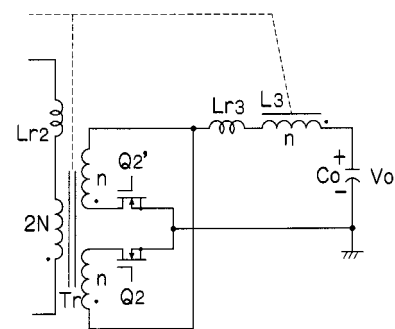
【図21】



【図22】

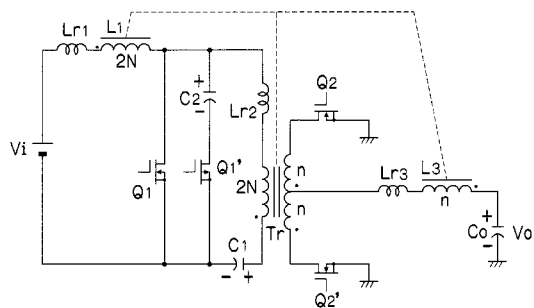


【図24】

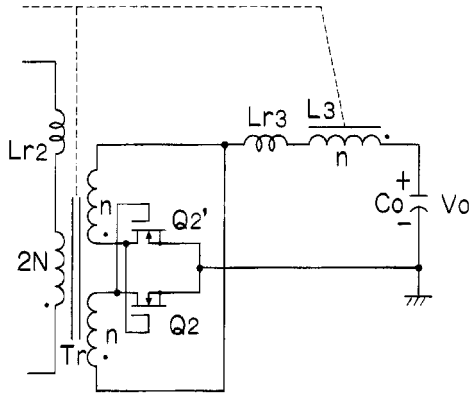


Tr1次側回路は省略

【図23】

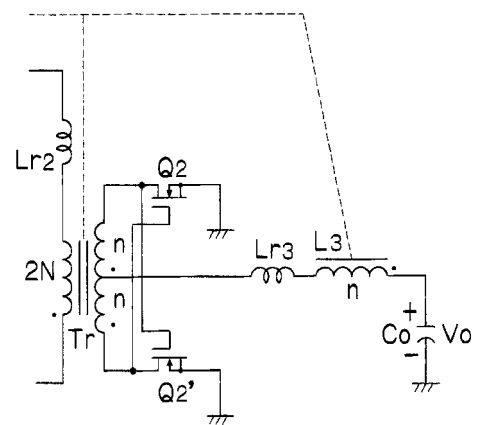


【図 25】



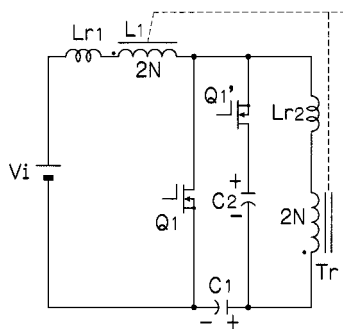
Tr 1次側回路は省略

【図 26】



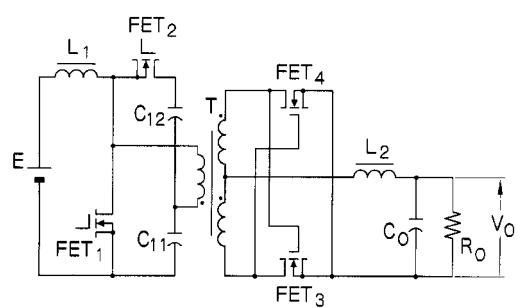
Tr 1次側回路は省略

【図 27】

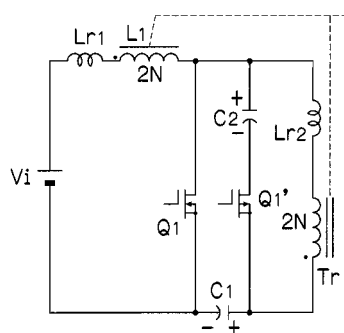


Tr 2次側回路は省略

【図 29】



【図 28】



Tr 2次側回路は省略

フロントページの続き

- (56)参考文献 特開平 1 1 - 2 6 2 2 6 3 (J P , A)
特開平 0 5 - 3 3 6 7 5 2 (J P , A)
特開平 1 0 - 3 2 7 5 7 7 (J P , A)
特開昭 5 9 - 1 7 8 9 7 0 (J P , A)
特開 2 0 0 1 - 2 1 8 4 5 7 (J P , A)
米国特許第 0 5 7 9 0 0 0 5 (U S , A)
米国特許第 0 5 4 4 2 5 3 9 (U S , A)

(58)調査した分野(Int.Cl. , D B名)

H 0 2 M 3 / 2 8