



# [12] 发明专利申请公开说明书

[21] 申请号 97120638.4

[43]公开日 1998年5月6日

[11] 公开号 CN 1180900A

[22]申请日 97.8.20

[30]优先权

[32]96.8.20 [33]JP[31]218843 / 96

[71]申请人 索尼公司

地址 日本东京都

[72]发明人 谷口一雄 吉森正治

[74]专利代理机构 中国专利代理(香港)有限公司

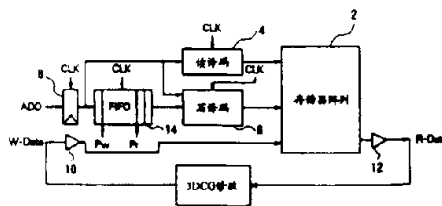
代理人 萧掬昌 张志醒

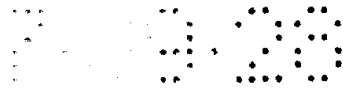
权利要求书 4 页 说明书 9 页 附图页数 8 页

[54]发明名称 同时输入和输出数据的双端的存储器

[57]摘要

能读修改写数据的半导体存储器，包括：含有能读写数据的多个存储单元的存储单元矩阵；根据读地址独立地译码读存储单元地址的读地址译码装置；根据写地址独立地译码写存储单元地址的写地址译码装置；数据读装置；数据写装置；和地址延迟装置，把写地址译码装置译码的写地址从读地址译码装置译码的读地址延迟一段预定的设为多次的基本同步脉冲周期的时间，以流水线的方式完成数据读修改写操作。





## 权 利 要 求 书

- 1、能够执行数据的读修改写操作的半导体存储器，包括：  
包括以矩阵形式排列的、能够被写入和读出的多个存储单元的存储单元阵列；
- 5 列；  
根据第一分配地址独立地译码存储单元的读地址的读地址译码装置；  
根据第二分配地址独立地译码存储单元的写地址的写地址译码装置；  
读出被所述读地址译码装置的所述译码读地址寻址的存储单元的数据的数据读装置；
- 10 以及把数据写入被所述写地址译码装置的所述译码写地址寻址的存储单元的数据写装置。
- 2、能够执行数据的读修改写的半导体存储器，包括：  
包括以矩阵形式排列的、能够被写入和读出的多个存储单元的存储单元阵列；
- 15 根据第一分配地址独立地译码存储单元的读地址的读地址译码装置；  
根据第二分配地址独立地译码存储单元的写地址的写地址译码装置；  
读出被所述读地址译码装置的所述译码读地址寻址的存储单元的数据的数据读装置；  
把数据写入被所述写地址译码装置的所述译码与地址寻址的存储单元的数据
- 20 的数据写装置；以及  
地址延迟装置，把被所述写地址译码装置译码的译码写地址从被所述读地址译码装置译码的读地址延迟一段预定时间，该段预定时间被定为预定多次的基本同步的脉冲周期，以便利用所述基本同步脉冲以流动线的方式完成数据读修改写操作。
- 25 3、权利要求 2 的半导体存储器，其中所述地址延迟装置包括存储输入至所述读地址译码装置的另一输入地址信号的辅助临时存储器，所述辅助临时存储器被设置在写地址译码装置的输入级处。
- 4、权利要求 3 的半导体存储器，其中所述辅助临时存储器包括预定多个串连连接的子辅助临时存储器，每一所述子辅助临时存储器能够同时输入所述输入
- 30 地址信号。



5、权利要求4的半导体存储器，其中所述预定多个串连连接的存储器能够响应指示信号而发生改变，利用该指示信号指示至少一个输入级子辅助存储器或输出级子辅助临时存储器。

6、权利要求3的半导体存储器，其中所述辅助临时存储器包括预定多个串连连接的寄存器，这些寄存器能够同时输入所述输入地址信号，在经由这些寄存器的预定多次数据移位后输出所述输入地址信号，与所述基本同步脉冲同步地完成每次数据移位。

7、能够执行数据的读修改写操作的半导体存储器的方法，所述半导体存储器包括：包括以矩阵形式排列的、能够被写入和读出的多个存储单元的存储单元阵列；根据读地址独立地译码读存储单元的地址的读地址译码装置；根据写地址独立地译码写存储单元的地址的写地址译码装置；以及地址延迟装置，把被所述写地址译码装置译码的写地址从被所述读地址译码装置译码的读地址延迟一段预定时间，

15 在所述方法中，所述一段预定时间被定为预定多次的基本同步脉冲周期，以便利用所述基本同步脉冲以流水线的方式完成数据读修改写操作。

8、权利要求7的半导体存储器的方法，其中所述地址延迟装置包括存储输入至所述读地址译码装置的另一输入地址信号的辅助临时存储器，其中所述辅助临时存储器被设置在所述写地址译码装置的输入级处。

9、权利要求8的半导体存储器的方法，其中所述辅助临时存储器包括预定多个串连连接的子辅助临时存储器，其中每一所述子辅助临时存储器能够同时输入所述输入地址信号。

10、权利要求9的半导体存储器的方法，其中所述预定多个串连连接的存储器能够响应指示信号而发生改变，利用该指示信号指示至少一个输入级子辅助存储器或输出级子辅助临时存储器。

11、权利要求8的半导体存储器的方法，其中所述辅助临时存储器包括预定多个串连连接的寄存器，这些寄存器能够同时输入所述输入地址信号，

其中所述输入地址信号在经由所述寄存器的预定多次数据移位后被输出，每次数据移位与所述基本同步脉冲同步地被执行。

12、数据的读修改写操作的方法，包括以下步骤：  
30 根据第一分配地址独立地译码存储单元的读地址；



根据第二分配地址独立地译码存储单元的写地址；  
读了被所述译码读地址寻址的存储单元中的数据；以及  
把数据写入被所述译码写地址寻址的存储单元。

13、数据的读修改写操作的方法，包括以下步骤：

- 5 根据第一分配地址独立地译码存储单元的读地址；  
根据第二分配地址独立地译码存储单元的写地址；  
读出被所述译码读地址寻址的存储单元中的数据；  
把数据写入被所述译码写地址寻址的存储单元；以及  
把所述译码写地址从所述读地址的译码时刻延迟一段预定时间，该段预定时间被定为预定多次的基本同步脉冲周期，以便利用所述基本同步脉冲以流水线的方式完成数据读修改写操作。

14、实现数据的读修改写操作的电路，包括：

包括多个存储单元的存储单元阵列；

接收读地址和写地址的地址接收电路；

- 15 读地址译码电路，从所述地址接收电路接收读地址并译码所接收的读地址，以便从所述存储单元中读出数据，所述存单元阵列输出在所述译码读地址指定的地址处的数据；

数据修改电路，按照预定修改方式修改所述存储单元阵列输出的所述数据并把所述修改数据输入给所述存储单元阵列；

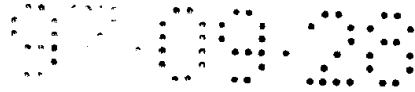
- 20 地址延迟电路，从所述地址接收电路连续地接收多个写地址并按照预定延迟时间对它们进行延迟；以及

写地址译码电路，从所述地址延迟电路接收写地址并译码所接收的写地址，以便写入所述数据修改电路的所述修改数据，所述存储单元阵列在所述译码写数据指定的地址处存储所述修改数据，

- 25 所述读地址译码电路中的所述读地址译码、读存储器存取操作和所述存储单元阵列的所述数据输出的这三个操作之一在预定时间内被执行，

所述写地址译码电路中的所述写地址译码、写存储器存取操作和所述存储单元阵列的所述数据存储的这三个操作之一在所述预定时间内被执行，

- 30 多个读地址经所述地址接收电路连续地输入给所述读地址译码电路，多个写地址经所述地址接收电路连续地输入给所述地址延迟电路，



输入给所述地址延迟电路的所述写地址被延迟所述预定延迟时间之后连续地输出给所述写地址译码电路, 以及

所述预定延迟时间由所述连续多个读地址的数目和所述数据修改电路的每次修改时间来确定。

5 15、权利要求 14 的实现数据的读修改写操作的电路, 其中所述执行操作的预定时间是所述存储单元阵列的操作的一个时钟的时间。

16、权利要求 15 的实现数据的读修改写操作的电路, 其中所述地址延迟电路包括先进先出型的存储器电路, 与所述时钟时间同地址操作并具有存储相应于所述延迟时间的所述多个写地址的容量。

10 17、权利要求 15 的实现数据的读修改写操作的电路, 其中所述地址延迟电路包括多个相继的寄存器, 每一寄存器与所述时钟时间同步地操作, 所述寄存器的数目相应于所述延迟时间。

18、实现数据的读修改写操作的电路, 包括:

包括多个存储单元的存储单元阵列;

15 读地址译码电路, 接收读地址并对其进行译码, 以便从所述存储单元中读出数据, 所述存储单元阵列输出在所述译码读地址指定的地址处的数据;

数据修改电路, 按照预定修改方式修改所述存储单元阵列输出的所述数据并把所述修改数据输入给所述存储单元阵列; 以及

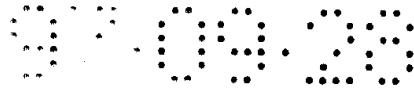
20 写地址译码电路, 接收写地址并对其进行译码, 以便写入所述数据修改电路的所述修改数据, 所述存储单元阵列在所述写数据指定的地址处存储所述修改数据,

所述读地址译码电路中的所述读地址译码、读存储器存取操作和所述存储单元阵列的所述数据输出的这三个操作之一在预定时间内被执行,

25 所述写地址译码电路中的所述写地址译码、写存储器存取操作和所述存储单元阵列的所述数据存储的这三个操作之一在所述预定时间内被执行,

多个读地址连续地输入给所述读地址译码电路, 多个写地址在所述多个读地址的所述输入算起的预定延迟时间之后连续地输入给所述写地译码电路, 以及

所述预定延迟时间由所述连续多个读地址的数目和所述数据修改电路的每次修改时间来确定。



## 说明书

### 同时输入和输出数据的双端的存储器

5 本发明涉及能够执行高速读修改写（以后称为“RMW”）操作的半导体存储器装置，这种半导体存储器装置被指定作为缓冲器用，在例如三维计算机图形学（以后称为“3DCG”）领域中执行隐藏面处理。

近年来已出现了高速大容量存储器，例如时钟同步 动态 随机存取存储器（DRAM）和运行总线规程类型的存储器。

10 此外，由于个人计算机性能的改善和家用计算机游戏机等缘故，3DCG 领域正在迅速扩展，需要比以往速度更快和容量更大的存储器作为 3DCG 的图象存储器。

图象存储器的应用有作为帧缓冲器，存储绘图数据，以及作为 z 缓冲器，存储执行对于 3DCG 必不可少的隐藏面处理所需的 z 坐标。

15 在隐藏面处理中，产生被称为多边形的多边形绘图信息。将 z 坐标的大小与周界作比较，算出该多边形是在其它多边形之前还是在其它多边形之后，利用在其它多边形之前的多边形来执行绘图处理。

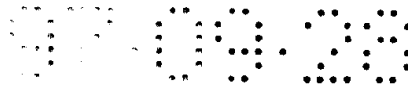
因此，在存储 z 坐标的 z 缓冲器中，需要读每一多边形 z 子地址，并在与其它 z 地址比较之后执行写修改。这种操作基本上是一种 RMW 操作。

20 图 1 是相关技术的时钟同步型存储器的方框图。

在该图中，标号 20 表示存储器阵列，22 表示地址译码器，24 表示暂时保持地址译码器 22 的输入信号的寄存器，26 表示输入缓冲器，28 表示输出缓冲器。还有，ADD 代表地址信号，R/W-Data 代表输入/输出数据，OE-cnt 代表输出控制信号。

25 目前，在一般的市场上买得到的通用存储器中，把相同的端子用作输入到存储器阵列 20 和从存储器阵列 20 输出的数据的输入/输出端，以便减少图 1 所示组件的引线数目，利用输出控制信号 OE-cnt 切换数据的输入和输出。就是说，输入缓冲器 26 和输出缓冲器 28 沿相反方向并行连接。输出缓冲器 28 在没有输出控制信号 OE-cnt 的输出时不工作。

30 图 2 是当通用存储器执行实现 3DCG 的隐藏面处理的 RMW 操作时的操作的



流程图。

在该图中，符号 A0、A1 表示存储器阵列中的地址编号。根据每一时钟信号 CLK，对于该地址编号的存储单元译码（Ad-Dec）命令中的地址信号 ADD，并在存储数据被读出（mem-R）之后输出（D-out）该地址信号 ADD。在该数据被输出之后，在接着的几个时钟部分中对 Z 地址执行比较处理，并对该存储器中的原来地址执行写修改。以几个地址为单位地不断重复这一 RMW 操作，在此期间，利用时钟信号 CLK 的每一个脉冲移位每一地址。

实际上，对于比较处理本身，约 3 个时钟就足够，但在所示的例子中，以 6 个地址为单位地执行连续的处理。还有，如上所述，需要用相同的端子作输入/输出端，利用输出控制信号 OE-cnt 使输出缓冲器 28 进入不工作状态。因此，在这种切换中，为了保证高的输入阻抗，在每一地址执行了数据输出的写修改之前需要 8 个时钟部分。为此，如所示的那样，当从命令的角度来看时，等待部分（在这一例子中为 4 个时钟）在从 R5 至 W0 的期间内变成必需的，RMW 的效率低。

为了缩短该命令的等待部分，可以考虑使连续处理的地址单位变小和缩短在执行每一地址的数据输出的写修改之前的时钟部分，但这将增大输出缓冲器 28 的切换次数。为此，命令等待部分的缩短受到限制，如果频繁地切换输入/输出端，控制将变得复杂。

为了避免这种命令等待时间，如图 3 所示，可以使共同使用的输入/输出引线分离开来。

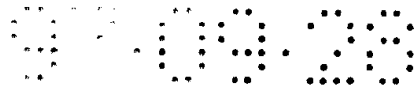
当把这种单独的输入/输出型存储器用于 RMW 操作时，如图 4 的时序图所示，能够消除命令的等待部分。

图 3 所示结构的存储器的缺点是引线数目被增大，因此它是不切实际的，但近年来利用存储器/逻辑混合工艺已能够极大地增大位宽度，因此利用这种存储器能够在一定程度上提高 RMW 的效率。

但是，即使采用这一方法，如图 4 所示，地址信号的输入端在数据读出和写入时是公用的，以便抑引线数目的增大，因此数据的读/写操作仍占用两个时钟部分，所以在这一意义上，RMW 的效率并没有得到显著的提高。

就是说，在需要进一步改善 3DCG 的绘图性能时，数据的每一读/写操作需要多个时钟部分这一事实成为一主要障碍。

本发明的目的是提供能够在以时钟同步方式运行的存储器的同一时钟部分中



执行数据写和读操作并能够连续地执行高速 RMW 操作的半导体存储器装置。

根据本发明的第一个方面，提供了能够执行数据的读修改写操作的半导体存储器，该存储器包括：包括以矩阵形式排列的、能够被写入和读出的多个存储单元的存储单元阵列；根据第一分配地址独立地译码存储单元的读地址的读地址译码装置；根据第二分配地址独立地译码存储单元的写地址的写地址译码装置；读5 出被所述读地址译码装置的所述译码读地址寻址的存储单元的数据的数据读装置；以及把数据写入被写地址译码装置的译码写地址寻址的存储单元的数据写装置。

根据本发明的第二个方面，提供了能够执行数据的读修改写操作的半导体存储器，该存储器包括：包括以矩阵列式排列的、能够被写入和读出的多个存储单元的存储单元阵列；根据第一指定地址独立地译码存储单元的读地址的读地址译码装置；根据第二指定地址独立地译码存储单元的写地址的写地址译码装置；读10 出被读地址译码装置的译码读地址寻址的存储单元的数据的数据读数据；把数据写入被写地址译码装置的译码写地址寻址的存储单元的数据写装置；以及地址延迟装置，把被写地址译码装置译码的译码写地址从被读地址译码装置译码的读地址15 延迟一段预定的时间，该段预定时间被定为预定多次的基本同步脉冲周期，以便利用基本同步脉冲以流水线的方式完成数据读修改写操作。

该地址延迟装置最好包括存储输入至所述读地址译码装置的同一输入地址信号的辅助临时存储器，该辅助临时存储器被设置在写地址译码装置的输入级处。

20 该辅助临时存储器最好包括预定多个串连连接的子辅助临时存储器，每一子辅助临时存储器能够同时输入输入地址信号。

这些预定多个串连连接存储器最好能够响应指示信号而发生改变，利用该指示信号指示至少一个输入级子辅助存储器或输出级子辅助临时存储器。

25 辅助临时存储器最好包括预定多个串连连接的寄存器，这些寄存器能够同时输入输入地址信号，在经由这些寄存器的预定多次数据移位后输出该输入地址信号，与基本同步脉冲同步地完成每一数据移位。

根据本发明的第三个方面，提供了能够执行数据的读修改写操作的半导体存储器的方法，该半导体存储器包括：包括以矩阵形式排列的、能够被写入和读出数据的多个存储单元的存储单元阵列；根据读地址独立地译码被读出存储单元的30 地址的读地址译码装置；根据写地址独立地译码被写入存储单元的的地址的写地址





译码装置；以及地址延迟装置，把被所述写地址译码装置译码的写地址从被所述读地址译码装置译码的读地址开始延迟一段预定的时间，在该方法中，该段预定时间被定为预定多次的基本同步脉冲周期，以便利用基本同步脉冲以流水线的方式完成数据读修改写操作。

- 5        该地址延迟装置最好包括存储至所述读地址译码装置的同一输入地址信号的辅助临时存储器，该辅助临时存储器被设置在写地址译码装置的输入级处。

该辅助临时存储器最好包括预定多个半连连接的子辅助临时存储器，每一子辅助临时存储器能够同时输入输入地址信号。

- 10        这些预定多个串连接存储器最好能够响应指示信号而发生变化，利用该指示信号指示至少一个输入级子辅助存储器或输出级子辅助临时存储器。

辅助临时存储器最好包括预定多个串连接的寄存器，这些寄存器能够同时输入输入地址信号，在经由这些寄存器的预定多次数据移位后输出该输入地址信号，与基本同步脉冲同步地完成每一数据移位。

- 15        根据本发明的第四个方面，提供了数据的读修改写操作的方法，包括以下步骤：根据第一指定地址独立地译码存储单元的读地址；根据第二指定地址独立地译码存储单元的写地址；读出被译码读地址寻址的存储单元内的数据；以及把数据写入被译码写地址寻址的存储单元。

- 20        根据本发明的第五个方面，提供了数据的读修改写操作的方法，包括以下步骤：根据第一指定地址独立地译码存储单元的读地址；根据第二指定地址独立地译码存储单元的写地址；读出被译码读地址寻址的存储单元内的数据；把数据写入被译码写地址寻址的存储单元；把译码写地址从读地址的译码时刻延迟一段预定时间，该段预定时间被定为预定多次的基本同步脉冲周期，以便利用基本同步脉冲以流水线的方式完成数据读修改写操作。

- 25        这样一来，就能够以流水线的方式在同一时钟部分内完成在通常需要三个时钟部分的在存储器阵列中读出和写入数据时的地址分配。

因此，RMW操作的效率相对于相关技术的操作被提高了两倍，能够实现非常适合作为例如3DCG的缓冲器的半导体存储器装置。

根据以下结合附图给出的对最佳实施例的描述将清楚本发明的这些和其它目的和特点，附图中：

- 30        图1是相关技术的半导体存储器装置的结构的首要方框图；

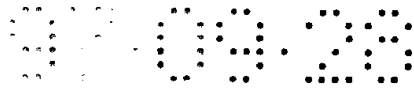


图 2 是图 1 的半导体存储器装置在执行 RMW 操作时的时序图;

图 3 是表示相关技术结构的另一例子的半导体存储器装置的方框图;

图 4 是图 3 的半导体存储器装置在执行 RMW 操作时的时序图;

图 5 是本发明第一实施例的半导体存储器装置的结构简图;

5 图 6 是图 5 的半导体存储器装置在执行 RMW 操作时的时序图;

图 7 是本发明第二实施例的半导体存储器装置的结构简图;

图 8 是本发明第三实施例的半导体存储器装置的结构简图;

以下将参看附图详细描述本发明的半导体存储器装置。

10 图 5 是作为本发明的半导体存储器装置的一个例子的半导体存储器装置的结构简图。

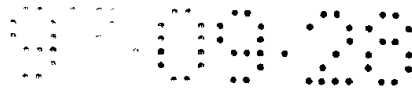
在图 5 中, 标号 2 表示具有例如 DRAM 结构的存储器阵列, 标号 4 表示仅用于数据读操作的地址译码器, 标号 6 表示仅用于数据写操作的地址译码器, 标号 8 表示暂时保持两译码器 4 和 6 的输入信号的寄存器, 标号 10 表示数据输入缓冲器, 标号 12 表示数据输出缓冲器。此外, ADD 代表地址信号, W-Data 代表将要被写入存储器阵列 2 的写数据, R-Data 代表将从存储器阵列 2 被读出的读数据。

时钟信号 CLK 输入给地址译码器 4 和 6 以及寄存器 8。此外, 未示出的命令等的控制信号输入给这两个地址译码器 4 和 6。用控制信号来控制启动/操作停止。

20 在本实施例中, 作为把仅用于数据写入的地址译码器 6 的地址分配延迟预定时间的本发明的延迟单元的一个例子, 先进先出半导体存储器 14 (以后称为 FIFO 存储器) 与仅用于写入的该地址译码器 6 的输入侧连接。本发明的写译码单元由该 FIFO 存储器 14 和仅写地址译码器 6 组成。

FIFO 存储器 14 利用具有预定位数的预定个数的单元存储器级组成, 至少可  
25 同时向这些单元存储器级输入地址信号 ADD, 每一单元存储器级用移位寄存器来构成。此外, 级数的设定使得能够在半导体存储器装置中采用的 RMW (读修改写) 的操作方法获得期望的最大延迟时间。

该 FIFO 存储器 14 设有未示出的指针端子。可以根据输入给该端子的指针信号自由地设定存储地址信号 ADD 的单元存储器级的开始位置 (写指针  $P_w$ ) 和把  
30 该地址信号 ADD 输出仅写地址译码器 6 侧的结束位置 (读指针  $P_r$ )。注意还可



以设定写指针  $P_w$  和读指针  $P_r$  之一。

在 FIFO 存储器 14 中，一旦接收到例如未示出的命令这样的控制信号的指令就切换启动/操作停止。

5 以下参看图 6 的时序图说明按这种方式构成的半导体存储器装置的 RMW 操作。

图 6 的上部说明与时钟信号 CLK 同步的命令和输入/输出数据（以后为方便起见称为外部时钟操作），将与外部单元的时钟信号 CLK 同步地被执行的内部操作示于下部。命令包含表示是 RMW 操作还是除地址信号 ADD 外的通常数据读或写操作的控制信息。

10 在内部操作的图中，符号 A0、A1……表示存储器阵列 2 中的地址编号。根据每一时钟信号 CLK，对于由该地址编号给定的每一存储单元译码（Ad-Dec）命令中的地址信号 ADD，并在存储数据被读出（mem-R）之后输出（D-out）该地址信号 ADD。在该数据被输出之后，在接着的几个时钟部分（在此为三个部分）中，对 z 地址执行比较处理，作为 3DCG 隐藏面处理的环节，并在接着的一个时钟部分中把被处理之后的数据写入存储器阵列 2 并对一开始存储该数据的  
15 同一地址进行写修改（mem-W）。然后无中断地对每一地址连续地重复这一 RMW 操作，在此期间，利用时钟信号 CLK 的每一脉冲移位地址。

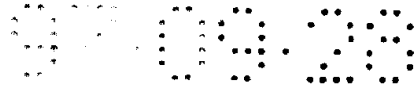
此外，也是在外部时钟操作中，无中断地连续输入或输出命令 RW0-R，RW1-R，……RW6-W，RW7-W，……，输出数据 R0，R1，……，以及输入数据 W0，W1，……。  
20

以下按顺序说明为什么无中断的这种连续处理是可能的原因。

仅读地址译码器 4 根据前 6 个命令 RW0-R 至 RW5-R 顺序地指定存储单元 2 内的地址 A0 至 A5，然后读出（mem-R）和输出（D-out）数据。因此，利用 3 个时钟部分在有命令输入的时滞的情况下把输出数据 R0，R1，……输出至数据  
25 输出端 D-Out。

在接着的命令 RW6-W 之后，除数据读操作时的地址外还同时指定了数据写操作时的地址。就是说，仅写地址译码器 6 在命令 RW6-W 之后马上在时钟部分 A 中把地址 A0 指定作为写修改的目标，下一个数据读操作的地址 A6 同时被仅读地址译码器 4 指定。

30 在这些地址分配的基础上，在下一个时钟部分 B 中，先前在存储器的外部单



元中通过对读数据 R0 执行比较处理而获得的写数据 W0 被写修改至原来地址 A0，同时从存储器阵列 2 的地址 A6 读出新的读数据 R6。

相反地，在该同一时钟部分 B 中，类似于上述时钟周期 A，下一次数据写操作的地址 A1 和下一次数据读操作的地址 A7 被同时指定。注意，通过把数据读和数据写操作之间的列地址（列线）准确地移位（例如同一行（字线）上的上述延迟量）就能够同时指定数据读地址和数据写地址。

在这之后的时钟部分中，类似于时钟部分 B，在短时间例如一个时钟部分内执行两个地址分配和数据的读及写操作。

因此，当根据图 2 上部所示的外部时钟操作观察这一切时，命令输入、数据输出 D-Out 和数据输入 D-In 都无中断地重复进行。

注意，在通常的数据读或写操作中，通过在上述例子中分配命令（还有其它控制信号也是可能的），就停止了 FIFO 存储器 14 的操作并启动了两个译码器 4 和 6 之一。为此，从公共输入端输入的地址信号 ADD 被该 ADD 启动的译码器译码，存储器阵列 2 的地址分配被执行，然后相对于该地址分配执行数据写或读操作。

这样一来，就向本发明的半导体存储器装置提供了 FIFO 存储器 14（延迟装置），在该半导体存储器装置中，输入和输出被分开，消除了命令等待部分等，此外，数据读和写操作的地址译码器 4 和 6 的输入端合用，减少了引线数，两个地址译码器 4 和 6 对存储器阵列 2 的地址分配按照大于数据读操作的写操作的时间被延迟。

这样一来，就能够在同一时钟部分内完成通常需要两个时钟部分的在存储器阵列中读出和写入数据时的地址分配。

因此，RMW 操作的速度被提高到是普通操作的两倍，实现了非常适合作为例如 3DCG 的子缓冲器的半导体存储器装置。

尤其是，在本实施例中，由于这一延迟装置，FIFO 存储器 14 被用作数字延迟线。可以自由地改变单元存储器级的数目，并使性能改善到达 RMW 操作的极限，同时提高了在处理方法等的改变方面的灵活性。

## 第二实施例

本实施例表示多级结构的移位寄存器代替上述第一实施例的 FIFO 存储器 14 作为本发明中的延迟单元的结构的情况。



图7是作为本发明半导体存储器装置的一个例子的半导体存储器装置的简要方框图。与上述第一实施例的部分相同的部分用相同的符号或数字来表示，在此省略对它们的描述。此外，时序图也与图6的时序图相同，所以与省略对整个操作的说明。

5 起图7所示延迟单元作用的移位寄存器16具有预定个数的单元寄存器级的结构，单元寄存器级具有预定个数的位，至少可以按照横向连接在一起的方式向这些单元寄存器级输入地址信号ADD。通常根据使用了该半导体存储器装置的RMW操作的方法预先确定这些单元寄存器级的个数。

因此，与第一实施例的FIFO存储器14不同，延迟时间的改变不那么容易，  
10 但可以通过利用与译码器4和6的时钟不同的时钟移位数据和改变频率来改变延迟时间。在这种情况下，需要使移位寄存器16的末级的输出与译码器4和6的时钟信号CLK同步。

### 第三实施例

本实施例表示本质上没有提供延迟装置而把对于同一地址的延时信息给与地  
15 址信号的情况，地址输入的数目被定为2而不是1。

图8是本实施例的半导体存储器装置的简要方框图。与上述实施例的部分相同的部分也用相同的符号或数字来表示，也省略对它们的描述。此外，时序图也与图6的时序图相同，所以也省略对整个操作的描述。

在第一和第二实施例的上述描述中，在数据读和写操作时公用地址输入端，  
20 以减少引线数。

与此相反，本实施例采用把地址信号的输入分成数据读时的地址信号输入和数据写时的地址信号输入。最好在有能力增大引线数目时这样做，通过把地址输入分成数据读时的地址输入和数据写时的数据输入省略了延迟装置，并简化了结构。

25 如图8所示，读地址信号R-ADD可通过寄存器8a输入给只读地址译码器4，写地址信号W-ADD可通过另一寄存器8b输入给只写地址译码器6。

在这种情况下，相对于读地址信号R-ADD，写地址信号W-ADD只被预先延迟了几个时钟部分（在图6的操作中为6个时钟部分）。

因此，类似于第一实施例的情况，当观察某一时钟部分时，对于一新地址和  
30 执行在比较处理之前和之后几个时钟部分被读出的数据的写修改的地址，可以按



照重叠的方式执行地址分配，可以相对于面一部分中就在此之前的部分中被分配的地址执行数据的读和写操作，能够把 RMW 操作的速度提高到该极限。

如上所述，在本发明的半导体存储器装置中，输入和输出被分开，消除了命令等待部分等，单独提供了数据读和写操作用的地址译码器，提供了把写入侧的地址分配从读出侧的地址分配延时一段预定时间的装置（延迟装置），因此能够在  
5 在一个时钟部分中执行 RMW 操作（两次地址分配，数据读操作，数据写操作和数据输入/输出）。为此，RMW 操作的速度被提高到是普通操作的两倍，可以把 3DCG 的绘图性能等增强至该极限。

此外，可以用地址译码器的同一输入端进行数据读和写操作，所以地址输入  
10 引线数可减半。

此外，如果用先入先出型存储器作为延迟单元，就能够改变延迟时间。

根据如上所述，对于时钟同步操作的存储器，能够在同一时钟部分中执行数据写和读操作，能够提供可以连续地执行高速 RMW 操作的半导体存储器装置。因此，3DCG 的隐藏面处理的速度显著提高。

15 因此，RMW 操作的效率被提高到是相关技术操作的两倍，能够实现非常适合作为例如 3DCG 的缓冲器的半导体存储器装置。

说明书附图

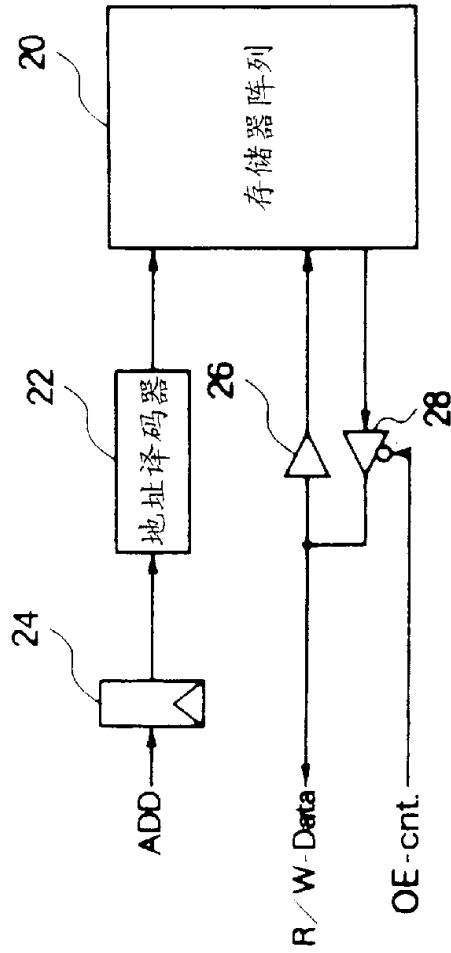


图 1

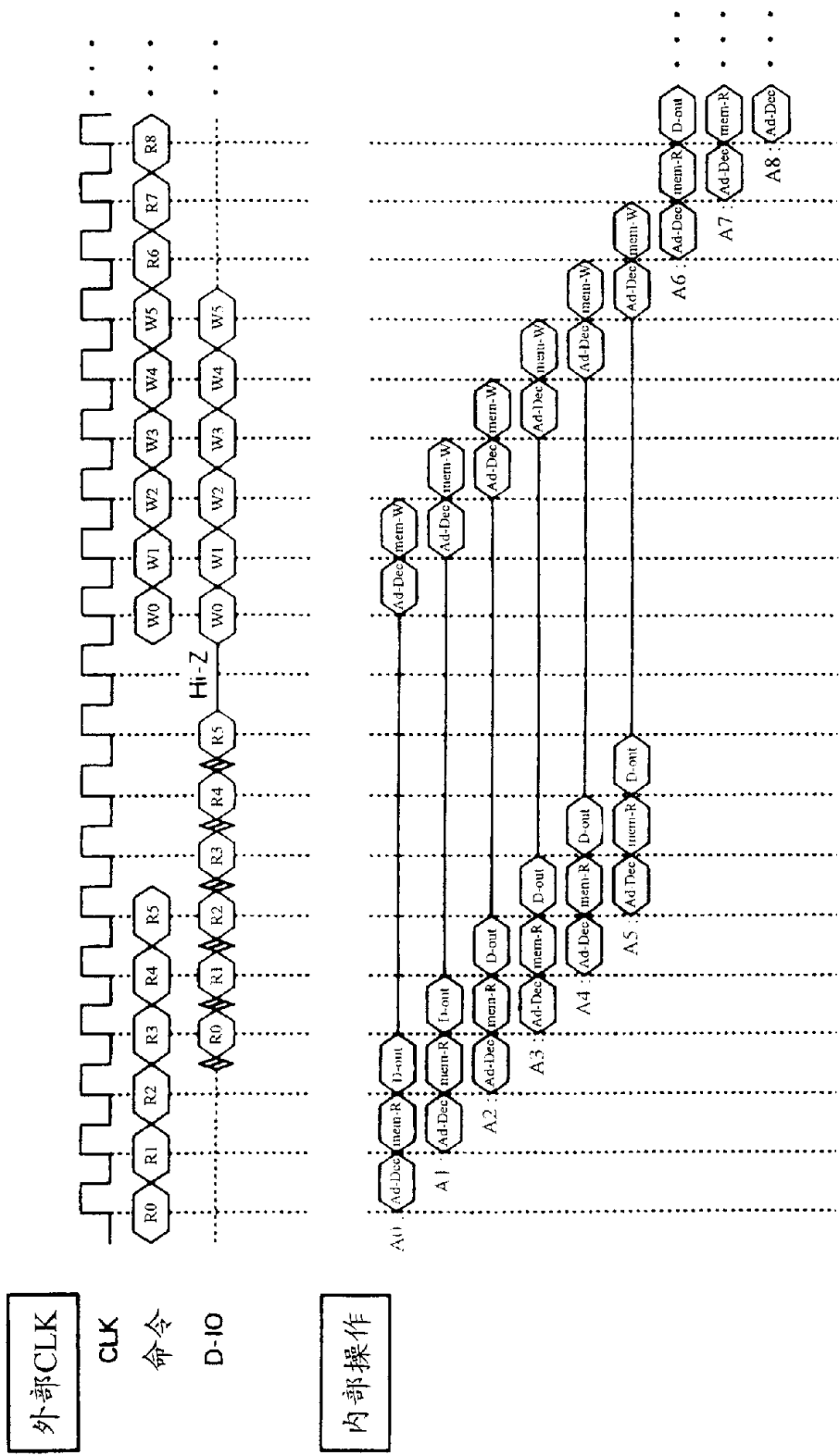


図 2



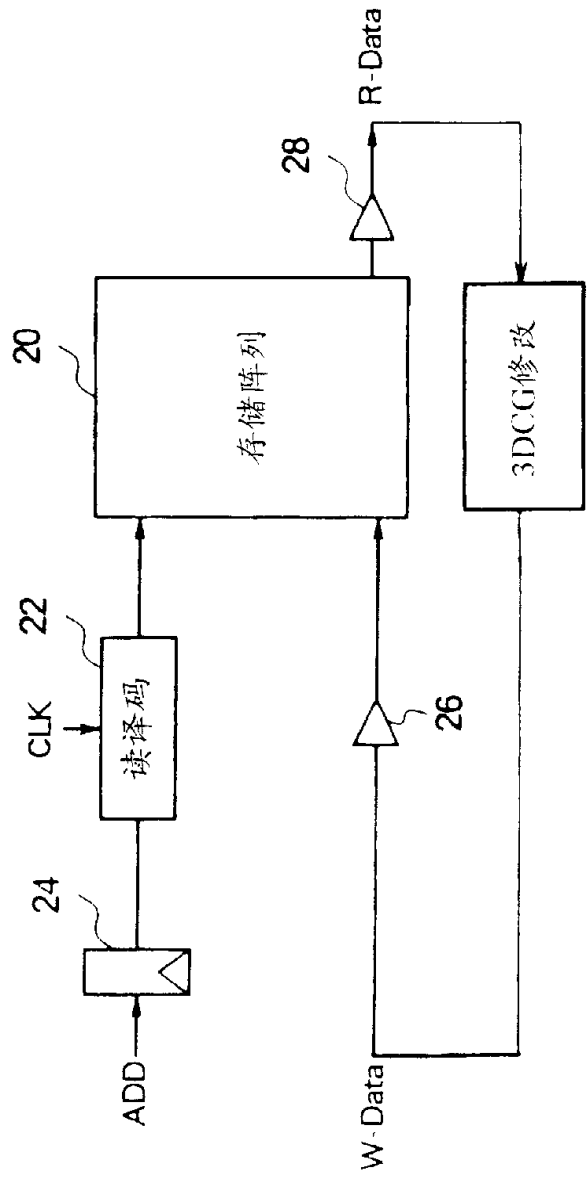
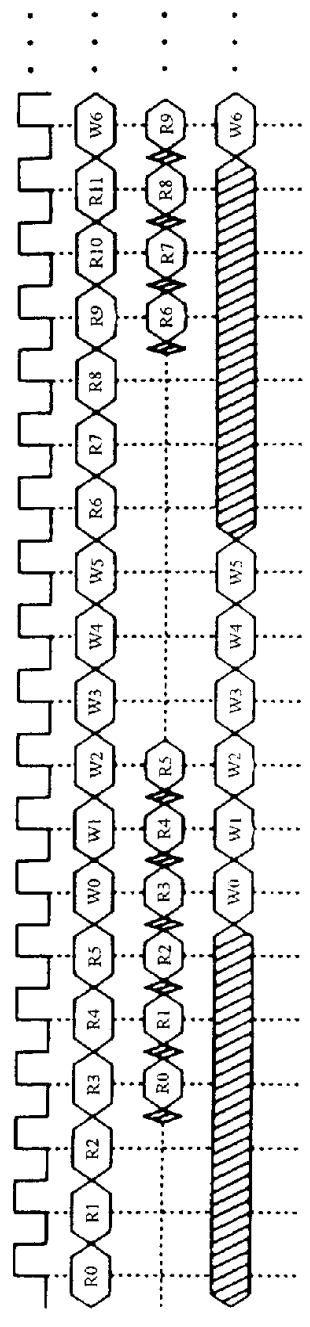
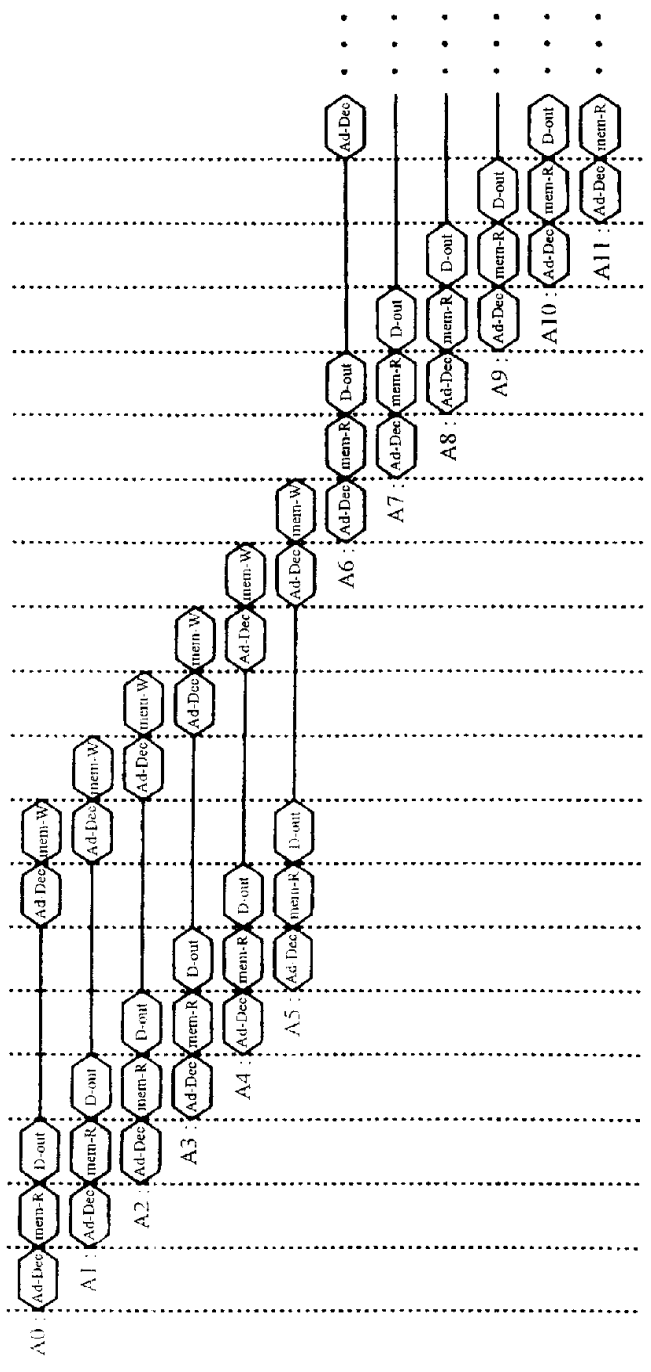


图 3

外部CLK



内部操作



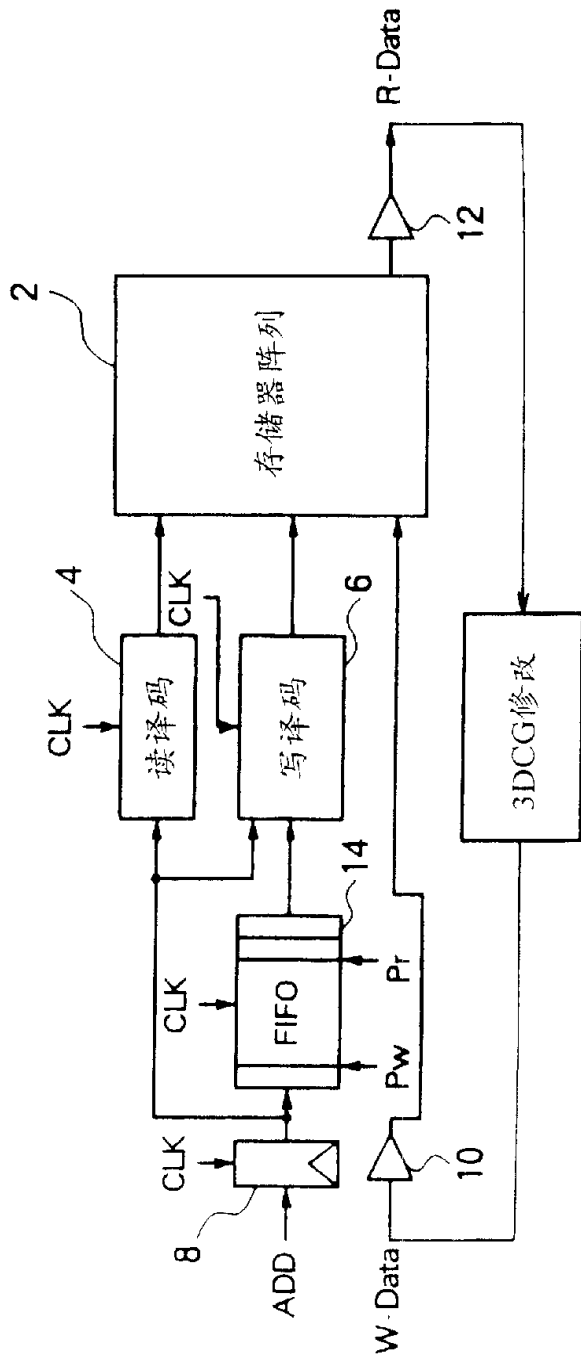
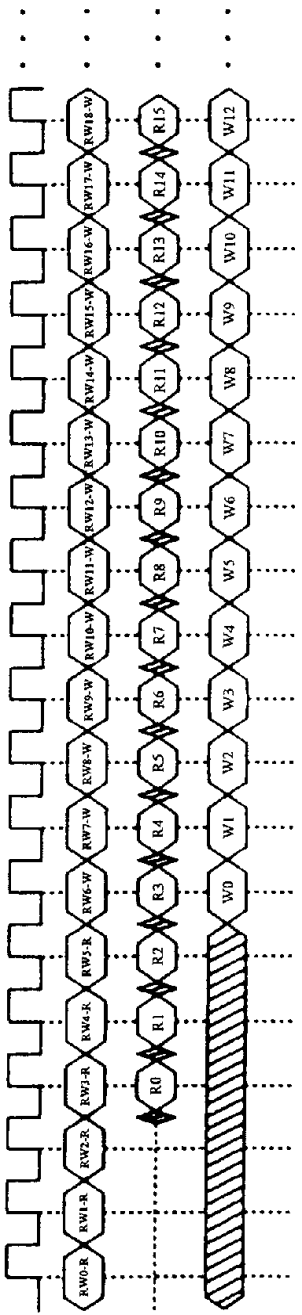


图 5

外部CLK



CLK

命令

D-Out

D-In

内部操作

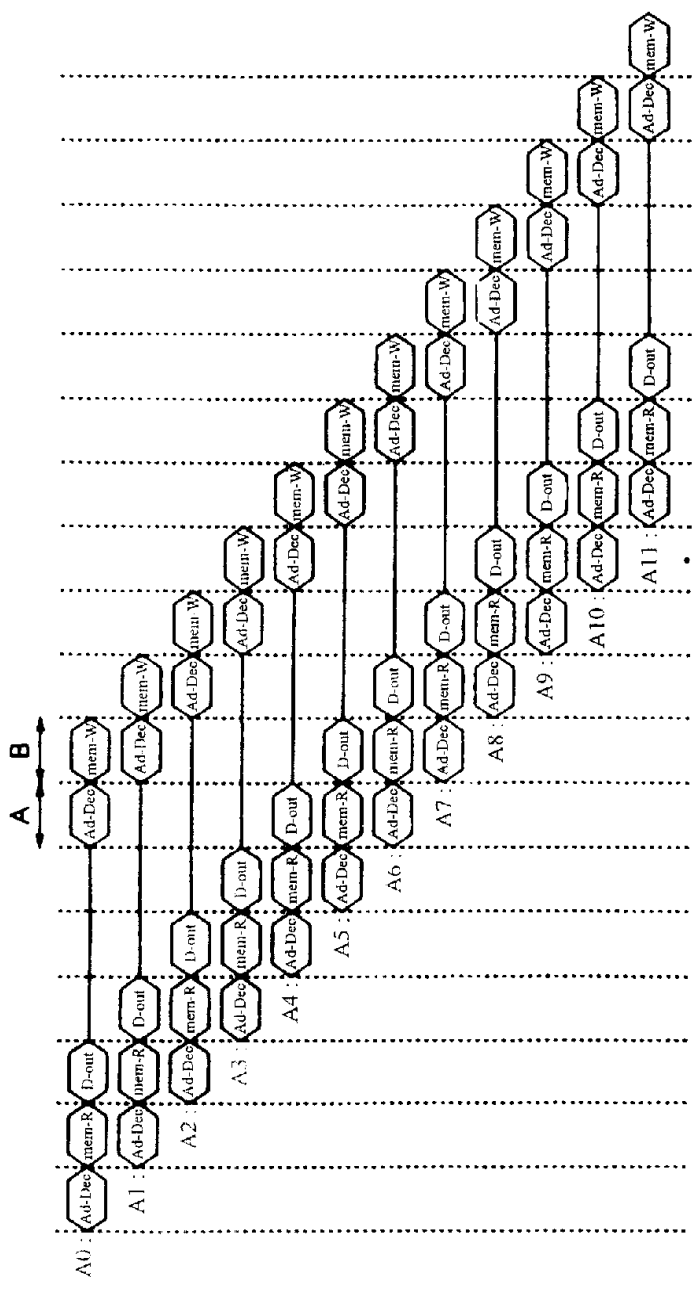


图 6

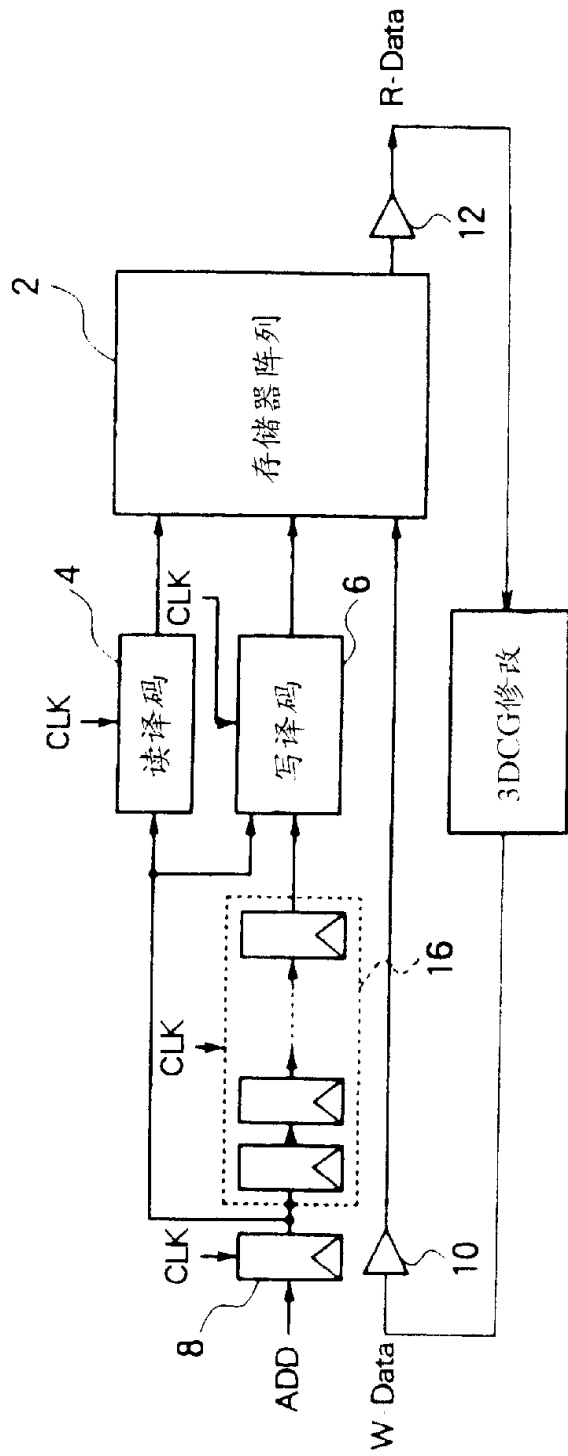


图 7

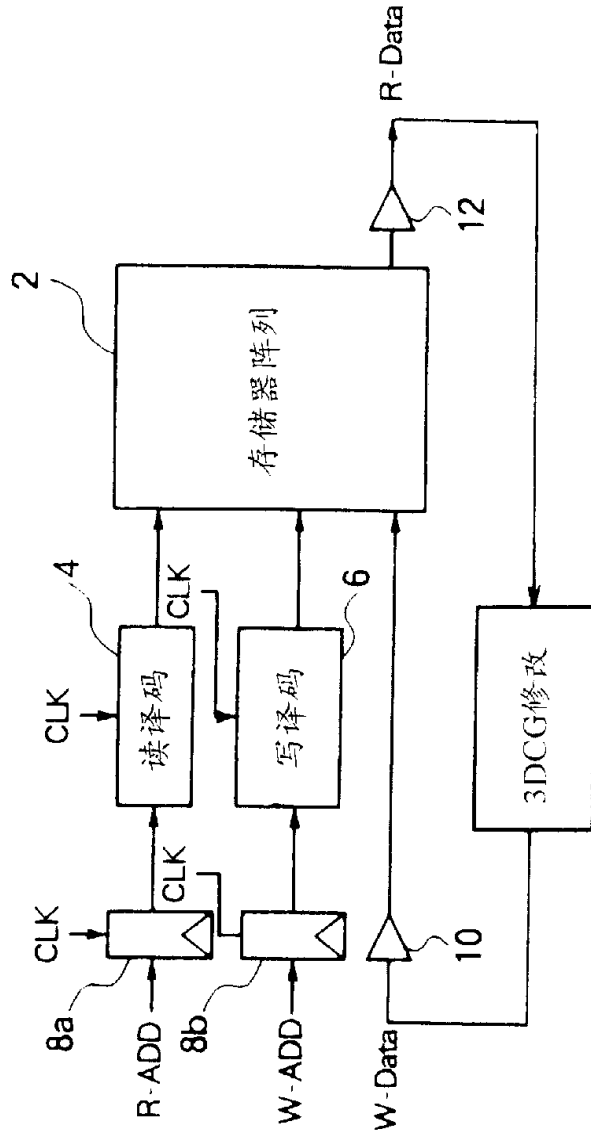


图 8