



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. (45) 공고일자 2007년04월20일
H01L 21/28 (2006.01) (11) 등록번호 10-0710193
 (24) 등록일자 2007년04월16일

(21) 출원번호 10-2005-0132331 (65) 공개번호
 (22) 출원일자 2005년12월28일 (43) 공개일자
 심사청구일자 2005년12월28일

(73) 특허권자 동부일렉트로닉스 주식회사
 서울 강남구 대치동 891-10

(72) 발명자 김주현
 충남 천안시 쌍용1동 광명아파트 106동 1402호

(74) 대리인 강용복
 김용인

(56) 선행기술조사문헌
 KR1020030046932 A * KR1020030049116 A
 KR1020030059478 A KR1020040001925 A
 * 심사관에 의하여 인용된 문헌

심사관 : 이윤직

전체 청구항 수 : 총 10 항

(54) 반도체 소자의 형성방법

(57) 요약

본 발명은 BARC막과 포토레지스트의 이중 코팅(double coating)을 통해서 절연막 식각공정을 수행함으로써 리플로우 방법을 적용하지 않고 작은 CD(critical dimension)의 비아홀을 구현하고자 하는 반도체 소자의 형성방법에 관한 것으로서, 반도체 기판의 상부에 배선층 등 회로 패턴을 형성하는 단계와, 상기 회로패턴을 포함한 전면에 층간절연막을 형성하는 단계와, 상기 층간절연막 상에 제 1 BARC막, 제 1 포토레지스트, 제 2 BARC막 및 제 2 포토레지스트를 순차적으로 형성하는 단계와, 상기 제 2 포토레지스트를 패터닝하는 단계와, 상기 패터닝된 제 2 포토레지스트 사이로 노출된 제 2 BARC막을 식각하는 단계와, 상기 패터닝된 제 2 BARC막 사이로 노출된 제 1 포토레지스트를 식각하는 단계와, 상기 패터닝된 제 1 포토레지스트 사이로 노출된 제 1 BARC막을 식각하는 단계와, 상기 패터닝된 제 1 BARC막 사이로 노출된 층간절연막을 식각하여 비아홀을 형성하는 단계와, 상기 제 2 포토레지스트, 제 2 BARC막, 제 1 포토레지스트 및 제 1 BARC막을 순차적으로 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 2f

특허청구의 범위

청구항 1.

반도체 기관의 상부에 배선층을 포함하는 회로 패턴을 형성하는 단계와,

상기 회로패턴을 포함한 전면에 층간절연막을 형성하는 단계와,

상기 층간절연막 상에 제 1 BARC막, 제 1 포토레지스트, 제 2 BARC막 및 제 2 포토레지스트를 순차적으로 형성하는 단계와,

상기 제 2 포토레지스트를 패터닝하는 단계와,

상기 패터닝된 제 2 포토레지스트 사이로 노출된 제 2 BARC막을 탄소계열 식각가스를 사용하여 식각하는 단계와,

상기 패터닝된 제 2 BARC막 사이로 노출된 제 1 포토레지스트를 식각하는 단계와,

상기 패터닝된 제 1 포토레지스트 사이로 노출된 제 1 BARC막을 탄소계열 식각가스를 사용하여 식각하는 단계와,

상기 패터닝된 제 1 BARC막 사이로 노출된 층간절연막을 식각하여 비아홀을 형성하는 단계와,

상기 제 2 포토레지스트, 제 2 BARC막, 제 1 포토레지스트 및 제 1 BARC막을 순차적으로 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 2.

제 1 항에 있어서,

상기 제 2 포토레지스트를 패터닝하는 단계에서 포토식각공정을 적용하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 3.

제 1 항에 있어서,

상기 층간절연막은 산화 계열의 물질을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 4.

제 1 항에 있어서,

상기 제 1, 제 2 BARC막을 식각하는 단계에서,

반응성 이온식각(Reactive Ion Etching) 방법을 적용하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 5.

제 1 항에 있어서,

상기 패터닝된 제 2 포토레지스트 사이로 노출된 제 2 BARC막을 식각하는 단계에서, 상기 제 2 포토레지스트 패턴 내측 벽에 폴리머가 증착되는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 6.

제 5 항에 있어서,

상기 폴리머에 의해서, 상기 제 2 BARC막이 식각된 영역의 CD(critical dimension)가 상기 제 2 포토레지스트가 제거된 영역의 CD보다 작은 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 7.

제 1 항에 있어서,

상기 패터닝된 제 1 포토레지스트 사이로 노출된 제 1 BARC막을 식각하는 단계에서, 상기 제 1 포토레지스트 패턴 내측 벽에 폴리머가 증착되는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 8.

제 7 항에 있어서,

상기 폴리머에 의해서, 상기 제 1 BARC막이 식각된 영역의 CD가 상기 제 1 포토레지스트가 제거된 영역의 CD보다 작은 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 9.

제 1 항에 있어서,

상기 비아홀의 CD는 상기 제 2 포토레지스트가 제거된 영역의 CD보다 작은 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 10.

제 1 항에 있어서,

상기 비아홀 내부에 금속을 매립하여 비아 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 리플로우 방법을 적용하지 않고 작은 CD(critical dimension)의 비아홀을 구현하고자 하는 반도체 소자의 형성방법에 관한 것이다.

반도체 소자가 소형화 및 경량화되는 추세에 따라 그 디자인 룰(design rule)이 감소하면서 배선에 의한 RC 지연이 동작 속도를 결정하는 중요한 요인으로 등장하고 있다. 이에 따라 다층 배선 구조가 실용화되고 있으며, 특히 고속 동작을 요구하는 로직 장치에서는 다층 배선 구조가 필수적이다.

이러한 다층 배선 구조를 형성하는 가장 일반적인 방법은 각각의 금속 배선을 스퍼터링 방식에 의해 증착하고, 배선들 간의 전기적 통로를 형성하는 비아홀을 플러그 공정에 의해 형성하는 것이다.

그러나, 반도체 장치의 디자인 룰이 점차 감소함에 따라 배선 및 비아홀의 사이즈가 점차 작아지게 된다.

이하, 첨부된 도면을 참조하여 종래 기술에 의한 반도체 소자의 형성방법을 상세히 설명하면 다음과 같다.

도 1a 내지 도 1c는 종래 기술에 의한 비아홀의 형성방법을 나타낸 공정단면도이다.

먼저, 셀 영역과 페리 영역으로 구분되어지는 반도체 기판 상에 게이트 전극 및 게이트 전극 양측 기판에 불순물 이온 주입에 의해 소스/드레인 영역이 구비된 트랜지스터를 형성한다.

다음, 도 1a에 도시된 바와 같이, 기판 전면에 층간절연막(intermetal dielectric film; IMD)(12)을 성형하고, 그 위에 포토레지스트(27)를 차례로 적층한다.

이후, 도 1b에 도시된 바와 같이, 포토식각공정으로 상기 포토레지스트(27)를 선택적으로 제거하여 비아홀 영역을 정의한다.

마지막으로, 도 1c에 도시된 바와 같이, 상기 패터닝된 포토 레지스트(27) 사이로 노출된 층간절연막(12)을 RIE(Reactive Ion Etching) 장치를 사용하여 선택적으로 건식식각함으로써 비아홀(19)을 형성한다.

비아홀(19)을 형성한 이후, 비아홀(19)의 측벽에 존재하는 폴리머 등의 이물질을 제거하기 위하여 질산 처리, 에칭 및 습식 세정을 연속적으로 실시한다.

발명이 이루고자 하는 기술적 과제

그러나, 종래 기술에 의한 반도체 소자의 형성방법은 다음과 같은 문제점이 있다.

즉, 비아홀 패턴의 경우 배선 패턴(line pattern)과는 달리 작은 사이즈를 구현하는 것이 힘들어, 같은 기술의 포토식각공정으로도 배선은 90nm로 형성할 수 있지만, 비아홀의 경우에는 130nm로 밖에 형성할 수 없다.

이런 현상이 발생하는 이유는, 비아홀 형성용 PR(photo resist) 마스크의 경우 사방에서 들어오는 빛에 의해서 노광되기 때문에, 일측 방향에서만 들어오는 빛에 의해서 노광되는 배선 형성용 PR 마스크에 비해 해상력이 떨어지기 때문이다. 또한, 노광 조건을 사용하는 것에도 제약이 많이 따르게 된다.

이와같은 현상을 보완하기 위해서, 최근에 작은 사이즈의 비아홀을 구현하기 위해서 리플로우(reflow) 방법을 많이 적용하는데, 리플로우 방법을 적용하게 되면, 비아홀 형태가 좋지 못하고 CD 균일성(uniformity)이 나빠지는 단점이 있다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, BARC막과 포토레지스트의 이중 코팅(double coating)을 통해서 절연막 식각공정을 수행함으로써 리플로우 방법을 적용하지 않고 작은 CD(critical dimension)의 비아홀을 구현하고자 하는 반도체 소자의 형성방법을 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 형성방법은 반도체 기판의 상부에 배선층 등 회로 패턴을 형성하는 단계와, 상기 회로패턴을 포함한 전면에 층간절연막을 형성하는 단계와, 상기 층간절연막 상에 제 1 BARC막, 제 1 포토레지스트, 제 2 BARC막 및 제 2 포토레지스트를 순차적으로 형성하는 단계와, 상기 제 2 포토레지스트를 패터닝하는 단계와, 상기 패터닝된 제 2 포토레지스트 사이로 노출된 제 2 BARC막을 식각하는 단계와, 상기 패터닝된 제 2 BARC막 사이로 노출된 제 1 포토레지스트를 식각하는 단계와, 상기 패터닝된 제 1 포토레지스트 사이로 노출된 제 1 BARC막을

식각하는 단계와, 상기 패터닝된 제 1 BARC막 사이로 노출된 층간절연막을 식각하여 비아홀을 형성하는 단계와, 상기 제 2 포토레지스트, 제 2 BARC막, 제 1 포토레지스트 및 제 1 BARC막을 순차적으로 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

즉, 층간절연막 상에 BARC막과 포토레지스트를 이중으로 코팅한 후, 상기 BARC막 식각시 발생하는 폴리머가 비아홀 영역 내측벽에 증착되어 비아홀 영역의 CD가 점점 좁아지게 함으로써, 최종적으로 상기 층간절연막을 식각하여 형성하는 비아홀의 CD를 줄이고자 하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 의한 반도체 소자의 형성방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2f는 본 발명에 의한 비아홀의 형성방법을 나타낸 공정단면도이다.

먼저, 반도체 기판(도시하지 않음)의 상부에 소정의 회로 패턴들, 예를 들면 트랜지스터와 커패시터와 같은 다수의 소자들을 통상의 기술로써 형성한 후, 도 2a에 도시된 바와 같이, 그 위에 산화계열의 물질의 절연물질을 화학 기상 증착(chemical vapor deposition; CVD) 방법에 의해 소정의 두께로 증착하여 층간절연막(112)을 형성한다.

그리고, 상기 층간절연막(112) 상부에 제 1 BARC(Bottom Anti-reflective Coatings)막(117)을 형성하고, 그 위에 제 1 포토레지스트(127)를 소정 두께로 도포한다.

다음, 상기 제 1 포토레지스트(127) 상에 제 2 BARC막(118)과 제 2 포토레지스트(128)를 순차적으로 형성한다.

계속해서, 도 2b에 도시된 바와 같이, 비아홀 영역을 정의하기 위해 포토리소그래피를 적용하여 제 2 포토레지스트(128)를 패터닝한다. 패터닝된 포토레지스트가 PR마스크가 된다.

다음, 도 2c에 도시된 바와 같이, 패터닝된 제 2 포토레지스트(128) 사이로 노출된 제 2 BARC막(118)을 에컨대, 반응성 이온 식각(reactive ion etching; RIE) 방법으로 건식 식각하여 비아홀 영역을 구현해나간다.

이때, 반응성 이온식각시 제 2 포토레지스트 패턴의 내측벽에 폴리머(120)가 증착되는데, 상기 폴리머에 의해 제 2 BARC막(118)이 제 2 포토레지스트 패턴보다 좁은 CD를 가지게 된다. 상기 폴리머는 반응성 이온식각시 플라즈마에 의해 제 2 포토레지스트가 동시식각되어 발생되거나, 상기 제 2 BARC막이 식각되어 발생되거나 또는 탄소계열의 식각가스를 사용했을 때 발생하는 것이다.

이어서, 도 2d에 도시된 바와 같이, 패터닝된 제 2 포토레지스트(128) 및 제 2 BARC막(118) 사이로 노출된 제 1 포토레지스트(127)를 식각한다.

계속해서, 도 2e에 도시된 바와 같이, 패터닝된 제 1 포토레지스트 사이로 노출된 제 1 BARC막(117)을 에컨대, 반응성 이온식각 방법으로 건식식각한다.

이때, 반응성 이온식각시 제 1 포토레지스트 패턴의 내측벽에 폴리머(130)가 증착되는데, 상기 폴리머에 의해 제 1 BARC막(117)이 제 1 포토레지스트 패턴보다 좁은 CD를 가지게 된다. 상기 폴리머(130)는 반응성 이온식각시 플라즈마에 의해 제 1 포토레지스트가 동시식각되어 발생되거나, 상기 제 1 BARC막이 식각되어 발생되거나 또는 탄소계열의 식각가스를 사용했을 때 발생하는 것이다.

이와같이, BARC막과 포토레지스트를 이중 코팅하여 2회의 포토식각공정 및 반응성 이온식각 공정으로 비아홀 영역을 구현함으로써 최종적으로 비아홀 영역의 사이즈가 작아지게 된다.

이후, 도 2f에 도시된 바와 같이, 제 1, 제 2 포토레지스트 패턴(127,128) 및 제 1, 제 2 BARC막(117,118)을 마스크로 하여 상기 층간절연막(112)을 선택적으로 패터닝하여 하부의 금속 배선층 또는 소정이 회로 패턴들을 노출시키는 비아홀(119)을 형성한다.

이어서, 비아홀(119)의 건식 식각에 사용되었던 제 1, 제 2 포토레지스트 패턴(127,128) 및 제 1, 제 2 BARC막(117,118)과, 비아홀을 통해 노출된 하부 금속 배선층 또는 회로패턴의 표면에 존재하는 폴리머와 같은 이물질들을 제거하기 위하여 세정을 실시하고, 케미칼을 이용한 스트립 공정을 수행하여 상기 제 1, 제 2 포토레지스트 패턴(127,128) 및 제 1, 제 2 BARC막(117,118)을 제거한다.

마지막으로, 상기 비아홀 내부에 금속을 증착하여 하부의 회로패턴 또는 금속배선층과 콘택되는 비아플러그를 형성하여 로직공정을 완성한다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같은 본 발명의 반도체 소자의 형성방법은 다음과 같은 효과가 있다.

즉, BARC막과 포토레지스트의 이중 코팅(double coating)이후 포토식각공정 및 반응성 이온 식각을 통해 비아홀 영역을 구현해나가는데, 이과정에서 비아홀 영역 내측벽에 형성되는 폴리머에 의해 비아홀 영역의 사이즈를 점차로 줄일 수 있게 된다.

따라서, 고가의 장비를 사용하지 않고도 층간절연막에 형성되는 비아홀 영역의 사이즈를 최소로 줄일 수 있게 된다.

또한, 비아홀의 사이즈를 줄이기 위해서 리플로우 방법을 적용하지 않아도 되므로 비아홀의 CD(critical dimension)가 균일해진다.

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 의한 비아홀의 형성방법을 나타낸 공정단면도.

도 2a 내지 도 2f는 본 발명에 의한 비아홀의 형성방법을 나타낸 공정단면도.

*도면의 주요 부분에 대한 부호설명

112 : 층간절연막 117 : 제 1 BARC막

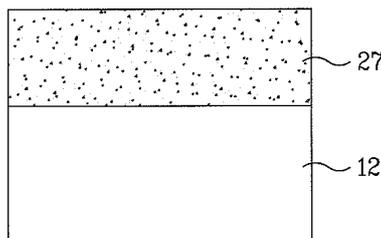
118 : 제 2 BARC막 127 : 제 1 포토레지스트

128 : 제 2 포토레지스트 120, 130 : 폴리머

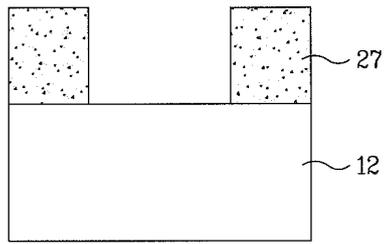
119 : 비아홀

도면

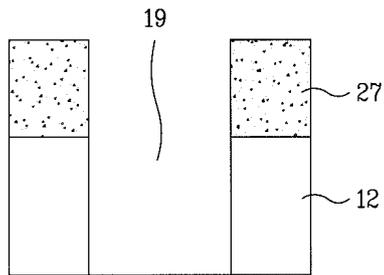
도면1a



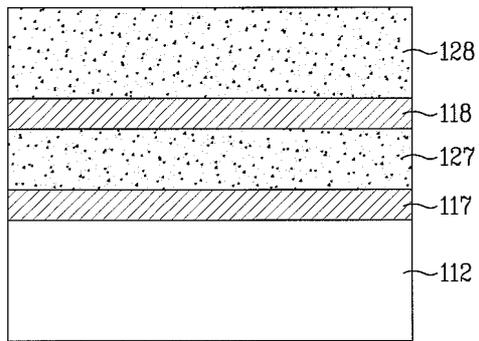
도면1b



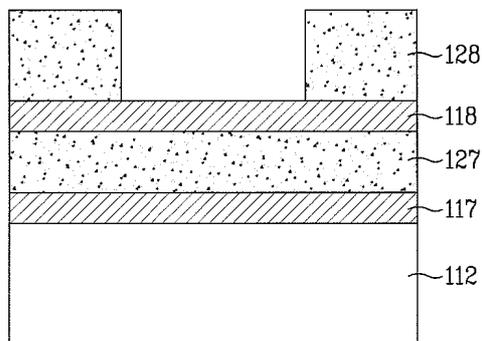
도면1c



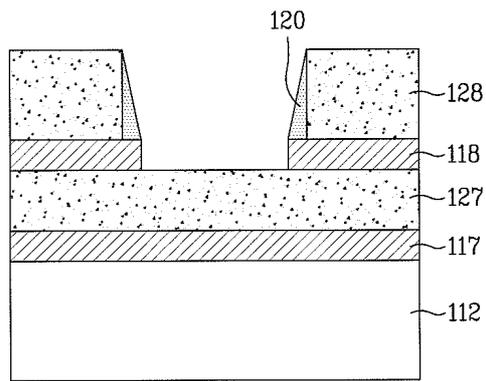
도면2a



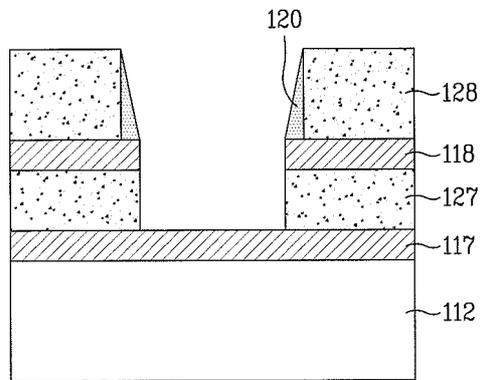
도면2b



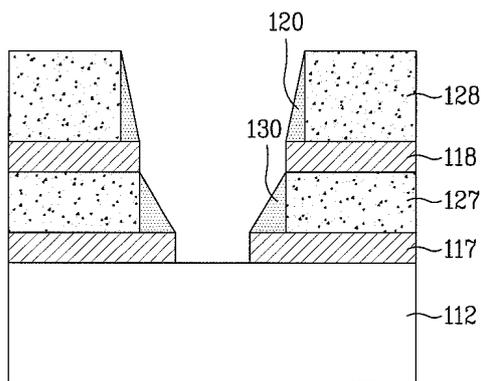
도면2c



도면2d



도면2e



도면2f

