

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6715736号
(P6715736)

(45) 発行日 令和2年7月1日(2020.7.1)

(24) 登録日 令和2年6月11日(2020.6.11)

(51) Int. Cl.	F I				
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 7 A		
HO 1 L 29/12	(2006.01)	HO 1 L 29/78	6 5 2 T		
HO 1 L 21/329	(2006.01)	HO 1 L 29/78	6 5 7 Z		
HO 1 L 29/866	(2006.01)	HO 1 L 29/78	6 5 2 S		
HO 1 L 27/06	(2006.01)	HO 1 L 29/78	6 5 2 D		
請求項の数 6 (全 16 頁) 最終頁に続く					

(21) 出願番号 特願2016-183954 (P2016-183954)
 (22) 出願日 平成28年9月21日 (2016.9.21)
 (65) 公開番号 特開2018-49912 (P2018-49912A)
 (43) 公開日 平成30年3月29日 (2018.3.29)
 審査請求日 平成31年1月30日 (2019.1.30)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 川原 洸太郎
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 日野 史郎
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 審査官 杉山 芳弘

最終頁に続く

(54) 【発明の名称】 半導体装置および電力変換装置

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子と、
 前記スイッチング素子のゲート電極と前記スイッチング素子のソース電極もしくはエミッタ電極の間に接続された感温素子と、
 を備え、
 前記感温素子は、温度が上がると抵抗が下がる素子であり、
 前記スイッチング素子は、第1導電型のドリフト層および当該ドリフト層の表層部に形成された第2導電型のウェル層を含み、
 前記感温素子と前記ウェル層との間に絶縁膜が介在しておらず、
 前記感温素子は、前記スイッチング素子のセルが複数形成された活性セル領域内において、前記スイッチング素子のセル同士の間配置されている
 ことを特徴とする半導体装置。

【請求項2】

前記感温素子は、半絶縁素子である
 請求項1に記載の半導体装置。

【請求項3】

前記感温素子が、前記ウェル層に埋め込まれている
 請求項1または請求項2に記載の半導体装置。

【請求項4】

前記スイッチング素子が、炭化珪素で形成されている
請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記感温素子が、炭化珪素で形成されている
請求項 1 から請求項 4 のいずれか一項に記載の半導体装置。

【請求項 6】

請求項 1 から請求項 5 のいずれか一項に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、

を備えた電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および電力変換装置に関するものである。

【背景技術】

【0002】

電力用半導体装置に要求される性能として、負荷短絡事故時に破壊せずに耐えうる時間すなわち短絡耐量が、事故発生から遮断装置が作動するまでの時間に対して十分に長いことが挙げられる。従来の半導体装置では、上記の性能を満たすために、ON抵抗などの素子性能を下げることに引き換えに短絡耐量を増加させていた。半導体装置の素子性能を下げることなく短絡耐量を増加させる方法としては、例えば特許文献 1 のように、半導体装置にマイクロコンピュータを備える保護回路を設け、負荷短絡が検知されるとマイクロコンピュータがゲート電圧を下げて半導体装置に流れる電流を抑制するという方法がある。

【0003】

一方、特許文献 2、3 には、ゲートをサージ電圧から保護するために、ゲート・ソース間にダイオードを配置した構成の半導体装置が示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 4 9 6 1 6 4 6 号公報

【特許文献 2】特開 2 0 0 9 - 2 1 8 3 0 7 号公報

【特許文献 3】特開 2 0 0 0 - 2 2 3 7 0 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 のようにマイクロコンピュータを用いて短絡電流を抑制する場合、短絡事故が発生してからマイクロコンピュータがゲート電圧を下げるまでに時間を要し、ゲート電圧が下がる前に半導体装置が破壊する可能性がある。また、特許文献 2、3 において半導体装置のゲート・ソース間に配置されたダイオードは、短絡事故ではなくサージ電圧を想定したものであるため、半導体装置の温度上昇に敏感でなく、短絡時の半導体装置破壊を防ぐことはできない。

【0006】

本発明は以上のような課題を解決するためになされたものであり、短絡事故発生時に瞬時にゲート電圧を低下させることが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る半導体装置は、スイッチング素子と、前記スイッチング素子のゲート電極と前記スイッチング素子のソース電極もしくはエミッタ電極の間に接続された感温素子と、を備え、前記感温素子は、温度が上がると抵抗が下がる素子であり、前記スイッチング

10

20

30

40

50

素子は、第1導電型のドリフト層および当該ドリフト層の表層部に形成された第2導電型のウェル層を含み、前記感温素子と前記ウェル層との間に絶縁膜が介在しておらず、前記感温素子は、前記スイッチング素子のセルが複数形成された活性セル領域内において、前記スイッチング素子のセル同士の間配置されているものである。

【発明の効果】

【0009】

本発明によれば、短絡事故が発生すると瞬時にゲート電圧が低下して半導体装置に流れる電流が抑制されるため、十分に長い短絡耐量を得ることができる。

10

【図面の簡単な説明】

【0010】

【図1】本発明に係る半導体装置の回路図である。

【図2】本発明の実施の形態1および2に係る半導体装置の上面図である。

【図3】本発明の実施の形態1に係る半導体装置の断面図である。

【図4】本発明の実施の形態1に係る半導体装置の断面図である。

【図5】本発明の実施の形態1に係る半導体装置の断面図である。

【図6】本発明の実施の形態1および2に係る半導体装置の変形例を示す上面図である。

【図7】本発明の実施の形態1に係る半導体装置の変形例を示す断面図である。

【図8】本発明の実施の形態1に係る半導体装置の変形例を示す断面図である。

20

【図9】本発明の実施の形態2に係る半導体装置の断面図である。

【図10】本発明の実施の形態2に係る半導体装置の断面図である。

【図11】本発明の実施の形態3および4に係る半導体装置の上面図である。

【図12】本発明の実施の形態3に係る半導体装置の断面図である。

【図13】本発明の実施の形態3に係る半導体装置の断面図である。

【図14】本発明の実施の形態4に係る半導体装置の断面図である。

【図15】本発明の実施の形態4に係る半導体装置の断面図である。

【図16】本発明の実施の形態5に係る電力変換システムの構成を示すブロック図である。

。

【発明を実施するための形態】

30

【0011】

本明細書において、各領域の「単位面積当たりの不純物量 $[cm^{-2}]$ 」は、各領域における不純物濃度を深さ方向に積分することで算出される値を示すものとする。また、各領域の不純物濃度が濃度プロファイルを有する場合において、各領域の「不純物濃度 $[cm^{-3}]$ 」は、各領域における不純物濃度のピーク値を示すものとし、各領域の「厚さ」は、不純物濃度が当該領域における不純物濃度のピーク値の $1/10$ の値以上となる領域までの厚さを指すものとする。ただし、各領域における「ドーズ量 $[cm^{-2}]$ 」を算出する際に用いる「不純物濃度」の値は、不純物濃度のピーク値ではなく、実際の不純物濃度である。

【0012】

40

また、本明細書において、「～上」という場合、構成要素間に介在物が存在することを妨げるものではない。例えば、「A上に設けられたB」という記載には、Aの上にBが直接設けられた構造だけでなく、AとBとの間に他の要素Cが介在する構造をも含まれる。

【0013】

以下に示す実施の形態では、スイッチング素子の材料がワイドバンドギャップ半導体である炭化珪素である場合を示す。しかし、本発明に係るスイッチング素子の材料はそれに限定されず、例えば、他のワイドバンドギャップ半導体である、窒化ガリウム、窒化アルミニウム、窒化アルミニウムガリウム、酸化ガリウム、ダイヤモンドなどを用いることもでき、その場合も炭化珪素の場合と同様の効果が得られる。

【0014】

50

また、以下の実施の形態では、第1導電型をN型、第2導電型をP型として説明するが、反対に、第1導電型をP型、第2導電型をN型としてもよい。

【0015】

<実施の形態1>

図1は、実施の形態1に係る半導体装置10の構成を示す回路図である。図1のように、半導体装置10は、スイッチング素子1と、感温素子2と、ゲート抵抗3と、ゲート端子4と、ソース端子5と、ドレイン端子6とを備えている。

【0016】

ここでは、スイッチング素子1の一例として、炭化珪素で形成されたNチャネルMOSFETを示す。ただし、スイッチング素子1は、NチャネルMOSFETに限られず、例えば、PチャネルMOSFETでもよいし、その他のスイッチング素子、例えばJFET、IGBTなどでもよい。IGBTの場合、MOSFETの「ソース」は「エミッタ」に読み替えられ、「ドレイン」は「コレクタ」に読み替えられる。

【0017】

ゲート端子4は、ゲート抵抗3を介してスイッチング素子1のゲート電極1Gに接続されている。ただし、ゲート抵抗3は、半導体装置10に外付けされるものであってもよい。ソース端子5は、スイッチング素子1のソース電極1Sに接続されている。ドレイン端子6は、スイッチング素子1のドレイン電極1Dに接続されている。

【0018】

感温素子2は、スイッチング素子1のゲート電極1Gとソース電極1Sとの間に接続されている（スイッチング素子1がIGBTの場合、感温素子2はゲート電極とエミッタ電極との間に接続される）。本実施の形態において、感温素子2は、温度が上がると降伏電圧が下がる素子であり、例えばツェナーダイオードによって構成することができる。ツェナーダイオードは、アノードに対するカソードの電圧が特定の電圧（この降伏電圧を「降伏電圧」という）以上にならない素子である。ツェナーダイオードの降伏電圧は、温度の上昇に伴って低下する。

【0019】

図2は、実施の形態1に係る半導体装置10のスイッチング素子1が形成される活性セルの上面図である。また、図3、図4、図5は、活性セルの断面図であり、それぞれ図2に示す直線A、B、Cに沿った断面に対応している。これらの図に示すように、半導体装置10は、炭化珪素基板101と、炭化珪素ドリフト層102と、Pウェル層103と、Nウェル層104と、ウェルコンタクト層105と、ゲート絶縁膜106と、ツェナーアノード層107と、ツェナーカソード層108と、フィールド絶縁膜109と、ゲート電極110と、層間絶縁膜111と、ソース電極112と、ドレイン電極113により構成されている。なお、図2では、ゲート絶縁膜106、フィールド絶縁膜109、ゲート電極110、層間絶縁膜111、ソース電極112およびドレイン電極113の図示を省略しており、各半導体領域の配置が示されている。

【0020】

NチャネルMOSFETであるスイッチング素子1は、N型の炭化珪素基板101の上にN型の炭化珪素ドリフト層102が形成されて成る基板を用いて形成されている。炭化珪素ドリフト層102の表層部には、Pウェル層103が選択的に形成されている。

【0021】

図4のように、Pウェル層103の表層部には、Nウェル層104およびP型のウェルコンタクト層105が選択的に形成されている。ここでは、Nウェル層104は、平面視でウェルコンタクト層105を取り囲むように配置されている。また、炭化珪素ドリフト層102の上にはゲート絶縁膜106が形成されており、その上にゲート電極110が形成されている。ゲート電極110は、ゲート絶縁膜106を介して、Nウェル層104、Pウェル層103および炭化珪素ドリフト層102の各上面に跨がるように形成されている。ゲート電極110の下に位置するPウェル層103の表層部が、スイッチング素子1をON状態にしたときにチャンネルが形成されるチャンネル領域114となる。

【 0 0 2 2 】

ゲート電極 1 1 0 は、図 1 に示したゲート電極 1 G に対応しており、ゲート端子 4 とゲート電極 1 G との間にゲート抵抗 3 が設けられる。先に述べたように、ゲート抵抗 3 は、外付けでゲート電極 1 G に接続してもよい。また、ゲート電極 1 1 0 の経路長を伸ばしたり導電性を下げたりすることで、ゲート抵抗 3 をゲート電極 1 1 0 に内在させてもよい。

【 0 0 2 3 】

ゲート電極 1 1 0 は層間絶縁膜 1 1 1 で覆われており、層間絶縁膜 1 1 1 の上にソース電極 1 1 2 が形成されている。ソース電極 1 1 2 は、図 1 に示したソース電極 1 S に相当し、ソース端子 5 に直接接続される。層間絶縁膜 1 1 1 には、P ウェル層 1 0 3 および N ウェル層 1 0 4 に達するコンタクトホールが形成されており、ソース電極 1 1 2 はそのコンタクトホールを通して P ウェル層 1 0 3 および N ウェル層 1 0 4 に接続している。

10

【 0 0 2 4 】

また、炭化珪素基板 1 0 1 の下面には、ドレイン電極 1 1 3 が形成されている。ソース電極 1 1 2 は、図 1 に示したドレイン電極 1 D に相当し、ドレイン端子 6 に直接接続される。

【 0 0 2 5 】

一方、図 3 および図 5 のように、P ウェル層 1 0 3 の上には、ツェナーアノード層 1 0 7 およびツェナーカソード層 1 0 8 からなるツェナーダイオードも形成されている。このツェナーダイオードが、図 1 の感温素子 2 に相当する。当該ツェナーダイオードと P ウェル層 1 0 3 との間には絶縁膜が介在していない。すなわち、ツェナーアノード層 1 0 7 は、P ウェル層 1 0 3 の上に直接形成されており、ツェナーアノード層 1 0 7 の上部にツェナーカソード層 1 0 8 が形成されている。また、フィールド絶縁膜 1 0 9 は、当該ツェナーダイオードを覆うように形成されている。

20

【 0 0 2 6 】

図 5 から分かるように、ツェナーアノード層 1 0 7 は、P ウェル層 1 0 3 およびウェルコンタクト層 1 0 5 を通してソース電極 1 1 2 に接続されている。また、ツェナーカソード層 1 0 8 は、フィールド絶縁膜 1 0 9 に形成されたコンタクトホールを通してゲート電極 1 1 0 に接続されている。

【 0 0 2 7 】

図 2 ~ 図 5 に示した各領域の大きさや配置は、一例に過ぎず、図 1 に示す回路図を実現する範囲内で変更可能である。例えば、図 5 の断面において、フィールド絶縁膜 1 0 9 を横方向に後退させる、あるいは、ツェナーアノード層 1 0 7 を横方向に張り出させることによって、ツェナーアノード層 1 0 7 がソース電極 1 1 2 の側面に直接接合するようにしてもよい。そうすることにより、ツェナーアノード層 1 0 7 とソース電極 1 1 2 間の抵抗値を小さくすることができる。

30

【 0 0 2 8 】

次に、実施の形態 1 に係る半導体装置 1 0 の動作について説明する。

【 0 0 2 9 】

感温素子 2 はツェナーダイオードであるため、半導体装置 1 0 のゲート端子 4 の電位が感温素子 2 の降伏電圧より十分に高く設定されると、ソース電極 1 S を基準にしたゲート電極 1 G の電圧は感温素子 2 の降伏電圧と等しい値になる。このとき、ゲート電極 1 G の電圧はしきい値電圧よりも大きくなり、スイッチング素子 1 は ON 状態になる。ソース端子 5 に対してドレイン端子 6 の電位が高い状態で、スイッチング素子 1 が ON 状態になると、ドレイン端子 6 からソース端子 5 に向かって電流が流れる。

40

【 0 0 3 0 】

半導体装置 1 0 に接続された負荷が短絡状態になった場合、スイッチング素子 1 に大きな電流が流れて温度が上昇し、感温素子 2 の温度も上がる。それにより、感温素子 2 の降伏電圧が下がるため、ゲート電極 1 G の電圧が下がり、スイッチング素子 1 に流れる電流が抑制される。その結果、半導体装置 1 0 の短絡耐量が延びる。

【 0 0 3 1 】

50

本実施の形態では、図2のように、感温素子2（ツェナーアノード層107およびツェナーカソード層108）は活性セルの領域内に配置され、さらに、図3および図5のように、感温素子2はPウェル層103と絶縁膜を介することなく接触している。このような感温素子2の配置により、スイッチング素子1と感温素子2の間の熱伝導が高くなり、スイッチング素子1の温度に感温素子2の温度が素早く追従するようになる。したがって、短絡が発生してスイッチング素子1の温度が上昇すると、感温素子2の温度も素早く上昇し、瞬時にスイッチング素子1のゲート電圧が低下する。

【0032】

仮に、感温素子2が活性セル領域の外に設置された場合や、感温素子2とPウェル層103との間に絶縁膜が存在した場合には、感温素子2とスイッチング素子1との間の熱伝導が低くなるため、短絡が発生してからゲート電極1Gの電圧が低下するまでの時間が長くなり、本発明ほど短絡耐量を延ばすことはできない。

10

【0033】

なお、図2では、ツェナーダイオードが1つのMOSFETセルあたりに一つ設置される例を示したが、ツェナーダイオードの数を間引くことも可能である。図6のように、ツェナーダイオードを間引いた個所に、Nウェル層104およびウェルコンタクト層105を形成すれば、その箇所にもMOSFETセルが形成されるため、半導体装置10のON抵抗値を下げるができる。短絡時の発熱量が各セルで均一であれば、半導体装置10の中に1つのみツェナーダイオードを配置してもよい。ただし、配置するツェナーダイオードの個数は、ツェナーダイオードの降伏電圧がツェナーダイオードに流れる電流密度にも依存することを考慮して、決定する必要がある。

20

【0034】

続いて、実施の形態1に係る半導体装置10の製造方法について説明する。

【0035】

まず、N型の炭化珪素基板101とその上にエピタキシャル結晶成長させたN型の炭化珪素ドリフト層102とを備える基板を用意する。炭化珪素ドリフト層102のN型の不純物濃度は、炭化珪素基板101のN型の不純物濃度よりも低く設定される。炭化珪素ドリフト層102のN型の不純物濃度および厚みは、半導体装置10の設計耐圧に応じて設定される。例えば、炭化珪素ドリフト層102のN型の不純物濃度は $1.0 \times 10^{14} \text{ cm}^{-3} \sim 1.0 \times 10^{16} \text{ cm}^{-3}$ 程度、炭化珪素ドリフト層102の膜厚は $1 \mu\text{m} \sim 200 \mu\text{m}$ 程度とすることができる。

30

【0036】

次に、写真製版処理によりパターニングした注入マスクを用いた不純物（ドーパント）の選択的なイオン注入により、炭化珪素ドリフト層102の表層部に、P型のPウェル層103、N型のNウェル層104、P型のウェルコンタクト層105をそれぞれ形成する。注入マスクには、例えばフォトレジストやシリコン酸化膜を用いることができる。その後、炭化珪素ドリフト層102に注入した不純物を電氣的に活性化させるための熱処理を行う。

【0037】

次に、炭化珪素ドリフト層102上にP型のポリシリコンをCVD（Chemical Vapor Deposition）法により堆積し、写真製版処理およびエッチングによるパターニングを行うことにより、ツェナーアノード層107を形成する。ツェナーアノード層107中の不純物濃度は、実現したいツェナーダイオードの降伏電圧によって決定すればよく、例えば $1.0 \times 10^{17} \text{ cm}^{-3} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 程度である。

40

【0038】

続いて、ツェナーアノード層107の表層部に、注入マスクを用いて不純物をイオン注入することによって、ツェナーカソード層108を形成する。ツェナーアノード層107をイオン注入で形成した場合は、注入した不純物を電氣的に活性化させるための熱処理を行う。

【0039】

50

次に、炭化珪素ドリフト層 102 上に、例えばシリコン酸化膜からなるフィールド絶縁膜 109 を、熱酸化法や堆積法などで形成する。そして、フィールド絶縁膜 109 に対して写真製版処理およびエッチングによるパターニングを行う。その後、ゲート絶縁膜 106 を、例えば熱酸化法や堆積法で形成する。そして、ゲート絶縁膜 106 に対して写真製版処理およびエッチングによるパターニングを行う。その後、ゲート絶縁膜 106 上に、例えばポリシリコンから成るゲート電極 110 を形成する。

【0040】

次に、炭化珪素ドリフト層 102 上に、CVD 法などによって層間絶縁膜 111 を形成する。そして、例えばドライエッチング法により、層間絶縁膜 111 およびゲート絶縁膜 106 を選択的に除去することで、ソース電極 112 を N ウェル層 104 およびウェルコンタクト層 105 に接続させるためのコンタクトホール（ソースコンタクトホール）を形成する。

10

【0041】

続いて、ソースコンタクトホールの内部を含む層間絶縁膜 111 の上に、ソース電極 112 を形成する。ソース電極 112 は、ソースコンタクトホールの底に露出した N ウェル層 104 およびウェルコンタクト層 105 とオーミック接触により接続される。

【0042】

さらに、ソース電極 112 を形成する過程において、炭化珪素基板 101 の裏面にも同様の手法でシリサイド膜を形成する。それにより、炭化珪素基板 101 の裏面にオーミック接触するドレイン電極 113 が形成される。

20

【0043】

以上の工程により、実施の形態 1 に係る半導体装置 10 の活性セルが完成する。

【0044】

上の説明では、ツェナーアノード層 107 の表層部にイオン注入法でツェナーカソード層 108 を形成する例を示したが、例えば、P 型のポリシリコンと N 型のポリシリコンとを連続して堆積し、それらを写真製版処理およびエッチングによりパターニングすることで、ツェナーアノード層 107 およびツェナーカソード層 108 を形成してもよい。この場合、図 7 のように、ツェナーアノード層 107 とツェナーカソード層 108 とが同じ形状のパターンとなる。

【0045】

また、ツェナーアノード層 107 およびツェナーカソード層 108 はポリシリコン以外の材料、例えば、結晶シリコンや、結晶 SiC、多結晶 SiC などでも形成することもできる。ツェナーアノード層 107 とツェナーカソード層 108 の材質を変更することで、ツェナーダイオードの設定できる降伏電圧範囲を変えることができる。また、耐熱性の高い SiC 系の材料を用いることで、高温環境下においても高い信頼性が得られる。

30

【0046】

また、ゲート絶縁膜 106、ツェナーアノード層 107、ツェナーカソード層 108、フィールド絶縁膜 109、ゲート電極 110 は、次のような手順で形成してもよい。すなわち、まず、炭化珪素ドリフト層 102 上に、例えば熱酸化法や堆積法でフィールド絶縁膜 109 を形成し、写真製版処理およびエッチングによるパターニングを行う。次に、ゲート絶縁膜 106 を、例えば熱酸化法や堆積法で形成し、ゲート絶縁膜 106 に対して写真製版処理およびエッチングによるパターニングを行う。続いて、ポリシリコンから成るツェナーアノード層 107 およびツェナーカソード層 108 を形成し、最後に、ゲート電極 110 を形成してパターニングを行う。

40

【0047】

このように、ゲート絶縁膜 106 を、ツェナーアノード層 107 およびツェナーカソード層 108 よりも前に形成することで、ゲート絶縁膜 106 の特性、およびチャネル領域 114 とゲート絶縁膜 106 との界面の特性を向上するための処理（例えば高温熱処理、窒化処理、酸化処理など）を、ツェナーアノード層 107 およびツェナーカソード層 108 への影響を考慮せずに行うことができる。この手順の場合、図 8 のように、ツェナーア

50

ノード層 107 およびツェナーカソード層 108 が、フィールド絶縁膜 109 で覆われない構成となる。

【0048】

<実施の形態 2>

実施の形態 1 では、感温素子 2 を構成するツェナーアノード層 107 およびツェナーカソード層 108 が P ウェル層 103 の上に形成される構成としたが、実施の形態 2 では、ツェナーアノード層 107 およびツェナーカソード層 108 が P ウェル層 103 内に埋め込まれた構成とする。

【0049】

この場合も、ツェナーアノード層 107 およびツェナーカソード層 108 の材料は、ポリシリコンでよいが、ポリシリコンの代わりに、結晶シリコンや多結晶 SiC を用いることができる。また、P ウェル層 103 の材料をそのまま用いた炭化珪素で、ツェナーアノード層 107 およびツェナーカソード層 108 を形成してもよい。ツェナーアノード層 107 およびツェナーカソード層 108 を炭化珪素で形成した場合、ポリシリコンの場合に比べて、半導体装置 10 を高温環境下で動作させることができる。一方、ポリシリコンを用いる場合、堆積による形成が可能なことや、加工が容易であることから、多様な設計が可能になるという利点がある。

【0050】

半導体装置 10 のその他の構成要素については、実施の形態 1 と同様であるので、ここでの説明は省略する。

【0051】

図 9 および図 10 は、実施の形態 2 に係る半導体装置 10 の活性セルの上面図である。当該半導体装置 10 の上面図は図 2 と同様であり、図 9 および図 10 は、それぞれ図 2 に示す直線 A、C に沿った断面に対応している。直線 B に沿った断面は図 4 と同じである。

【0052】

ツェナーアノード層 107 およびツェナーカソード層 108 を P ウェル層 103 内に埋め込んだ構成とすることにより、実施の形態 1 の半導体装置 10 に比べ、ツェナーアノード層 107 とツェナーカソード層 108 との界面が、短絡時の電流経路により近くなる。そのため、感温素子 2 の温度が、スイッチング素子 1 の温度変化に、より素早く追従するようになる。その結果、スイッチング素子 1 の短絡破壊を、より確実に防止することができる。

【0053】

続いて、実施の形態 2 に係る半導体装置 10 の製造方法について説明する。

【0054】

まず、実施の形態 1 と同様の手順で、炭化珪素基板 101 および炭化珪素ドリフト層 102 からなる基板に、P ウェル層 103、N ウェル層 104 およびウェルコンタクト層 105 を形成する。

【0055】

次に、P ウェル層 103 内に、ツェナーアノード層 107 およびツェナーカソード層 108 を形成する。ツェナーアノード層 107 およびツェナーカソード層 108 の材料をポリシリコンにする場合、エッチングにより P ウェル層 103 にトレンチを形成した後、そのトレンチに P 型のポリシリコンを埋め込んでツェナーアノード層 107 を形成する。そして、ツェナーアノード層 107 の表層部に注入マスクを用いたイオン注入を行って、ツェナーカソード層 108 を形成する。そして、注入した不純物を電氣的に活性化させるための熱処理を行う。

【0056】

あるいは、P ウェル層 103 にトレンチを形成した後、当該トレンチを埋め込むように、P 型のポリシリコンと N 型のポリシリコンを順次堆積し、それらに写真製版処理およびエッチングによるパターニングを行うことにより、ツェナーアノード層 107 およびツェナーカソード層 108 を形成してもよい。

10

20

30

40

50

【0057】

ツェナーアノード層107およびツェナーカソード層108の材料を、Pウェル層103と同じ炭化珪素にする場合、Pウェル層103の上層部に、注入マスクを用いた選択的なイオン注入を行うことで、ツェナーアノード層107およびツェナーカソード層108を形成すればよい。

【0058】

その後は、実施の形態1と同様の手順で、ゲート絶縁膜106、フィールド絶縁膜109、ゲート電極110、層間絶縁膜111、ソース電極112およびドレイン電極113を形成する。それにより、実施の形態2に係る半導体装置10の活性セルが完成する。

【0059】

<実施の形態3>

実施の形態3では、感温素子2として、温度が上がると抵抗値が下がる素子（すなわち、抵抗値が負の温度係数を持つ素子）を用いる。温度が上がると抵抗値が下がる素子としては、例えば半絶縁素子がある。半絶縁素子は、ある温度範囲（例えば100以下の範囲）では素子中のキャリアが少なく高抵抗であるが、温度が上昇すると素子中のキャリア数が増加して抵抗値が下がる。半絶縁素子は、例えば、室温においては1M以上の抵抗値を持つが、温度100以上において抵抗値が10以下になるように設計することも可能である。室温での抵抗、抵抗値が下がり始める温度、下がった後の抵抗値は、半絶縁素子の材料、不純物濃度、半絶縁素子のバンドギャップ内に存在する深い準位の種類などを変化させて制御することができる。

【0060】

図11は、実施の形態3に係る半導体装置10の活性セルの上面図である。また、図12および図13は、活性セルの断面図であり、それぞれ図11に示す直線A、Cに沿った断面に対応している。直線Bに沿った断面は図4と同じである。

【0061】

これらの図から分かるように、実施の形態3に係る半導体装置10の構成は、実施の形態1の構成に対し、ツェナーアノード層107およびツェナーカソード層108を、それぞれ導電層120および半絶縁層121に置き換えたものとなっている。半絶縁層121が図1に示した感温素子2に相当する。導電層120および半絶縁層121の材料としては、ポリシリコンを用いることができる。また、実施の形態1のツェナーアノード層107およびツェナーカソード層108と同様に、ポリシリコン以外の材料、例えば、結晶シリコンや、結晶SiC、多結晶SiCなどで形成することもできる。

【0062】

図1に示した感温素子2が、温度が上がると抵抗が下がる素子の場合、ソース電極1Sを基準にしたゲート電極1Gの電圧は、ゲート抵抗3と感温素子2との抵抗比でゲート端子4の電圧を分圧した値になる。半導体装置10の通常動作時は、感温素子2の抵抗値は非常に高いため、ゲート電極1Gの電位はゲート端子4の電位とおおよそ等しくなる。よって、ゲート端子4にしきい値電圧以上の電圧を印加することで、スイッチング素子1はON状態になる。

【0063】

半導体装置10に接続された負荷が短絡状態になった場合、スイッチング素子1に大きな電流が流れて温度が上昇し、感温素子2の温度も上がる。それにより、感温素子2の抵抗値が下がるため、ゲート電極1Gの電圧が下がり、スイッチング素子1に流れる電流が抑制される。その結果、半導体装置10の短絡耐量が延びる。

【0064】

実施の形態1と同様に、実施の形態2でも、図11のように、感温素子2（導電層120および半絶縁層121）は活性セルの領域内に配置され、さらに、図12のように、感温素子2はPウェル層103と絶縁膜を介することなく接触している。このような感温素子2の配置により、スイッチング素子1と感温素子2の間の熱伝導が高くなり、スイッチング素子1の温度に感温素子2の温度が素早く追従するようになる。したがって、短絡が

10

20

30

40

50

発生してスイッチング素子 1 の温度が上昇すると、感温素子 2 の温度も素早く上昇し、瞬時にスイッチング素子 1 のゲート電圧が低下する。

【 0 0 6 5 】

続いて、半導体装置 1 0 の製造方法について説明する。

【 0 0 6 6 】

まず、実施の形態 1 と同様の手順で、炭化珪素基板 1 0 1 および炭化珪素ドリフト層 1 0 2 からなる基板に、P ウェル層 1 0 3、N ウェル層 1 0 4 およびウェルコンタクト層 1 0 5 を形成する。

【 0 0 6 7 】

次に、炭化珪素ドリフト層 1 0 2 上にポリシリコンを C V D 法により堆積し、写真製版処理およびエッチングによるパターンニングを行うことにより、導電層 1 2 0 を形成する。導電層 1 2 0 の不純物濃度は、例えば $1.0 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 程度である。半絶縁層 1 2 1 は、導電層 1 2 0 の表層部に、注入マスクを用いた電子線照射またはイオン注入を行うことによって形成することができる。導電層 1 2 0 に電子線照射やイオン注入を行うと、結晶中の格子原子が弾き飛ばされて大量の欠陥準位が形成され、それによって導電層 1 2 0 の一部が半絶縁層 1 2 1 となる。

10

【 0 0 6 8 】

また、半絶縁層 1 2 1 は、導電層 1 2 0 の材料としてのポリシリコンを堆積した後に、半絶縁性に制御したポリシリコンを堆積し、それらに写真製版処理およびエッチングによるパターンニングを行うことにより形成してもよい。このように堆積法で半絶縁層 1 2 1 を形成する場合、半絶縁層 1 2 1 だけを独立して形成できるため、導電層 1 2 0 は無くてもよい。

20

【 0 0 6 9 】

イオン注入で半絶縁層 1 2 1 を形成する場合、電子線照射よりも導電層 1 2 0 を半絶縁化させる領域を浅くすることができ、その深さは注入エネルギー・注入イオン種で制御できる。一般的に、注入エネルギーが低く、注入イオンが重い方が半絶縁化する領域は浅くなる。また、例えば炭化珪素におけるバナジウムといった、半導体中でキャリアを捕獲するような深い準位を形成する原子を注入することで、より効率良く半絶縁層 1 2 1 を形成することも可能である。上記の深い準位のエネルギー位置は、注入イオン種によって異なり、その位置によって、半絶縁層 1 2 1 の室温での抵抗値および半絶縁層 1 2 1 の抵抗値

30

【 0 0 7 0 】

半絶縁層 1 2 1 の不純物濃度は、例えば $1.0 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 程度である。不純物濃度を下げるほど、室温でスイッチング素子 1 のゲート・ソース間に流れる電流を抑えることができるが、堆積法では不純物濃度の管理が難しくなり、電子線照射やイオン注入による形成ではドーズ量を増やす必要があり半絶縁層 1 2 1 の形成に時間がかかる。

【 0 0 7 1 】

その後は、実施の形態 1 と同様の手順で、ゲート絶縁膜 1 0 6、フィールド絶縁膜 1 0 9、ゲート電極 1 1 0、層間絶縁膜 1 1 1、ソース電極 1 1 2 およびドレイン電極 1 1 3

40

【 0 0 7 2 】

なお、ゲート絶縁膜 1 0 6 の形成工程と導電層 1 2 0 および半絶縁層 1 2 1 の形成工程との順番は、実施の形態 1 におけるゲート絶縁膜 1 0 6 の形成工程とツェナーアノード層 1 0 7 およびツェナーカソード層 1 0 8 の形成工程との順番と同様に、入れ替えることができる。

【 0 0 7 3 】

また、導電層 1 2 0 および半絶縁層 1 2 1 は、ポリシリコン以外の材料、例えば、結晶シリコンや、結晶 SiC、多結晶 SiC などで形成することもできる。半絶縁層 1 2 1 は、その材料によって、バンドギャップ、深い準位を形成する欠陥・不純物の種類、および

50

深い準位のエネルギー位置が異なり、それによって、半絶縁化に効果的なプロセス、室温での抵抗値、抵抗が大きく変わる温度、高温での抵抗値といった特性も変わる。そのため、用途や作製の容易さを考慮して半絶縁層 1 2 1 の材料を選ばばよい。

【 0 0 7 4 】

< 実施の形態 4 >

実施の形態 3 では、感温素子 2 を構成する導電層 1 2 0 および半絶縁層 1 2 1 が P ウェル層 1 0 3 の上に形成される構成としたが、実施の形態 4 では、導電層 1 2 0 および半絶縁層 1 2 1 が、P ウェル層 1 0 3 内に埋め込まれた構成とする。

【 0 0 7 5 】

この場合も、導電層 1 2 0 および半絶縁層 1 2 1 の材料は、ポリシリコンでよいが、ポリシリコンの代わりに、結晶シリコンや多結晶 SiC を用いることができる。また、P ウェル層 1 0 3 の材料をそのまま用いた炭化珪素で、導電層 1 2 0 および半絶縁層 1 2 1 を形成してもよい。導電層 1 2 0 および半絶縁層 1 2 1 を炭化珪素で形成した場合、ポリシリコンの場合に比べて、半導体装置 1 0 を高温環境下で動作させることができる。一方、ポリシリコンを用いる場合、堆積による形成が可能なことや、加工が容易であることから、多様な設計が可能になるという利点がある。

10

【 0 0 7 6 】

半導体装置 1 0 のその他の構成要素については、実施の形態 3 と同様であるので、ここでの説明は省略する。

【 0 0 7 7 】

20

図 1 4 および図 1 5 は、実施の形態 4 に係る半導体装置 1 0 の活性セルの上面図である。当該半導体装置 1 0 の上面図は図 1 1 と同様であり、図 1 4 および図 1 5 は、それぞれ図 1 1 に示す直線 A、C に沿った断面に対応している。直線 B に沿った断面は図 4 と同じである。

【 0 0 7 8 】

導電層 1 2 0 および半絶縁層 1 2 1 を P ウェル層 1 0 3 内に埋め込んだ構成とすることにより、実施の形態 3 の半導体装置 1 0 に比べ、感温素子 2 である半絶縁層 1 2 1 が、短絡時の電流経路により近くなる。そのため、感温素子 2 の温度が、スイッチング素子 1 の温度変化に、より素早く追従するようになる。その結果、スイッチング素子 1 の短絡破壊を、より確実に防止することができる。

30

【 0 0 7 9 】

続いて、実施の形態 4 に係る半導体装置 1 0 の製造方法について説明する。

【 0 0 8 0 】

まず、実施の形態 1 と同様の手順で、炭化珪素基板 1 0 1 および炭化珪素ドリフト層 1 0 2 からなる基板に、P ウェル層 1 0 3、N ウェル層 1 0 4 およびウェルコンタクト層 1 0 5 を形成する。

【 0 0 8 1 】

次に、P ウェル層 1 0 3 内に、導電層 1 2 0 および半絶縁層 1 2 1 を形成する。導電層 1 2 0 および半絶縁層 1 2 1 の材料をポリシリコンにする場合、エッチングにより P ウェル層 1 0 3 にトレンチを形成した後、そのトレンチにポリシリコンを埋め込んで導電層 1 2 0 を形成する。そして、導電層 1 2 0 の表層部に注入マスクを用いた電子線照射またはイオン注入を行って、半絶縁層 1 2 1 を形成する。

40

【 0 0 8 2 】

あるいは、P ウェル層 1 0 3 にトレンチを形成した後、当該トレンチを埋め込むように、導電層 1 2 0 の材料としてのポリシリコンと、半絶縁層 1 2 1 の材料としての半絶縁性に制御したポリシリコンとを順次堆積し、それらに写真製版処理およびエッチングによるパターニングを行うことにより、導電層 1 2 0 および半絶縁層 1 2 1 を形成してもよい。この場合、導電層 1 2 0 は形成しなくてもよい。

【 0 0 8 3 】

また、導電層 1 2 0 および半絶縁層 1 2 1 の材料を、P ウェル層 1 0 3 と同じ炭化珪素

50

にする場合、Pウェル層103の上層部に、注入マスクを用いた選択的な電子線照射またはイオン注入を行うことで、導電層120および半絶縁層121を形成すればよい。この場合も、導電層120は形成しなくてもよい。

【0084】

その後は、実施の形態1と同様の手順で、ゲート絶縁膜106、フィールド絶縁膜109、ゲート電極110、層間絶縁膜111、ソース電極112およびドレイン電極113を形成する。それにより、実施の形態4に係る半導体装置10の活性セルが完成する。

【0085】

<実施の形態5>

本実施の形態は、上述した実施の形態1～4に係る半導体装置を電力変換装置に適用したものである。本発明は特定の電力変換装置に限定されるものではないが、以下、実施の形態5として、三相のインバータに本発明を適用した場合について説明する。

【0086】

図16は、本実施の形態に係る電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【0087】

図16に示す電力変換システムは、電源200、電力変換装置300、負荷400から構成される。電源200は、直流電源であり、電力変換装置300に直流電力を供給する。電源200は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路やAC/DCコンバータで構成することとしてもよい。また、電源200を、直流系統から出力される直流電力を所定の電力に変換するDC/DCコンバータによって構成することとしてもよい。

【0088】

電力変換装置300は、電源200と負荷400の間に接続された三相のインバータであり、電源200から供給された直流電力を交流電力に変換し、負荷400に交流電力を供給する。電力変換装置300は、図16に示すように、直流電力を交流電力に変換して出力する主変換回路301と、主変換回路301の各スイッチング素子を駆動する駆動信号を出力する駆動回路302と、駆動回路302を制御する制御信号を駆動回路302に出力する制御回路303とを備えている。

【0089】

負荷400は、電力変換装置300から供給された交流電力によって駆動される三相の電動機である。なお、負荷400は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

【0090】

以下、電力変換装置300の詳細を説明する。主変換回路301は、スイッチング素子と還流ダイオードを備えており（図示せず）、スイッチング素子がスイッチングすることによって、電源200から供給される直流電力を交流電力に変換し、負荷400に供給する。主変換回路301の具体的な回路構成は種々のものがあるが、本実施の形態に係る主変換回路301は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードから構成することができる。主変換回路301の各スイッチング素子には、上述した実施の形態1～4のいずれかに係る半導体装置10を適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相、W相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路301の3つの出力端子は、負荷400に接続される。

【0091】

駆動回路302は、主変換回路301のスイッチング素子を駆動する駆動信号を生成し、主変換回路301のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路303からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイ

10

20

30

40

50

スイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【0092】

制御回路303は、負荷400に所望の電力が供給されるよう主変換回路301のスイッチング素子を制御する。具体的には、負荷400に供給すべき電力に基づいて主変換回路301の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって主変換回路301を制御することができる。そして、各時点においてオン状態となるべき

10

スイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路302に制御指令（制御信号）を出力する。駆動回路302は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

【0093】

本実施の形態に係る電力変換装置では、主変換回路301のスイッチング素子として実施の形態1～4のいずれかに係る半導体装置を適用するため、スイッチング素子の短絡耐量が向上し、短絡事故発生時の破壊を防止することができる。

【0094】

本実施の形態では、2レベルの三相インバータに本発明を適用する例を説明したが、本発明は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置としたが3レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本発明を適用しても構わない。また、直流負荷等に電力を供給する場合にはDC/DCコンバータやAC/DCコンバータに本発明を適用することも可能である。

20

【0095】

また、本発明を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触器給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

30

【0096】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

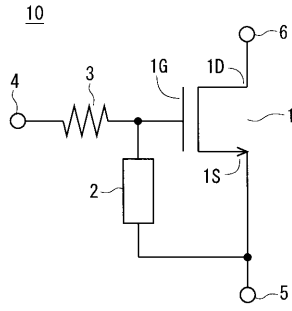
【符号の説明】

【0097】

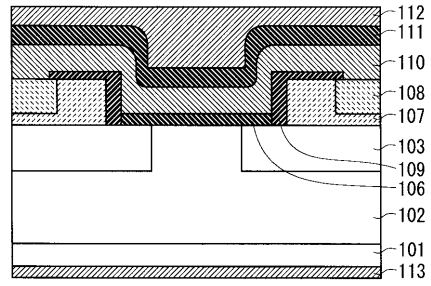
1 スwitchング素子、2 感温素子、3 ゲート抵抗、4 ゲート端子、5 ソース端子、6 ドレイン端子、1G ゲート電極、1S ソース電極、1D ドレイン電極、10 半導体装置、101 炭化珪素基板、102 炭化珪素ドリフト層、103 Pウェル層、104 Nウェル層、105 ウェルコンタクト層、106 ゲート絶縁膜、107 ツェナーアノード層、108 ツェナーカソード層、109 フィールド絶縁膜、110 ゲート電極、111 層間絶縁膜、112 ソース電極、113 ドレイン電極、114 チャンネル領域、120 導電層、121 半絶縁層、200 電源、300 電力変換装置、301 主変換回路、302 駆動回路、303 制御回路、400 負荷。

40

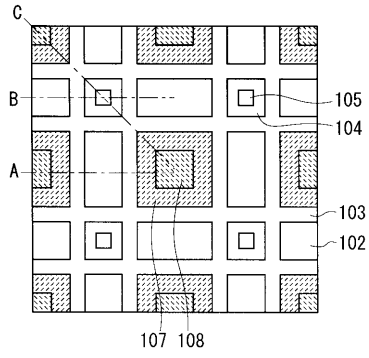
【図1】



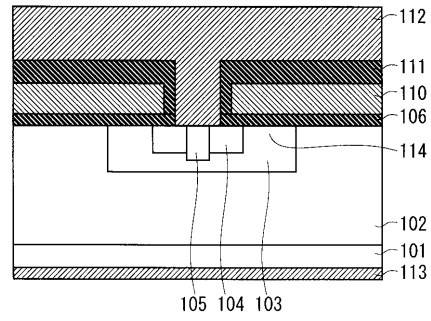
【図3】



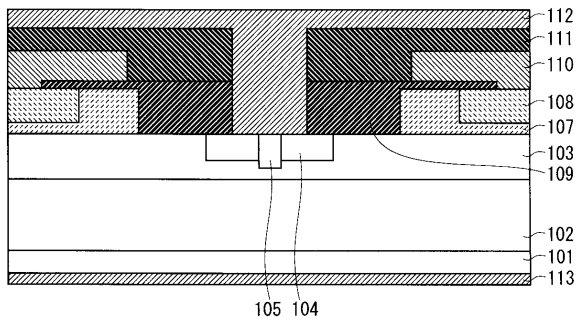
【図2】



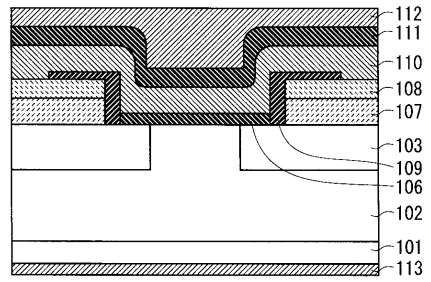
【図4】



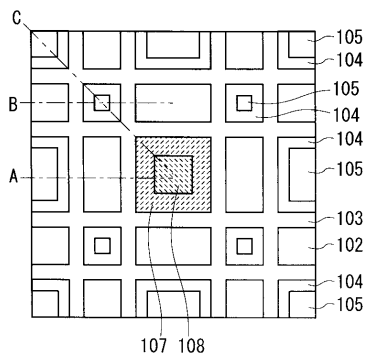
【図5】



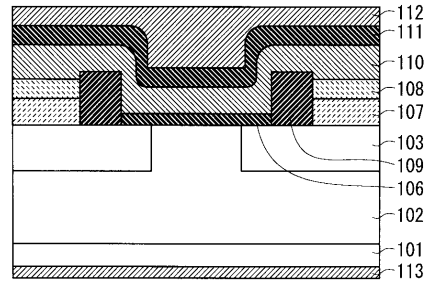
【図7】



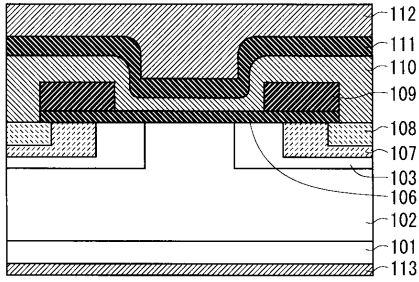
【図6】



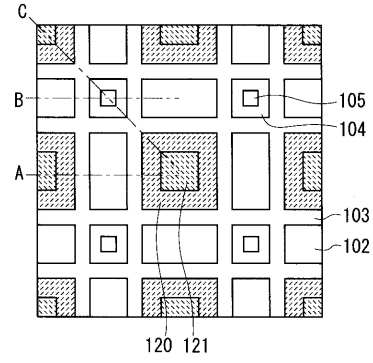
【図8】



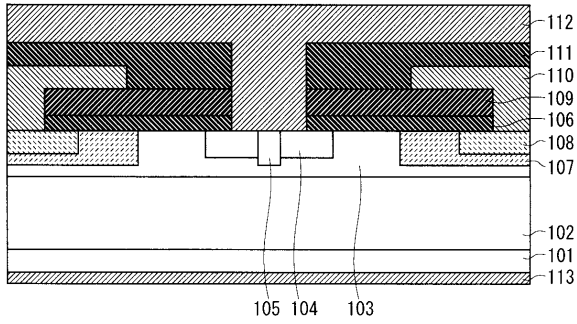
【図 9】



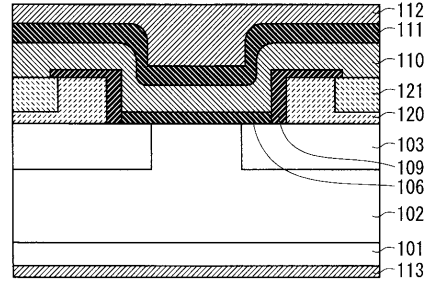
【図 11】



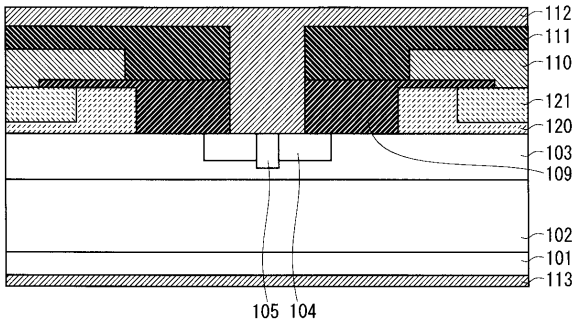
【図 10】



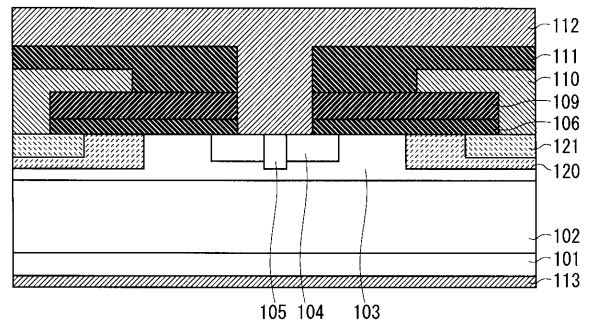
【図 12】



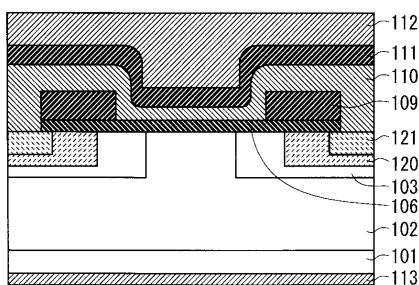
【図 13】



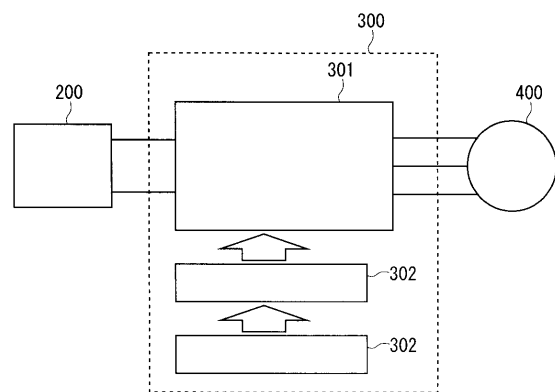
【図 15】



【図 14】



【図 16】



フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L	21/8234	(2006.01)	H 0 1 L	29/90 D
H 0 1 L	21/822	(2006.01)	H 0 1 L	29/78 6 5 2 F
H 0 1 L	27/04	(2006.01)	H 0 1 L	27/06 3 1 1 B
H 0 2 M	7/48	(2007.01)	H 0 1 L	27/06 3 1 1 A
			H 0 1 L	27/06 1 0 2 A
			H 0 1 L	27/04 H
			H 0 1 L	27/04 P
			H 0 1 L	27/04 A
			H 0 2 M	7/48 Z
			H 0 2 M	7/48 M

- (56)参考文献 特開2001-308196(JP,A)
 特開2014-146835(JP,A)
 特開2012-249481(JP,A)
 特許第4961646(JP,B2)
 米国特許第05602046(US,A)
 特開平01-122170(JP,A)
 特開2001-102575(JP,A)
 実開昭64-008754(JP,U)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 8 6 6
 H 0 1 L 2 1 / 3 2 9
 H 0 2 M 7 / 4 8
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 9 / 7 6 2